



新疆大学精品课程

微型计算机原理及应用

第五章 存储器系统

——新疆大学电气工程学院

梁岚珍、闫学勤、程志江、陈志军

www.xju.edu.cn



第五章 存储器系统

主要内容

- ◆ 存储器的类型
随机存储器**RAM**；只读存储器**ROM**
- ◆ 存储器的设计、地址分配
- ◆ 外设的地址分配

重点内容

- ◆ 存储器的类型
- ◆ 存储系统的设计



5.1 概述

存储器是计算机系统的记忆设备。存储器由一些能够表示二进制“0”和“1”的状态的物理器件组成，这些具有记忆功能的物理器件构成了一个个存储元，**每个存储元可以保存一位二进制信息。8个存储元构成一个存储单元**，可存放8位二进制信息即一个字节（Byte）。许多存储单元组织在一起就构成了存储器。

存储器中存储单元的总数称为存储器的容量。

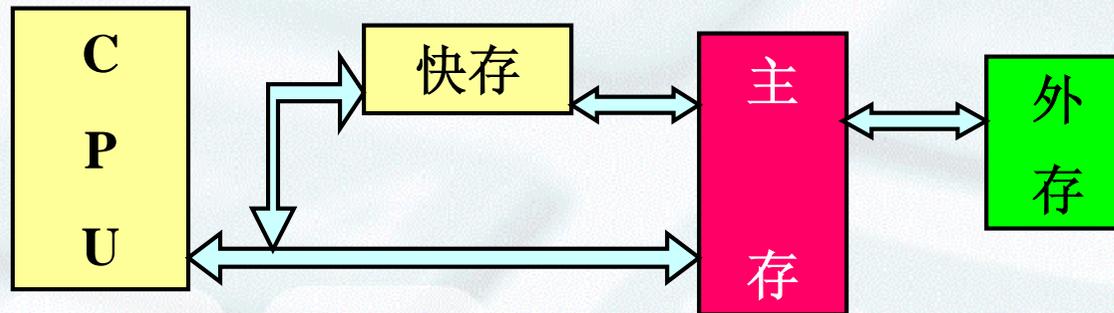
存储器由两种基本操作——读操作和写操作。

非破坏性

破坏性

5.1 概述

- 存储器是用来存储信息的部件；
- 存储器的三级结构：



计算机的存储器根据其设在主机内还是设在主机外分为内部存储器和外部存储器。

存储器使用的存储介质有半导体器件、磁性材料、光盘等。

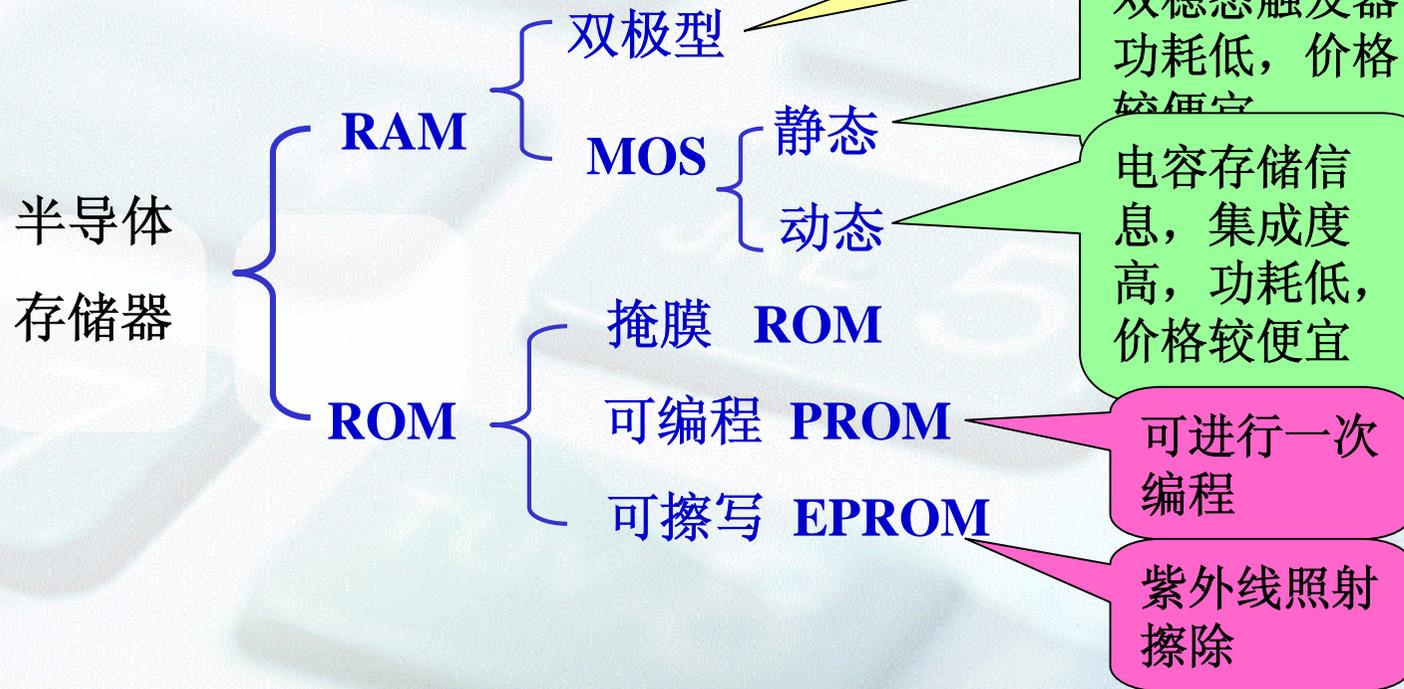
半导体存储器按照工作方式的不同分为：

- 随机存储器 (RAM)
- 只读存储器 (ROM)

5.1 概述

半导体存储器按照工作方式的不同分为：

随机存储器 (RAM)；只读存储器 (ROM)



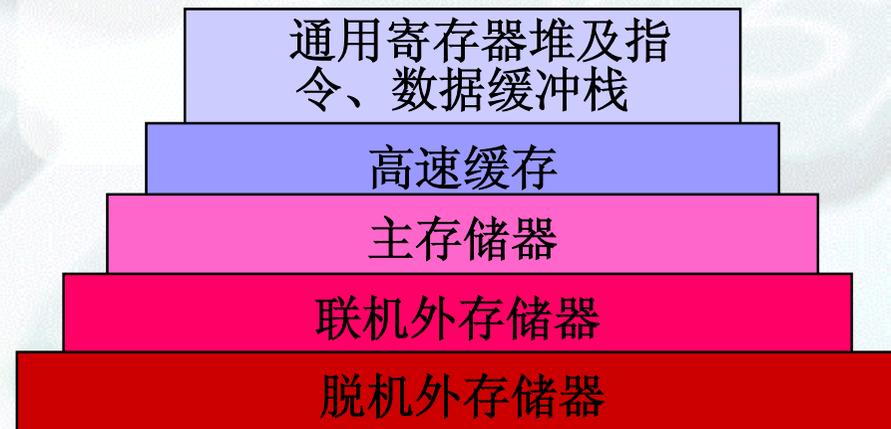
5.1.2 存储器的分类

随机存储器RAM：双极型半导体RAM；
MOS型RAM（SRAM、DRAM）。

只读存储器ROM：掩膜只读存储器（ROM）；
可编程ROM（PROM）

可擦除可编程ROM（EPROM、EEPOM）

由上
至下
容量
越来
越大，
速度
越来
越慢



5.1.3 存储器芯片的主要技术指标

- 存储容量
- 存取周期和存取时间
- 可靠性
- 功耗

“存储单元×存储单元的位数”

连续启动两次存储器操作所需的最小时间
启动一次存储器操作到完成该操作所需的时间

CPU读写存储器所需时间必须大于存储芯片的额定存取时间



5.1.3 存储器芯片的主要技术指标

(1) 存储体

- 一个基本存储电路只能存储一个二进制位。
- 将基本的存储电路有规则地组织起来，就是存储体。
- 存储体又有不同的组织形式：

将各个字的**同一位**组织在一个芯片中，如：**8118 16K*1**
(**DRAM**)

将各个字的**4位**组织在一个芯片中，如：**2114 1K*4** (**SRAM**)

将各个字的**8位**组织在一个芯片中，如：**6116 2K*8**
(**SRAM**)。

(2) 外围电路

为了区别不同的存储单元，就给他们各起一个号——**给予不同的地址**，以地址号来选择不同的存储单元。

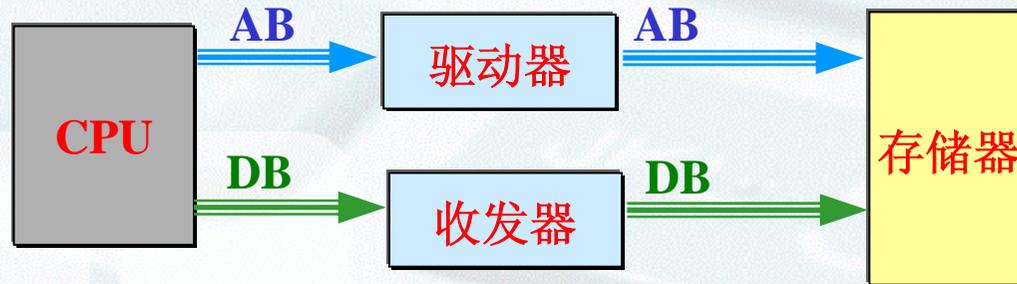
- ——于是电路中要有**地址译码器、I/O电路、片选控制端CS、输出缓冲器等外围电路**

5.1.3 存储器芯片的主要技术指标

(3) 几个问题:

1. CPU 总线的负载能力

一个存储器系统，通常由多片存储器芯片组成,需加驱动器。



2. CPU 的时序与存储器的存取速度之间的配合问题

(1) 首先要弄清楚CPU的操作时序

(2) 然后，选择满足CPU操作时序的存储器芯片，其中最重要的是存储器的存取速度。

3. 存储芯片的选用



5.2 随机存储器

要求掌握:

- **SRAM**与**DRAM**的主要特点
- 几种常用存储器芯片及其与系统的连接
- 存储器扩展技术

5.2.1 静态随机存储器

1. 六管静态存储电路

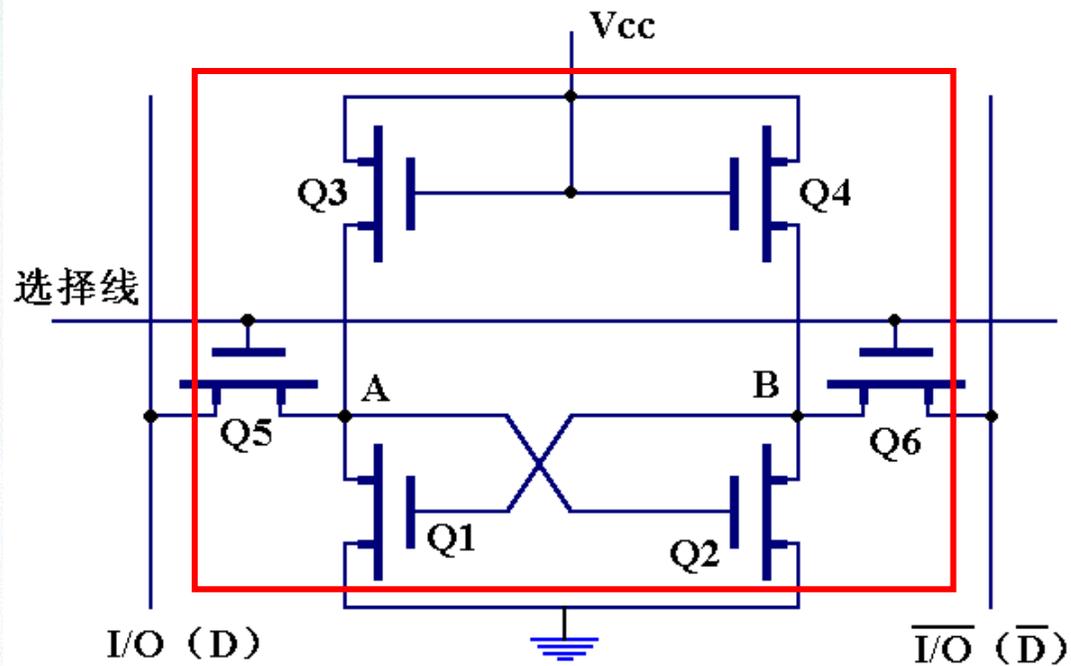
六管静态存储电路：一般由**6**个**MOS**管组成的双稳态电路，用于存储一个二进制位。

Q1、**Q2** 组成一个触发器

Q3、**Q4** 作为负载电阻

Q5、**Q6** 作为控制门

5.2 随机存储器



Q1、Q2：
组成一个触发器

Q3、Q4：
作为负载电阻

Q5、Q6：
作为控制门

- **写入时：** 由I/O线输入：若I/O=1，使Q2 导通，Q1 截止，A=1，B=0。
- **读出时：** A、B点信号由Q5、Q6送出到 I/O线上。
若A=1，B=0，则I/O=1。



5.2.1 静态随机存储器

随机存储器（RAM）主要用来存放当前运行的程序、各种输入输出数据、中间运算结果及堆栈等，其存储的内容既可随时读出，也可随时写入和修改，掉电后内容会全部丢失。

6264的工作过程

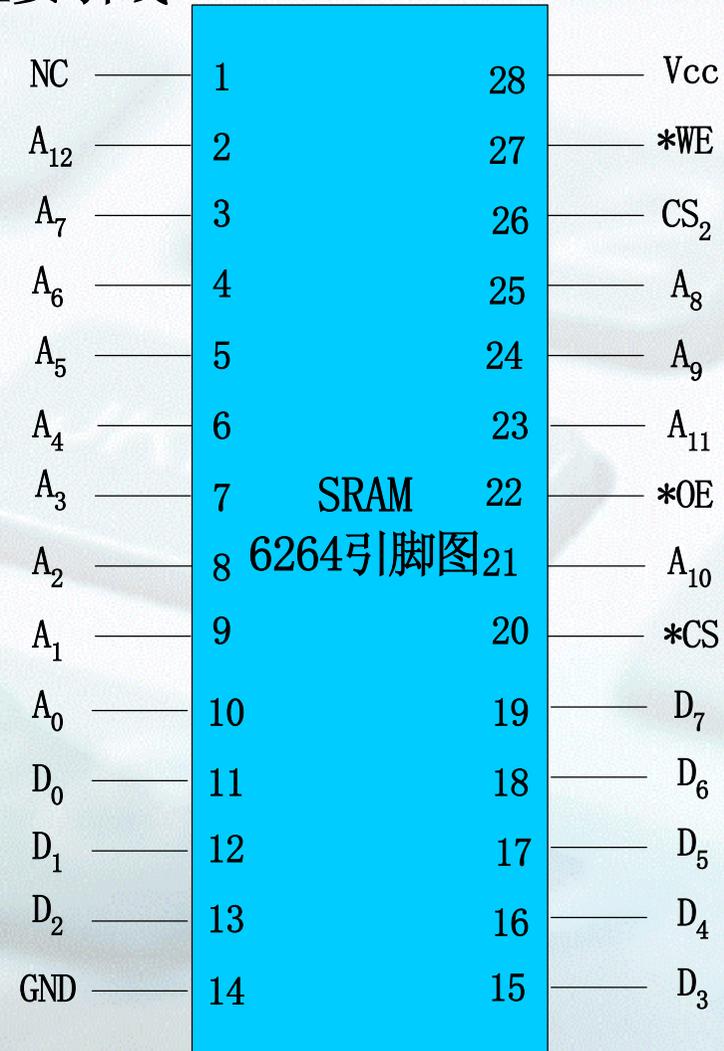
*WE	CS ₁	CS ₂	*OE	D ₀ ~D ₇
0	0	1	×	写入
1	0	1	0	读出
×	0	0	×	三态 (高阻)
×	1	1	×	
×	1	0	×	



5.2.1 静态随机存储器

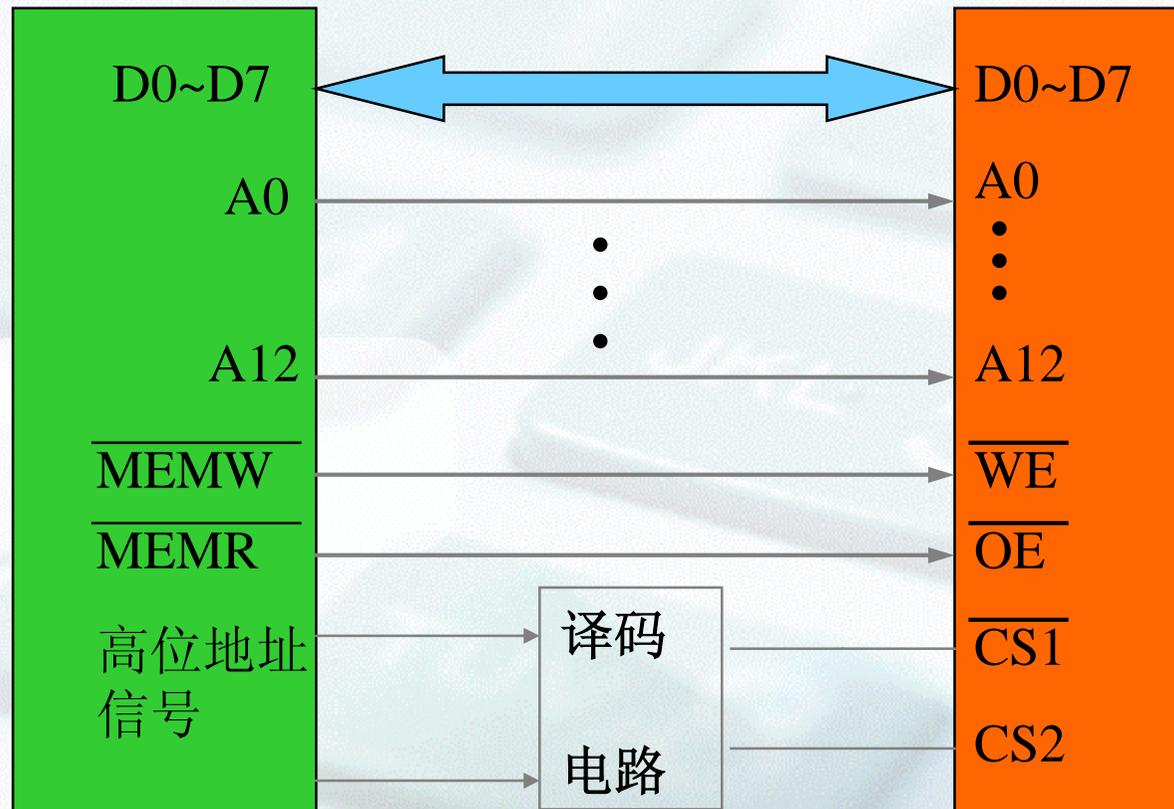
1. 静态随机存储器6264芯片的主要引线:

- 地址线: $A_0 \sim A_{12}$
- 数据线: $D_0 \sim D_7$
- 输出允许信号: \overline{OE}
- 写允许信号: \overline{WE}
- 选片信号: $\overline{CS}_1, \overline{CS}_2$



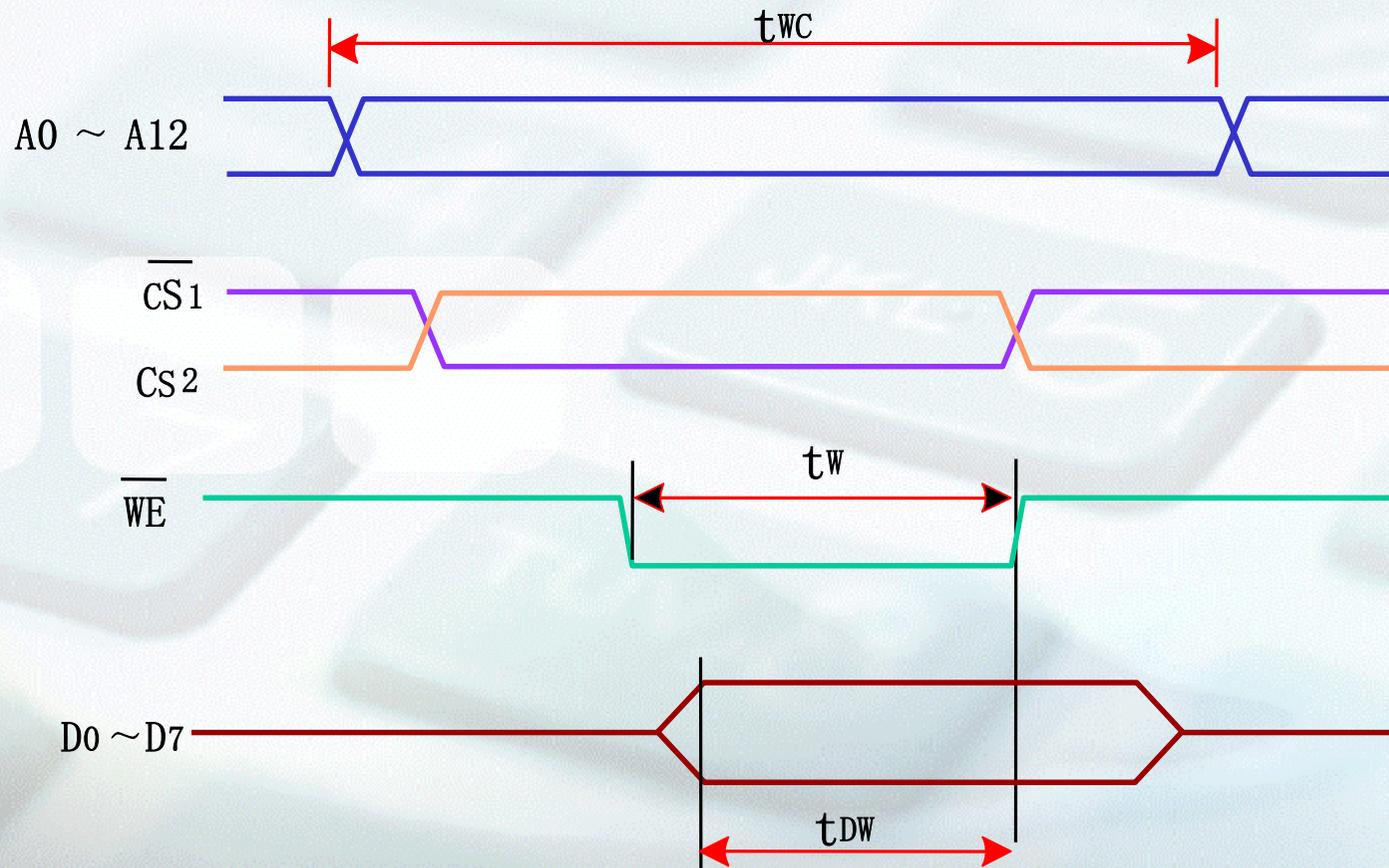
5.2.1 静态随机存储器

2. 静态随机存储器6264芯片与系统的连接



5.2.1 静态随机存储器

写入数据过程：把地址送到A₀~A₁₂→把数据送到数据线→
使* $\overline{CS1}$ ，CS₂同时有效→使*WE有效





5.2.1 静态随机存储器

3. 存储器地址译码方法

1) 存储器的片选信号译码

(1) 线选法：从高位选择4条地址线

(2) 全译码法：高位全部参加译码

(3) 部分译码：高位地址线部分参加译码

译码电路

- 将输入的一组二进制编码变换为一个特定的输出信号，即：
将输入的一组高位地址信号通过变换，产生一个有效的输出信号，用于选中某一个存储器芯片，从而确定了该存储器芯片在内存中的地址范围。

掌握了存储器得地址译码方法，就掌握了存储器芯片应用的精髓。

5.2.1 静态随机存储器

3. 存储器地址译码方法

1) 线选法 (从高位选择4条地址线)

- (1) 确定芯片组数:8片
- (2) 片内译码:低位10条地址线
- (3) 片选信号的译码方式?

特点: 简单
地址可能重叠
地址不连续

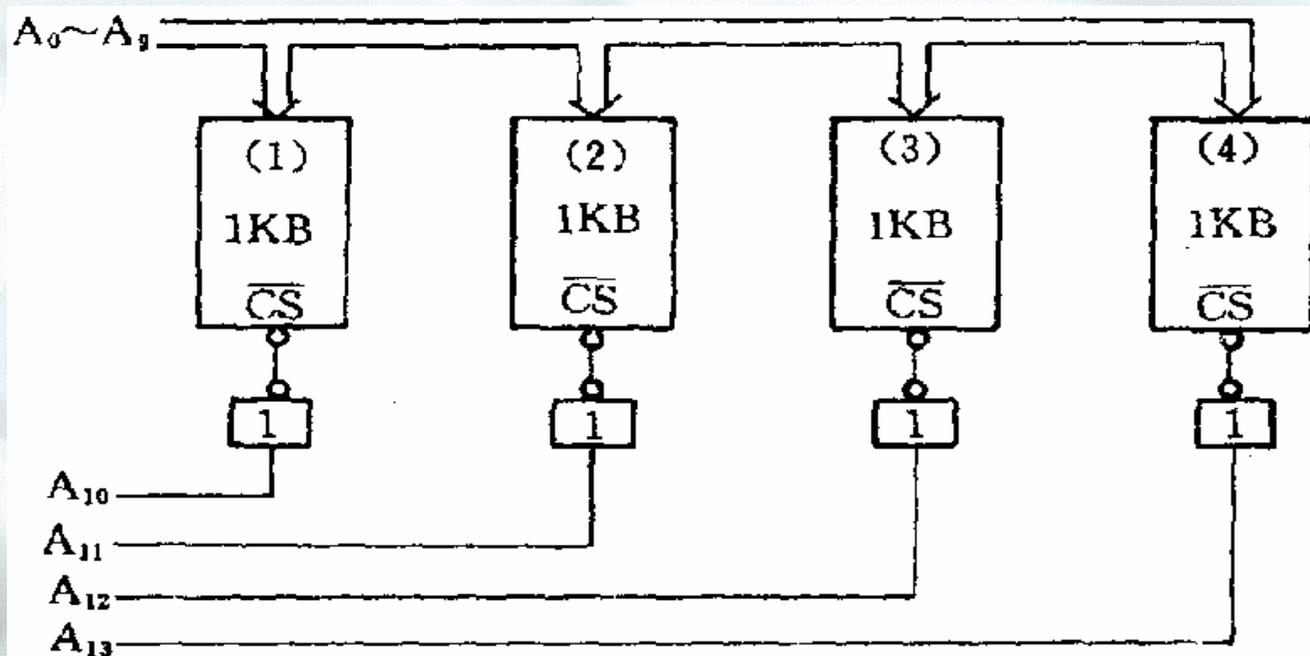


图 6.4 线选法结构示意图

5.2.1 静态随机存储器

3. 存储器地址译码方法

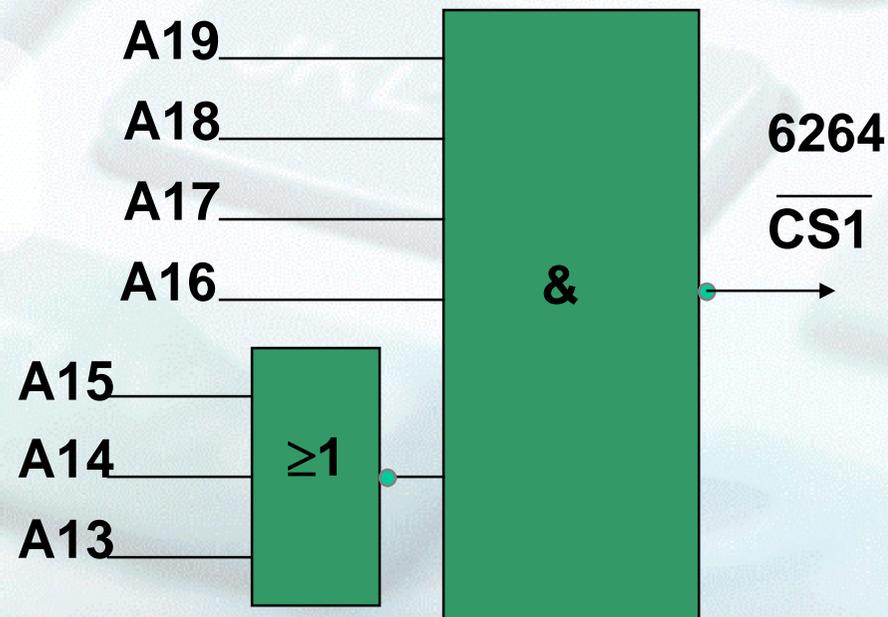
2) 全译码法（高位全部参加译码）

- 用全部的高位地址信号作为译码信号，低位地址信号作为存储芯片的地址输入线，全部**20**位地址总线参加工作，使得存储器芯片的每一个单元都占据一个唯一的内存地址。

全地址译码例:

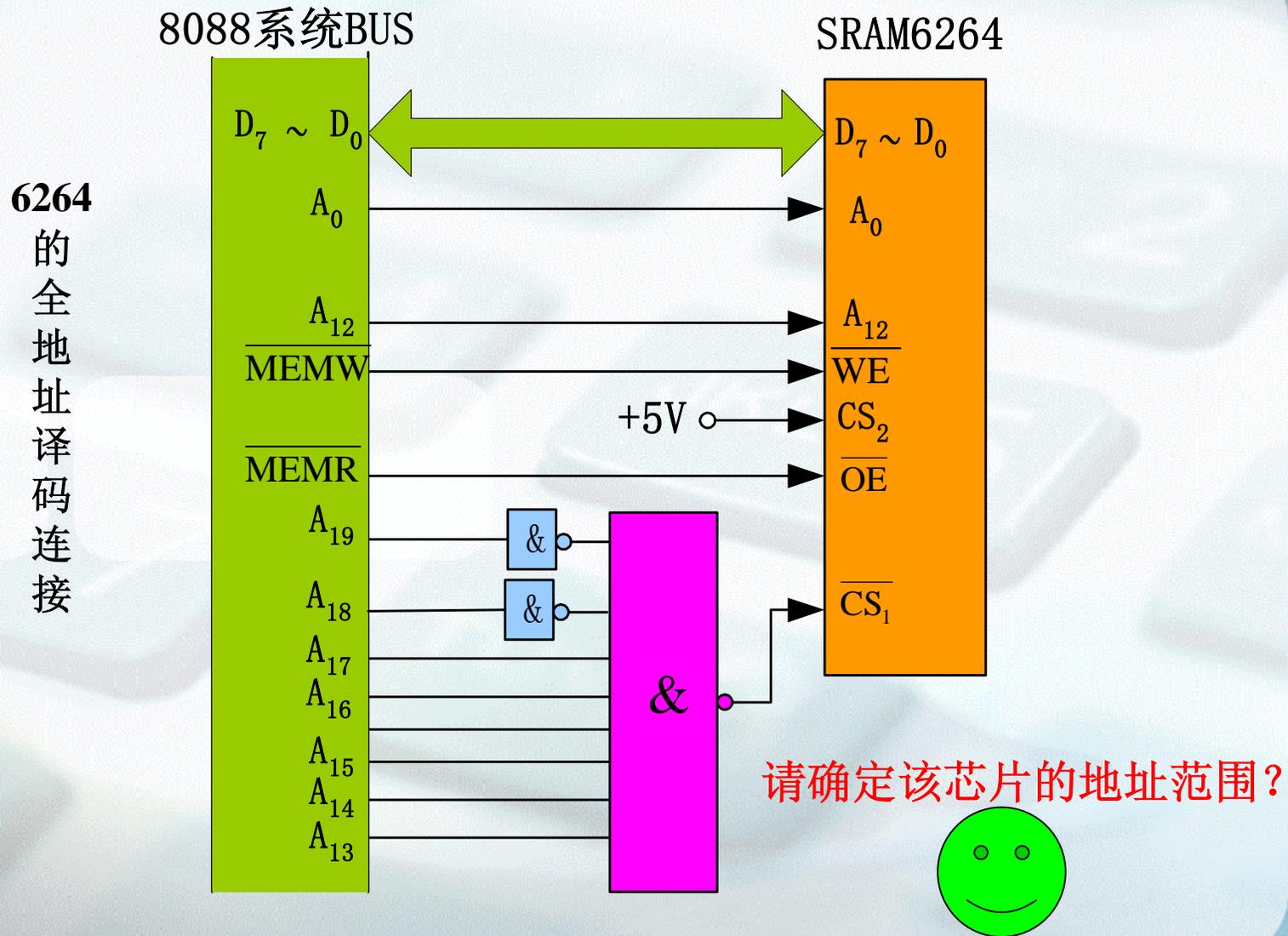
- 所接芯片的地址范围

F0000H~F1FFFH

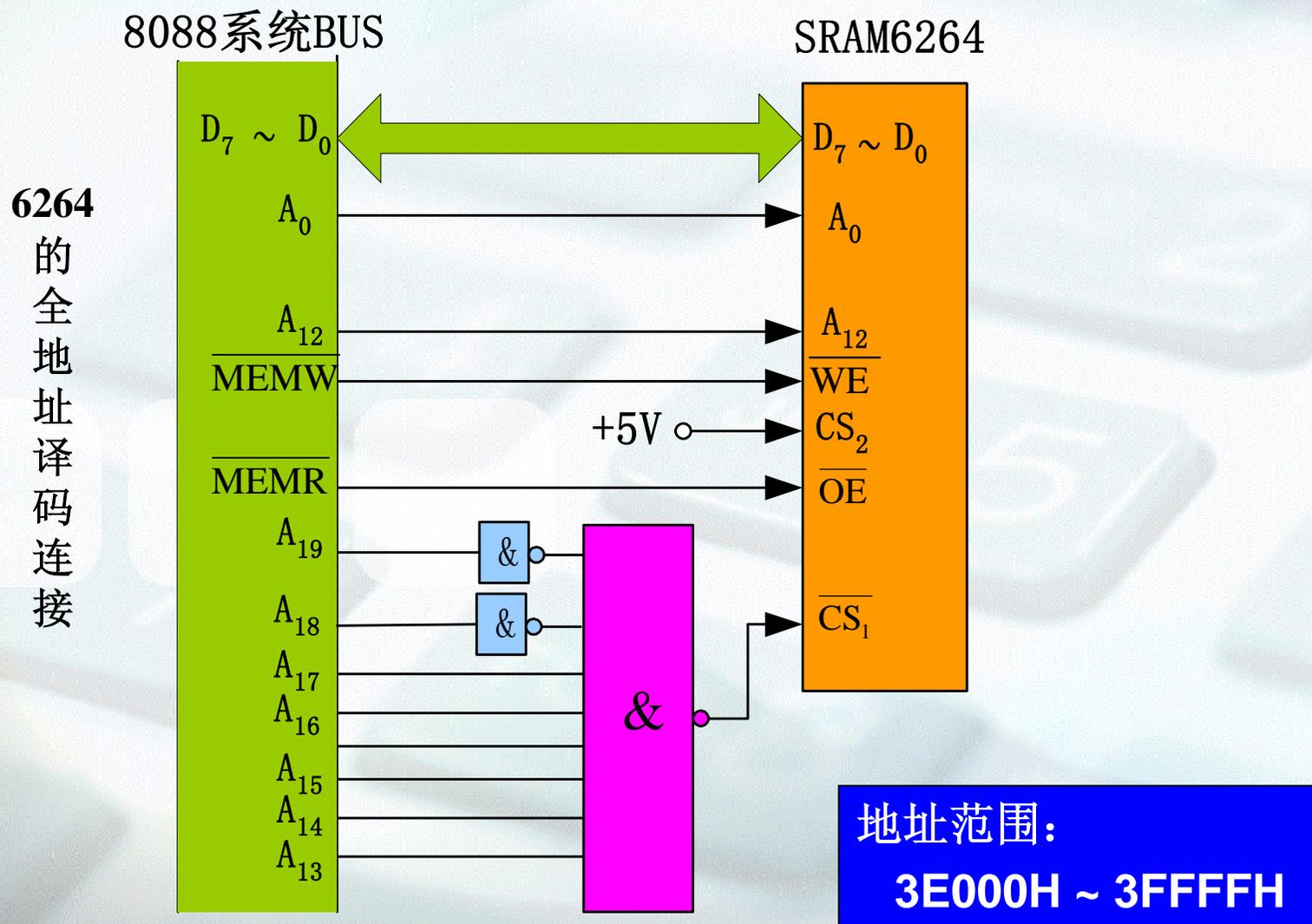


特点:地址唯一,不重叠地址连续。

5.2.1 静态随机存储器

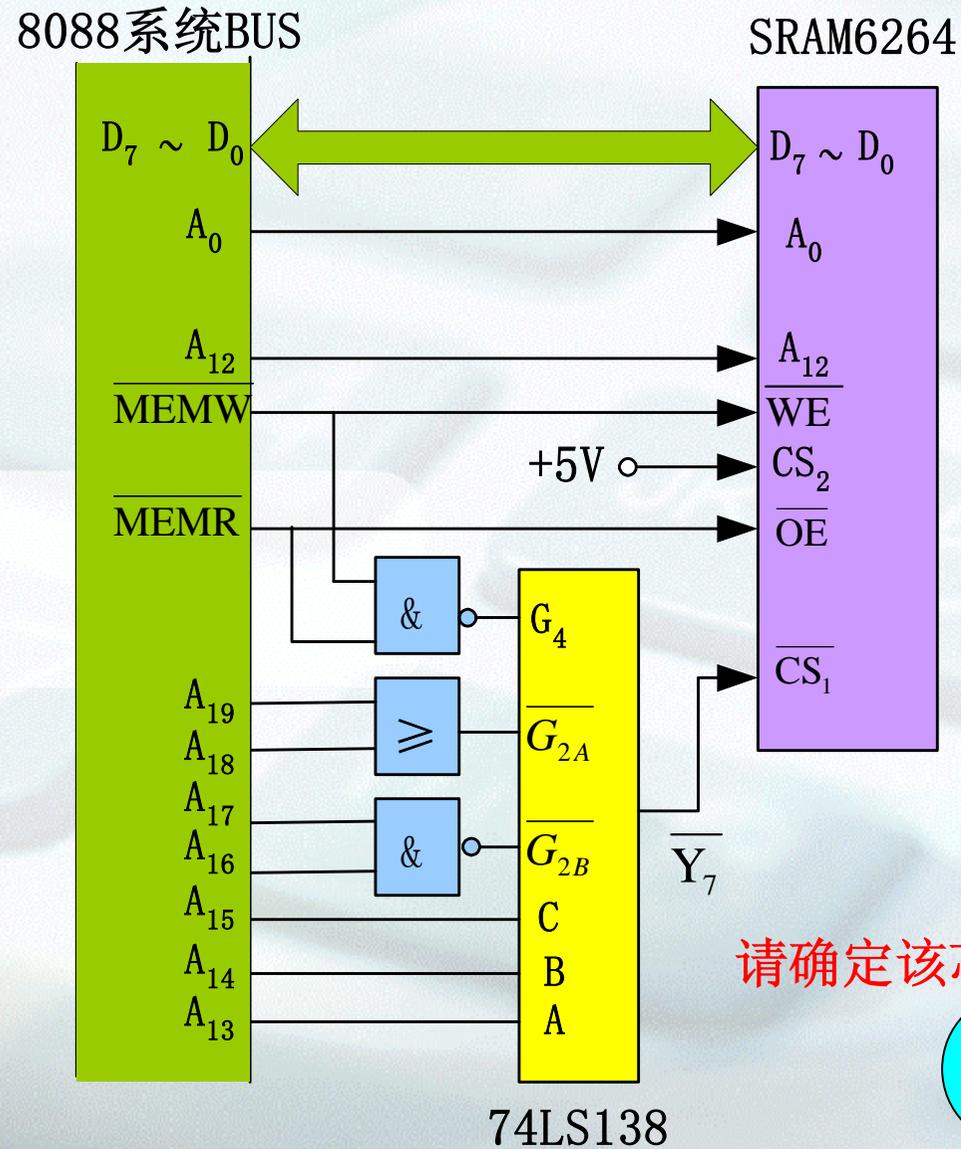


5.2.1 静态随机存储器

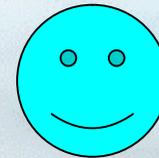


5.2.1 静态随机存储器

利用
138
译码器
实现
全地址
译码
连接

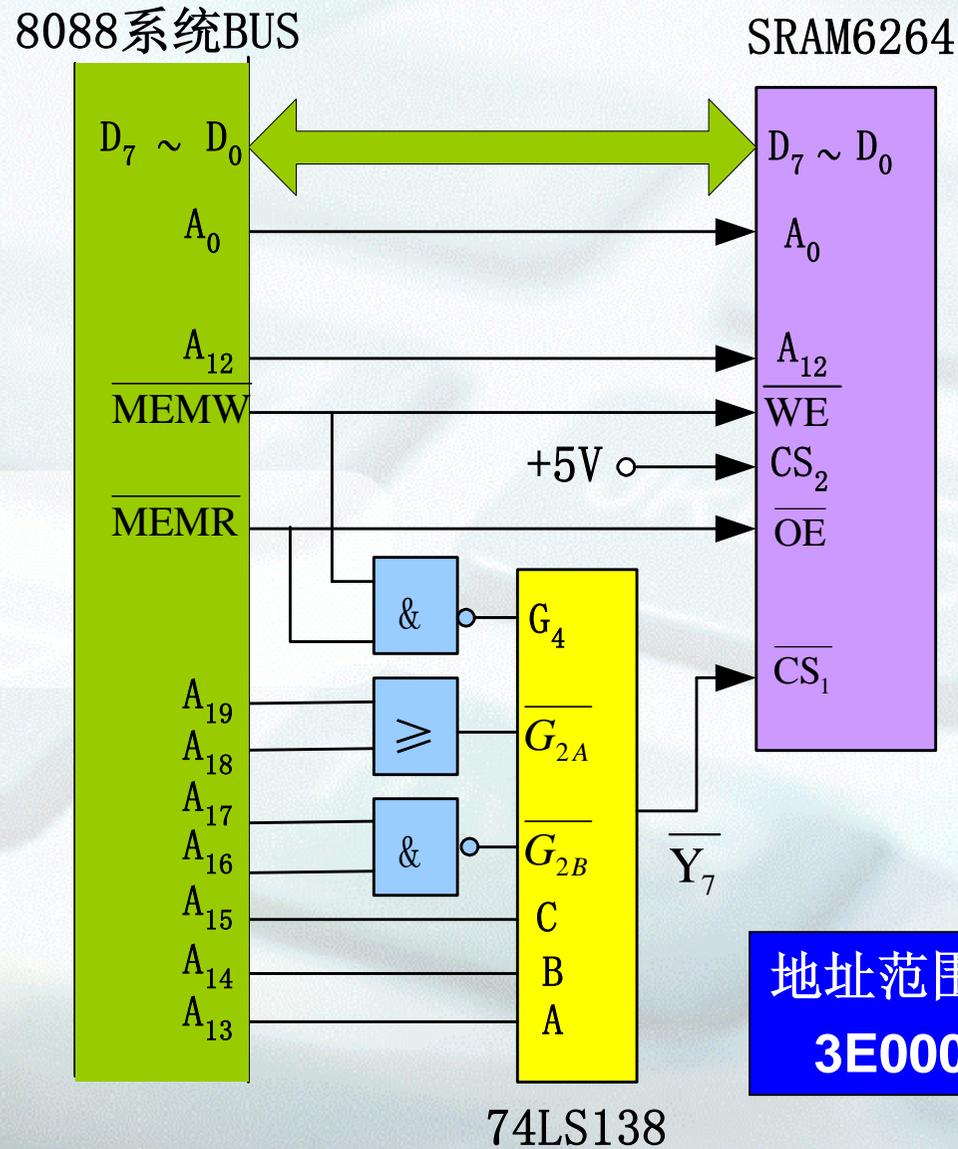


请确定该芯片的地址范围？



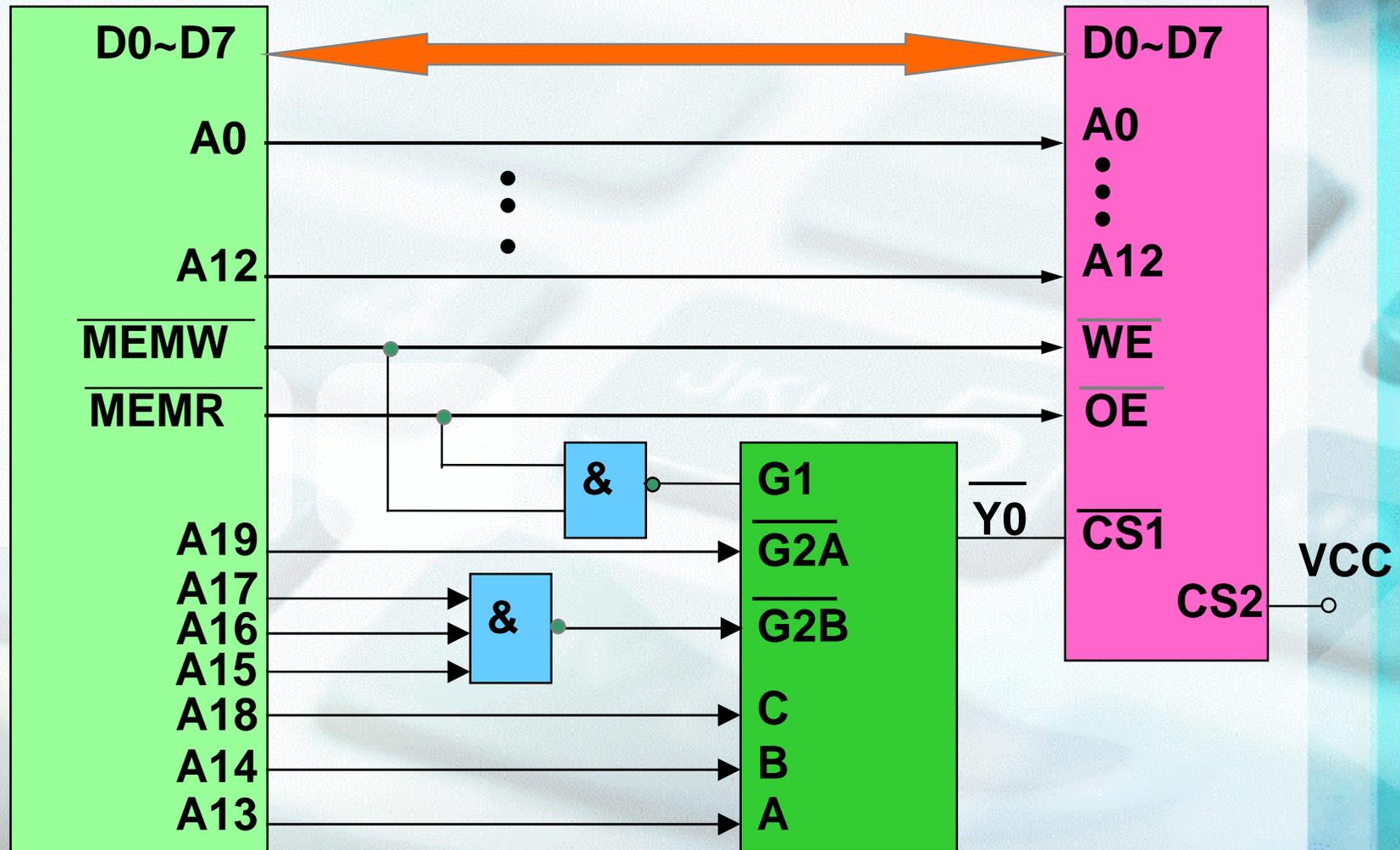
5.2.1 静态随机存储器

利用138译码器实现全地址译码连接



见书中图5-7

应用举例



5.2.1 静态随机存储器

3. 存储器地址译码方法

3) 部分地址译码（高位地址不参加译码）

- 用部分高位地址信号（而不是全部）作为译码信号，使得被选中得存储器芯片占有几组不同的地址范围；
- 下例使用高5位地址作为译码信号，从而使被选中芯片的每个单元都占有两个地址，即这两个地址都指向同一个单元。

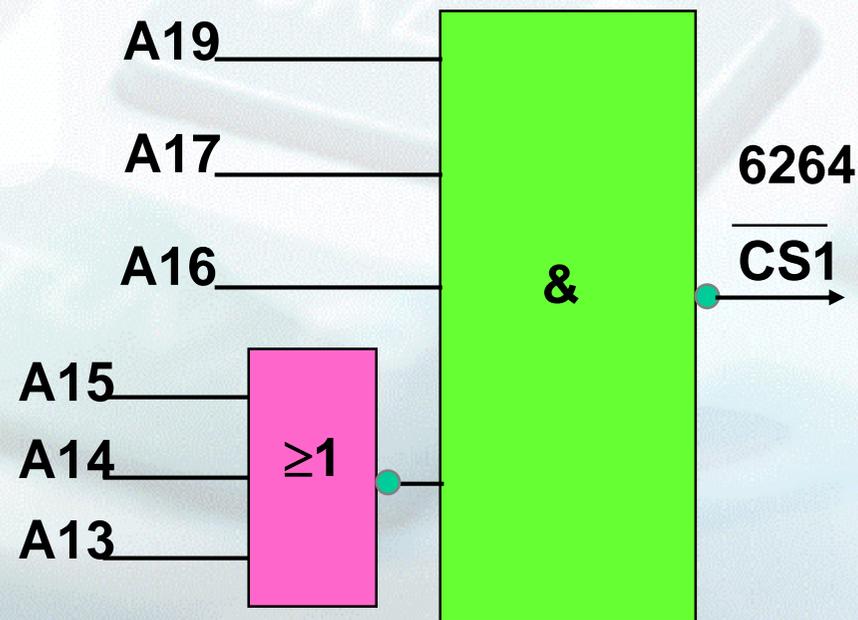
部分地址译码例：

- 两组地址：

F0000H~F1FFFH

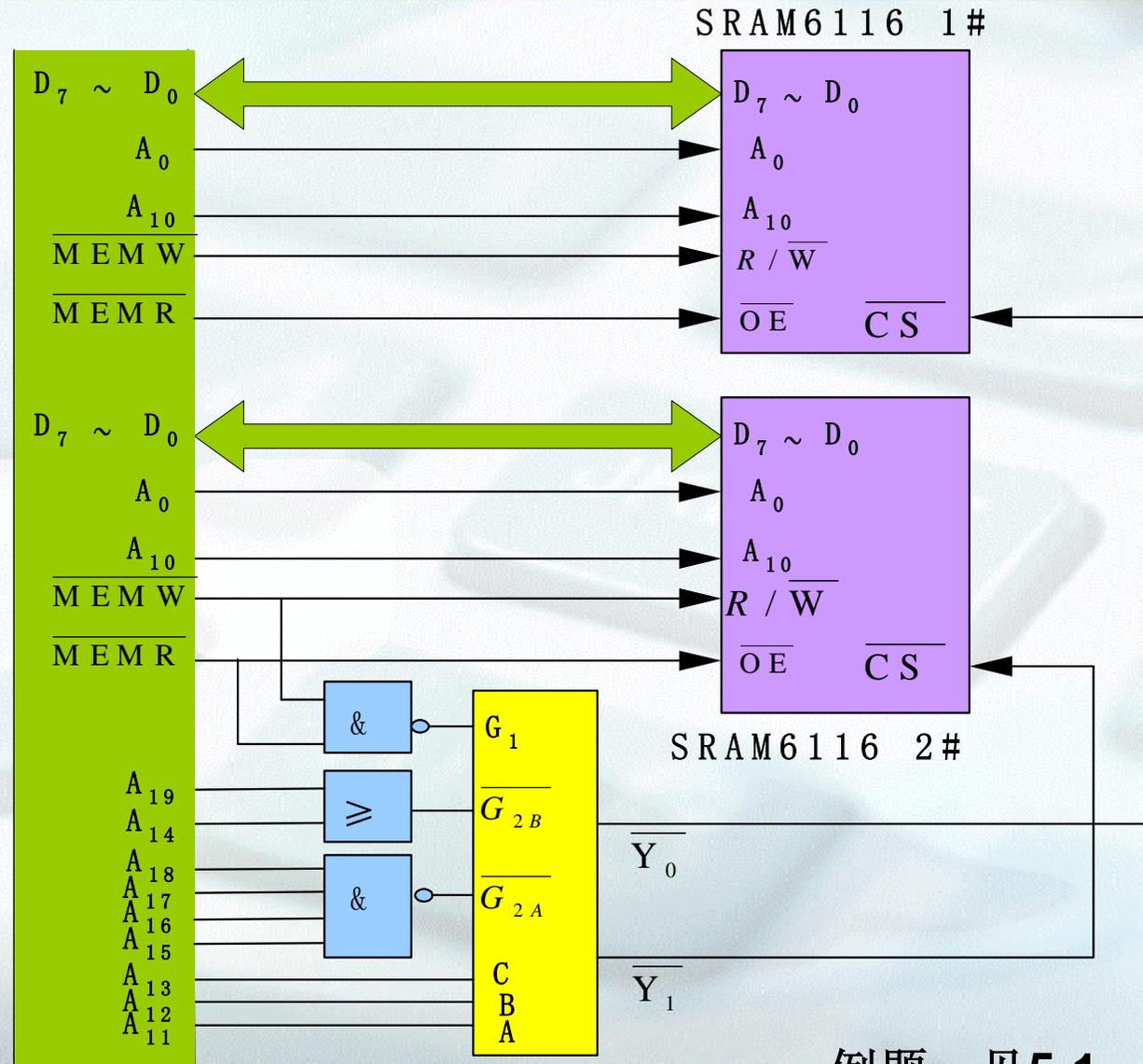
B0000H~B1FFFH

见书中图5-8



5.2.1 静态随机存储器

6116的应用连接



例题：见5-1， 5-2



5.2.2 动态随机存储器

- 特点:
- 存储元主要由电容构成, 由于电容存在的漏电现象而使其存储的信息不稳定, 故**DRAM**芯片需要定时刷新

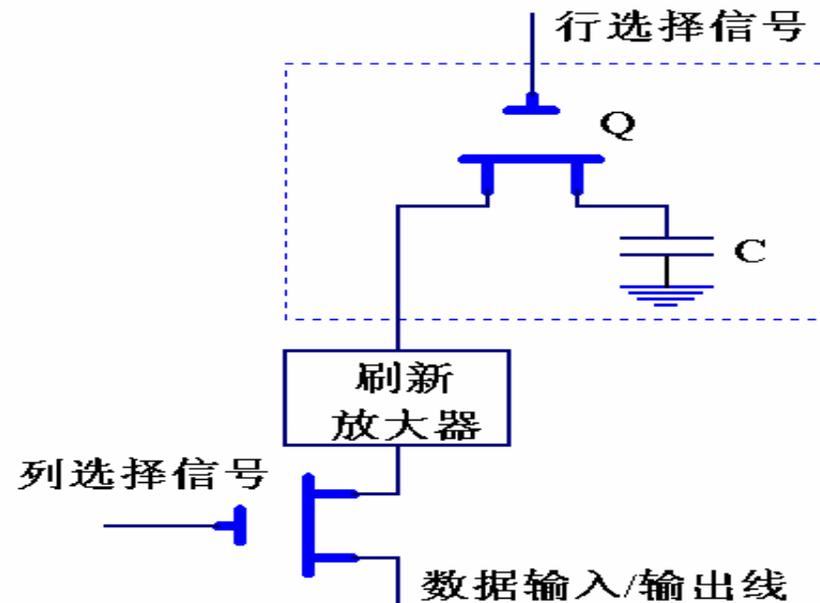
当需要对内容定时刷新, 即需要将存储单元中内容读出再写入时, 这种**RAM**称为“动态” **RAM**。

5.2.2 动态随机存储器

1. 动态基本存储电路

数据以电荷形式存于电容器上，三极管作为开关。

- 1) 写入时，行选择线为 1，Q 导通，C 充电；
- 2) 读出时，列选择线为 1，电容 C 上电荷通过 Q 送到数据线上，经放大，送出；
- 3) 需刷新（电容易漏电，造成信息丢失）



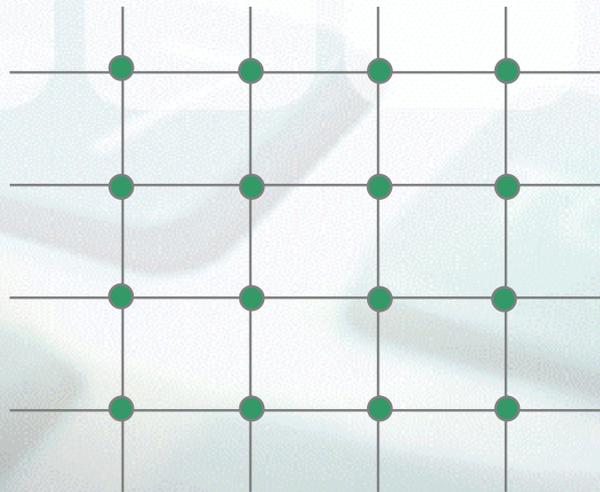
5.2.2 动态随机存储器

2164A: 64K×1bit

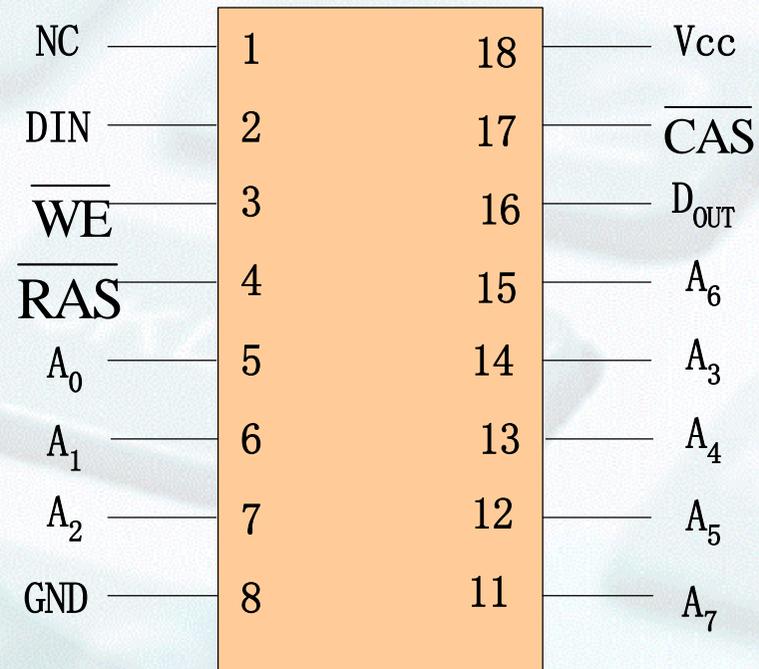
采用行地址和列地址来确定一个单元

行列地址分时传送，共用一组地址信号线

地址信号线的数量仅为同等容量SRAM芯片的一半



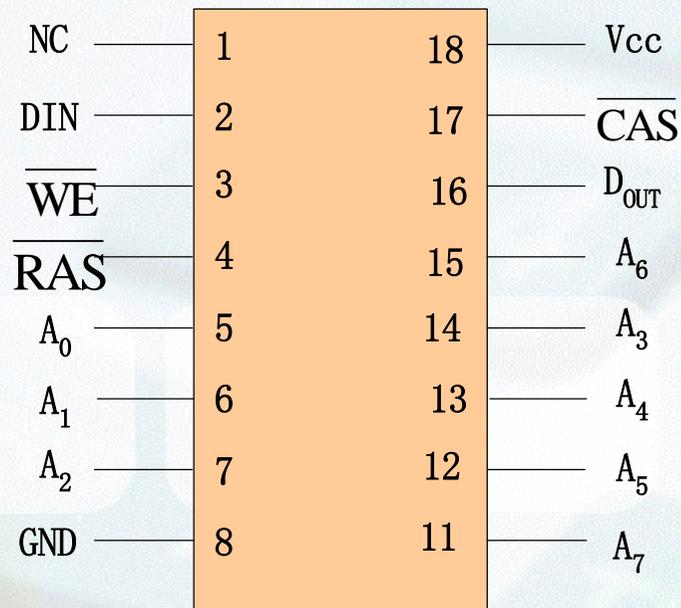
2164外部引脚图



2164外部引脚图

2764

5.2.2 动态随机存储器



2764外部引脚图

- **RAS**: 行地址选通信号。用于锁存行地址

- **CAS**: 列地址选通信号

地址总线上先送上行地址，后送上列地址，它们分别在**RAS**和**CAS**有效期间被锁存在锁存器中。

WE: { 写允许 **WE=0**数据写入
信号 **WE=1**数据读出

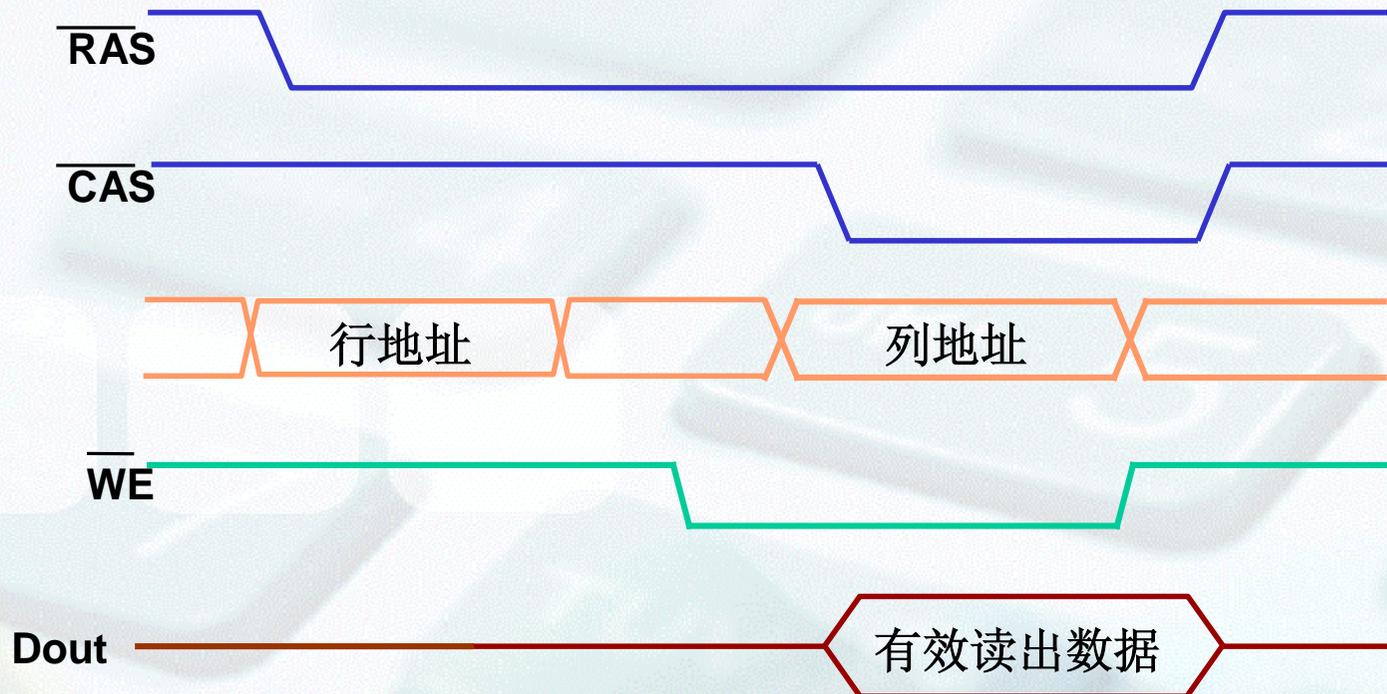
2764 • **DIN**: 数据输入

- **DOUT**: 数据输出



5.2.2 动态随机存储器

数据输出



- 将存放于每位中的信息读出再照原样写入原单元的过程——刷新



5.2.2 动态随机存储器

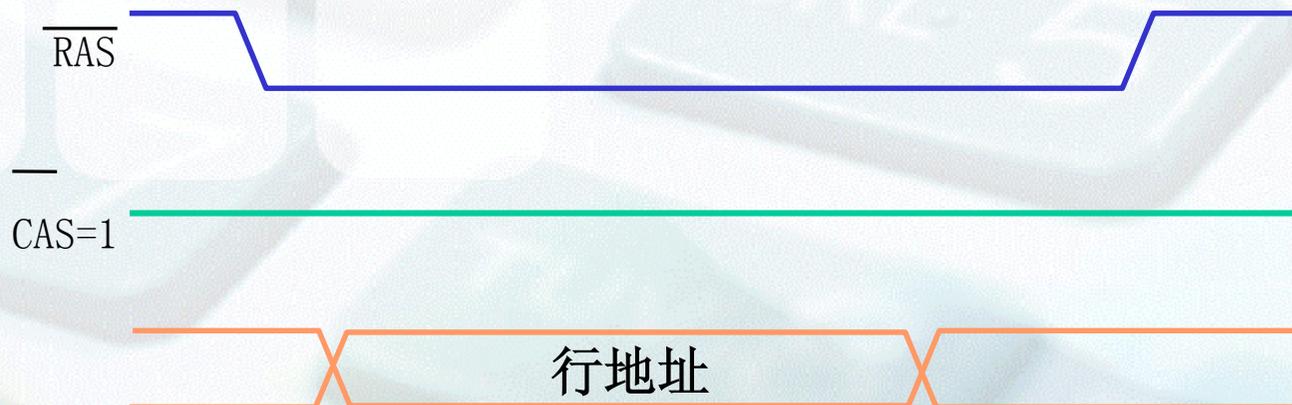
2、DRAM的工作过程

(3) 刷新

将动态存储器中存放的每一位信息读出并重新写入的过程

刷新的方法:

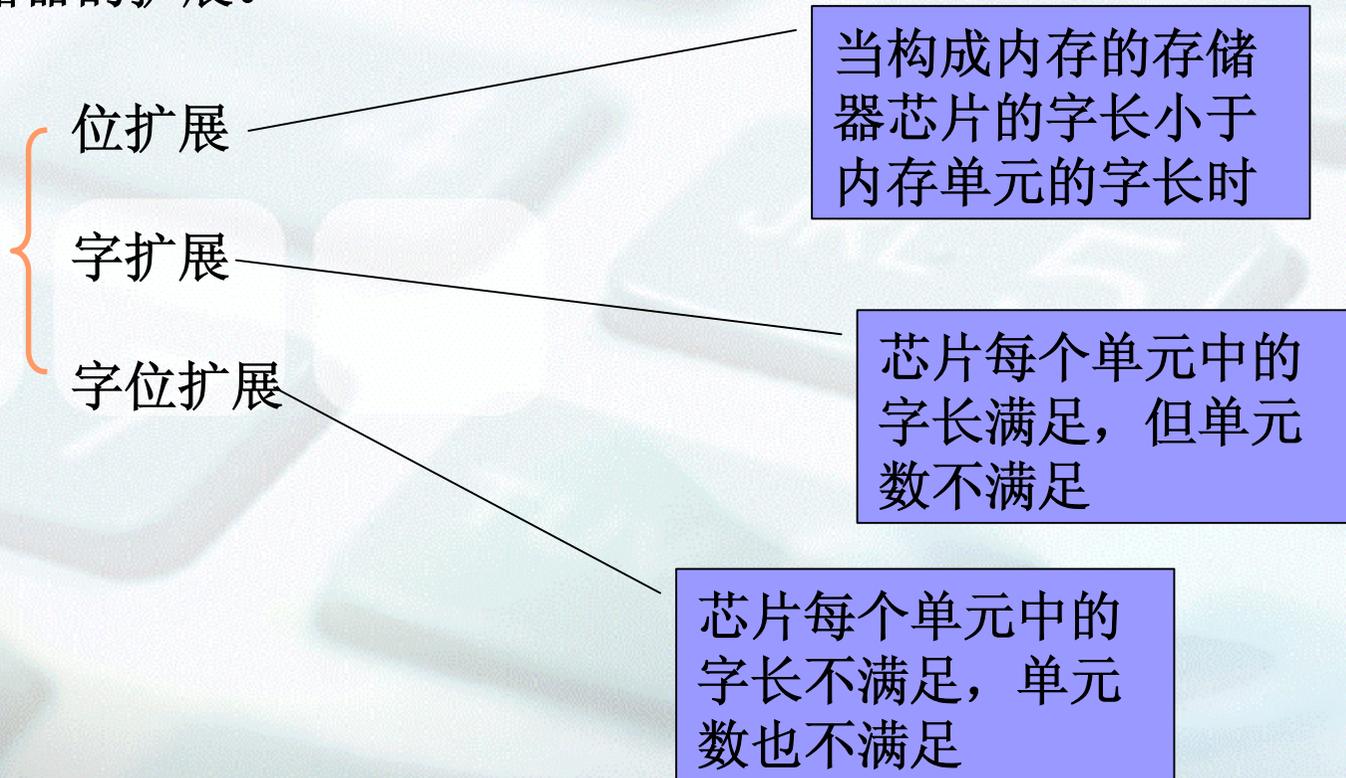
使***CAS**无效 → 上送行地址 → ***RAS**有效 → 刷新电路刷新





5.2.3 存储器扩展技术

用多片存储芯片构成一个需要的内存空间，它们在整个内存中占据不同的地址范围，任一时刻仅有一片（或一组）被选中——存储器的扩展。



5.2.3 存储器扩展技术

一、存储器容量的位扩展

存储器的存储容量等于：

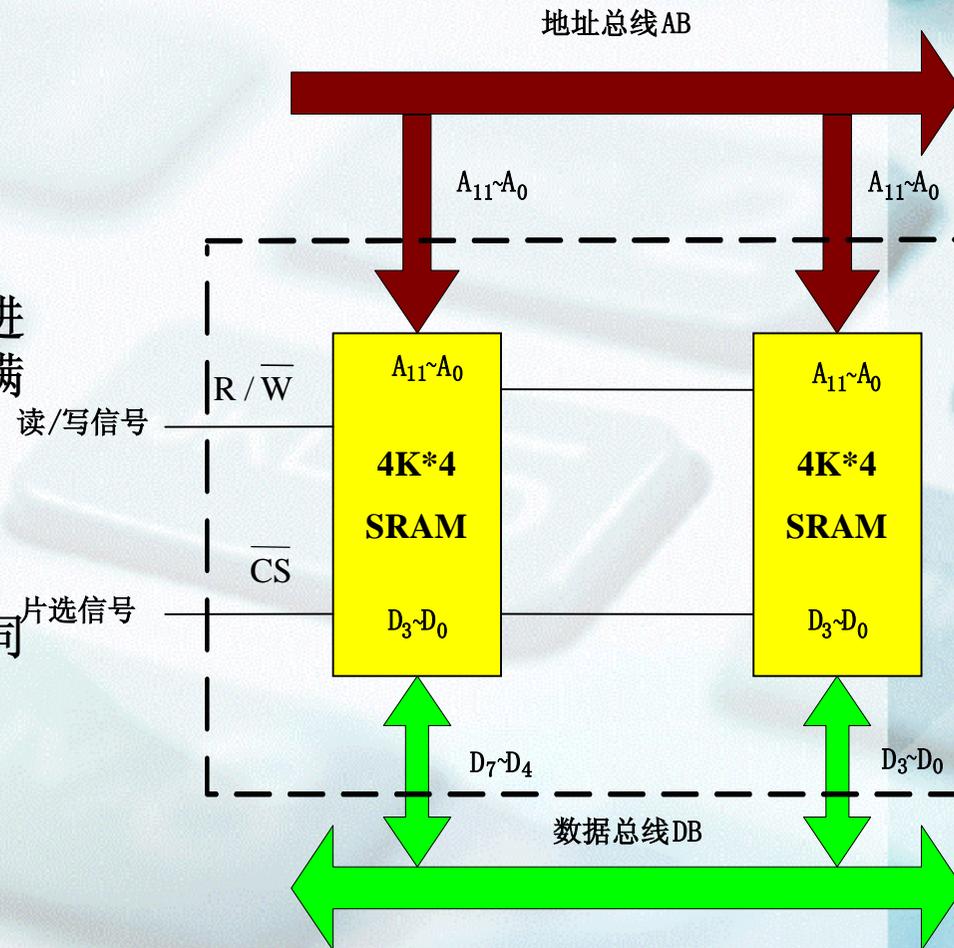
单元数 × 每单元的位数

当构成内存的存储器芯片的字长
小于内存单元的字长时，就要进
行位扩展，使每个单元的字长满
足要求

扩展方法：将每个存储芯片的地
址线和控制线全部并联在一起，
数据线分别引至数据总线的不同
位置

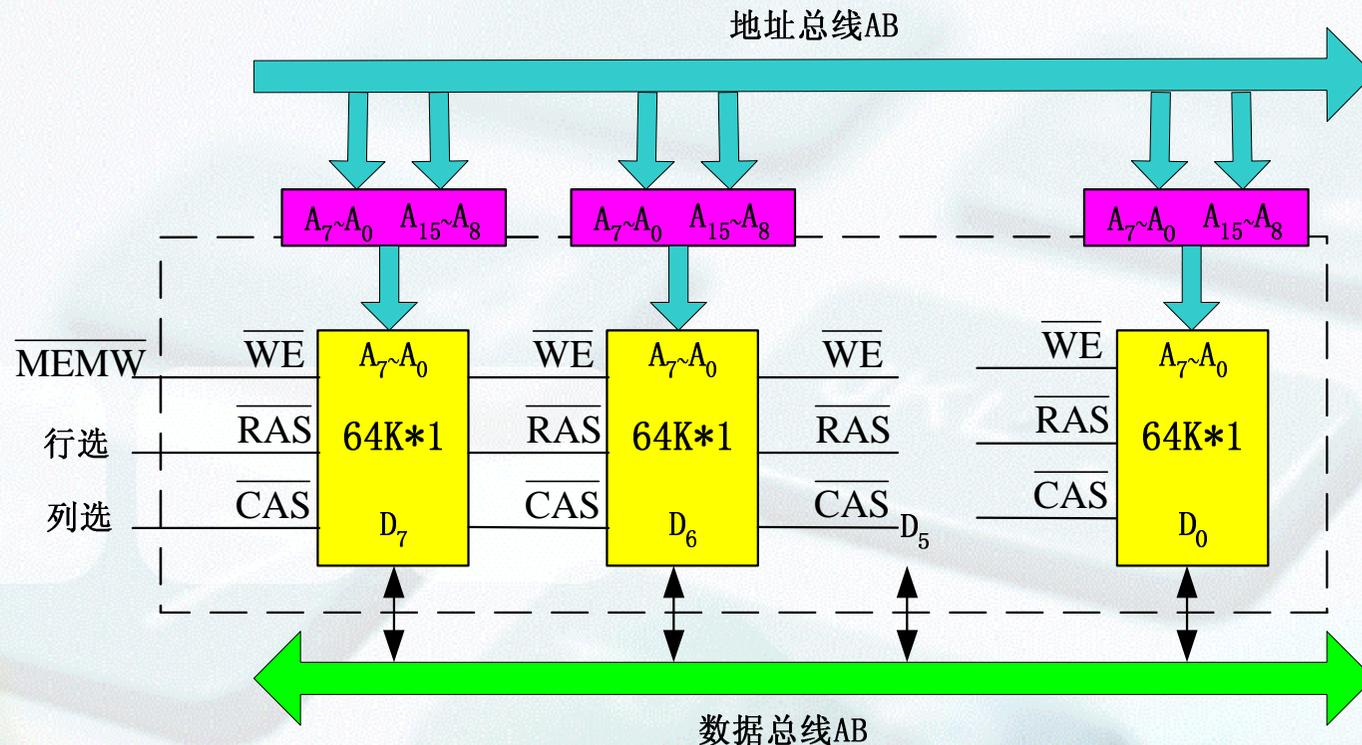
1. 位扩展特点：

存储器的单元数不变，位数增加



5.2.3 存储器扩展技术

- 例5-3 用Intel2164芯片构成容量为64KB的存储器



8个2164的数据线分别连接到数据总线 $D_0 \sim D_7$ 上，地址线和控制线均按照信号名称全部并联在一起。



5.2.3、存储器扩展技术

2、字扩展

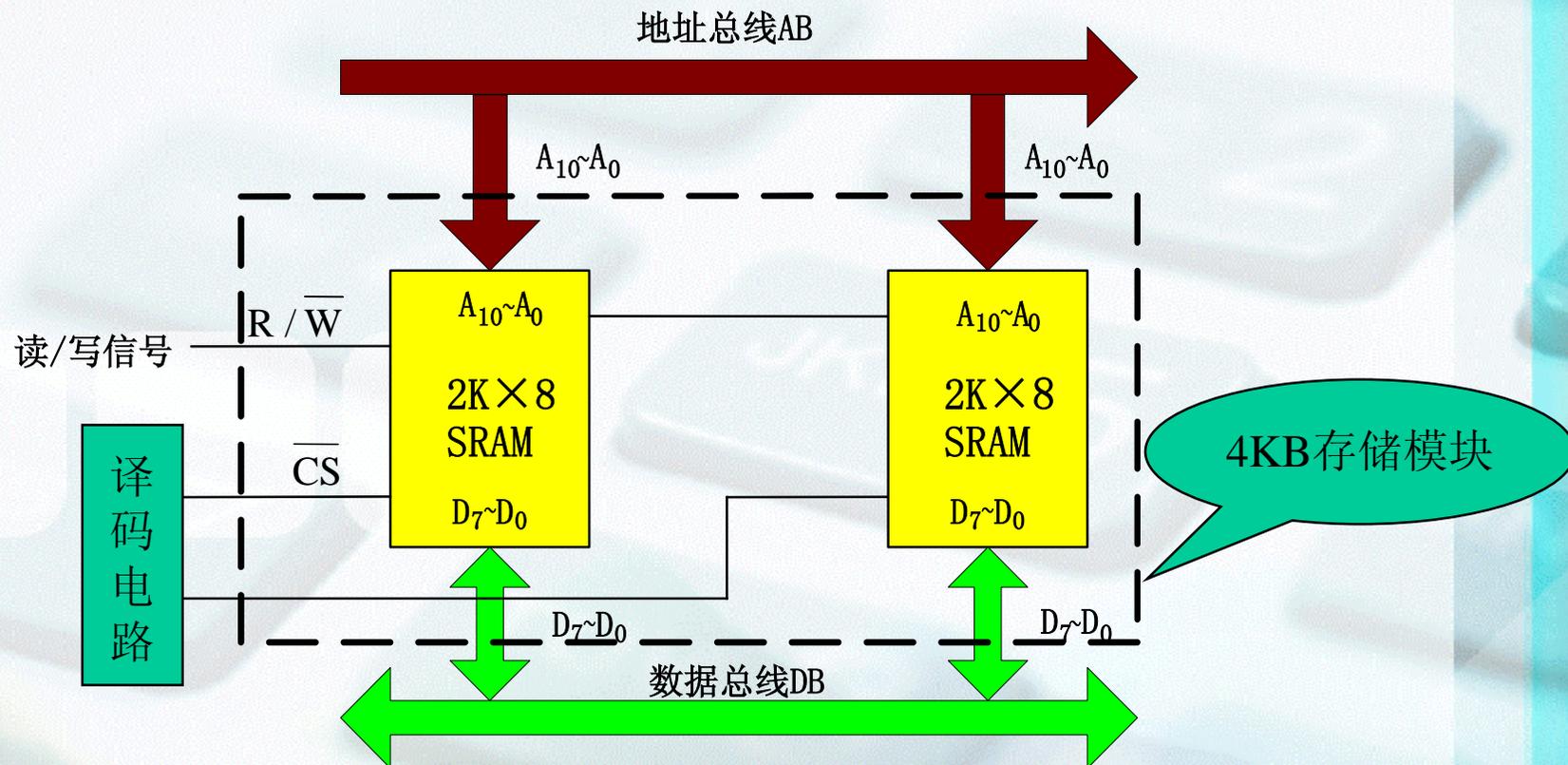
地址空间的扩展。芯片每个单元中的字长满足，但单元数不满足；

扩展原则：

每个芯片的地址线、数据线、控制线并联，仅片选端分别引出，以实现每个芯片占据不同的地址范围。

5.2.3 存储器扩展技术

- 用两片 $2\text{K} \times 8$ 位的SRAM芯片构成容量为4KB的存储器



5.2.3 存储器扩展技术

3、 字位扩展

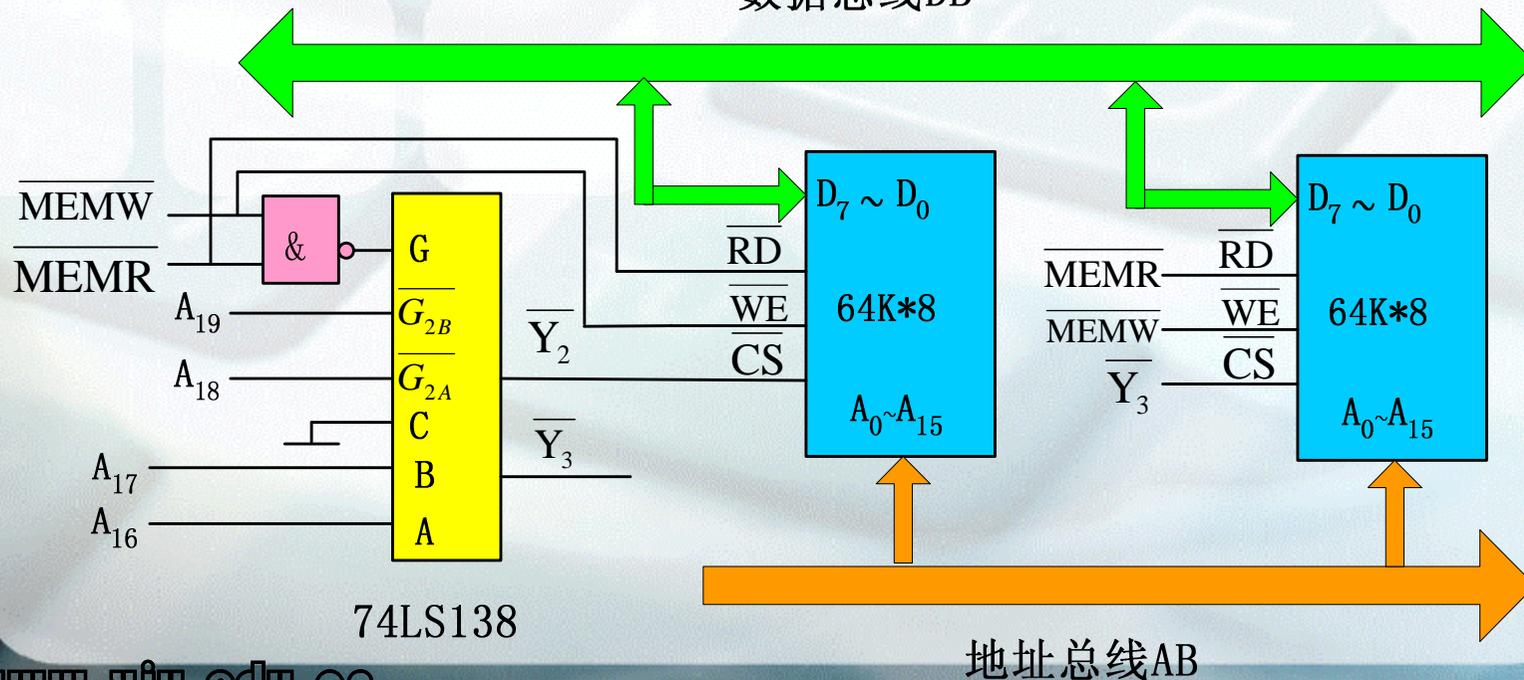
根据内存容量及芯片容量确定所需存储芯片数

1) 进行位扩展以满足字长要求

2) 进行字扩展以满足容量要求

若已有存储芯片的容量为 $L \times K$ ，要构成容量为 $M \times N$ 的存储器，需要的芯片数为：

$$(M/L) \times (N/K) \quad \text{数据总线DB}$$



5.3 只读存储器 (ROM)

掉电后信息不会丢失。

分类

掩模ROM

一次性可写ROM (PROM)

可读写ROM

EPROM (紫外线擦除)

EEPROM (电擦除)

5.3.1 EPROM

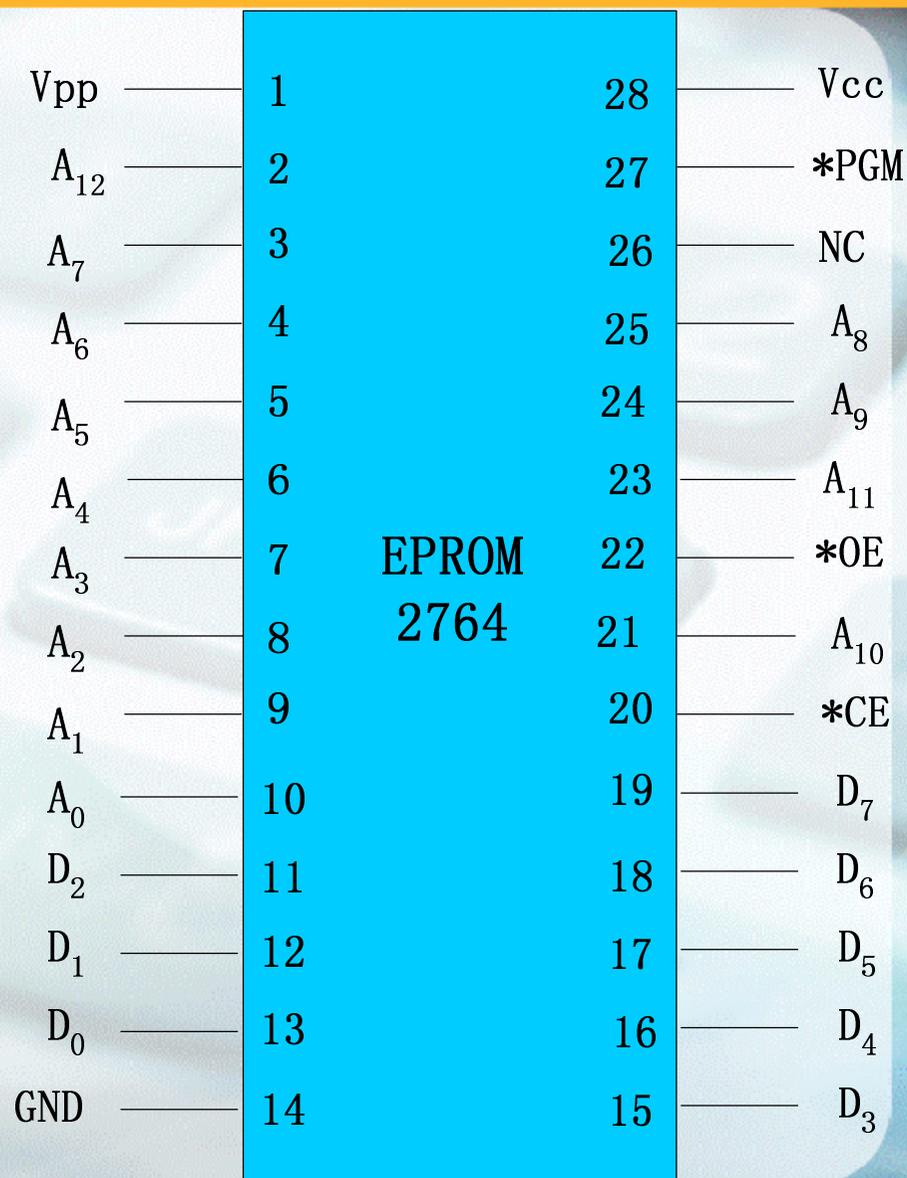
特点:

- 可多次编程写入
- 掉电后内容不丢失
- 内容的擦除需用紫外线擦除器

5.3.1 EPROM

1、引线及功能

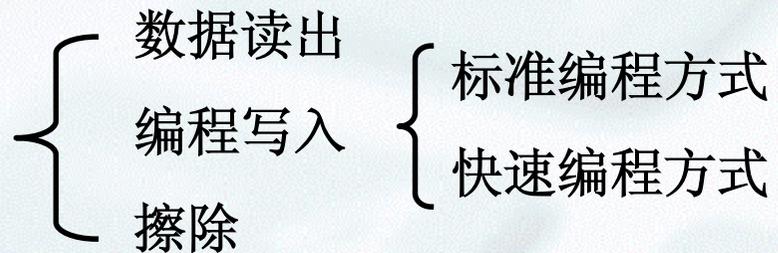
- **EPROM芯片2764**
- **8K×8bit芯片，其引脚与SRAM 6264完全兼容：**
- 地址信号：**A0 ~ A12**
- 数据信号：**D0 ~ D7**
- 输出信号：***OE**
- 片选信号：***CE**
- 编程脉冲输入：***PGM**





5.3.1 EPROM

- 2、2746的工作方式



编程写入的特点:

每出现一个编程负脉冲就写入一个字节数据;

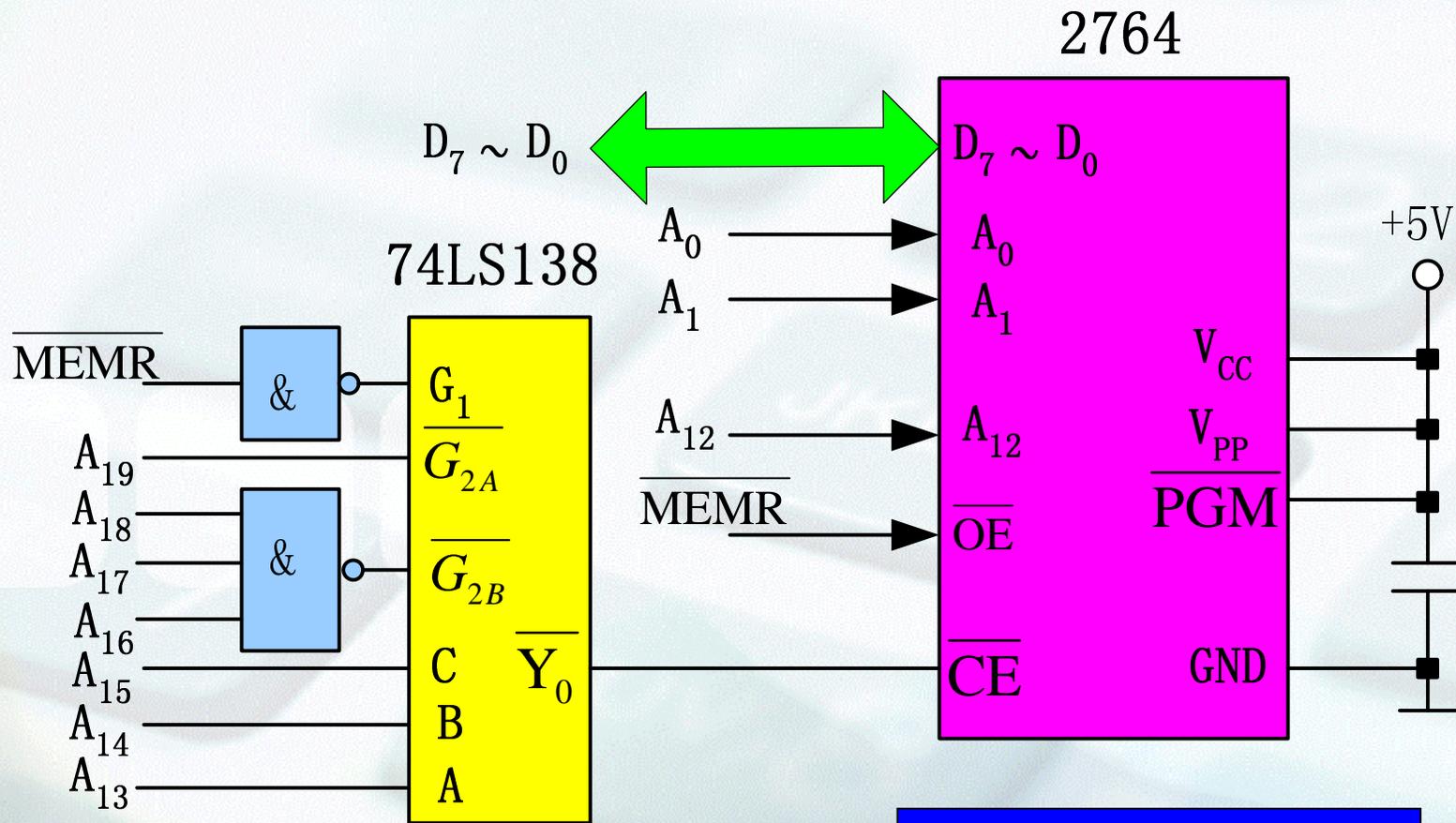
5.3.1 EPROM

1) 数据读出

把地址送到A0~A12 → 把数据送到数据线 → 使*CE=0,
*OE=0同时有效 → 读数据。



5.3.1 EPROM



地址范围：
7000H ~ 71FFFH



5.3.1 EPROM

2) 编程写入

(1) 标准编程方式

每给出一个编程负脉冲就写入一个字节的的数据。

- A. **Vcc**接+5V;
- B. **A0~A12**上给出存储单元地址;
- C. ***OE**和***CE**有效;
- D. 数据线上给出要写入的数据;

上述信号稳定后, 在***PGM**端加上 **$50 \pm 5\text{ms}$** 的负脉冲, 将一个字节的数据写入存储单元。

若其他信号不变, 只是在每写入一个单元的数据后就将***OE**变低, 则可以立即对刚写入的数据**进行校验**。

缺点: 速度慢、不安全

(2) 快速编程方式

先用 **$100 \mu\text{s}$** 的变成脉冲写入索要编程的单元, 再从头检验每个写入的字节, 不正确, 重新写入并检验



5.3.2 EEPROM

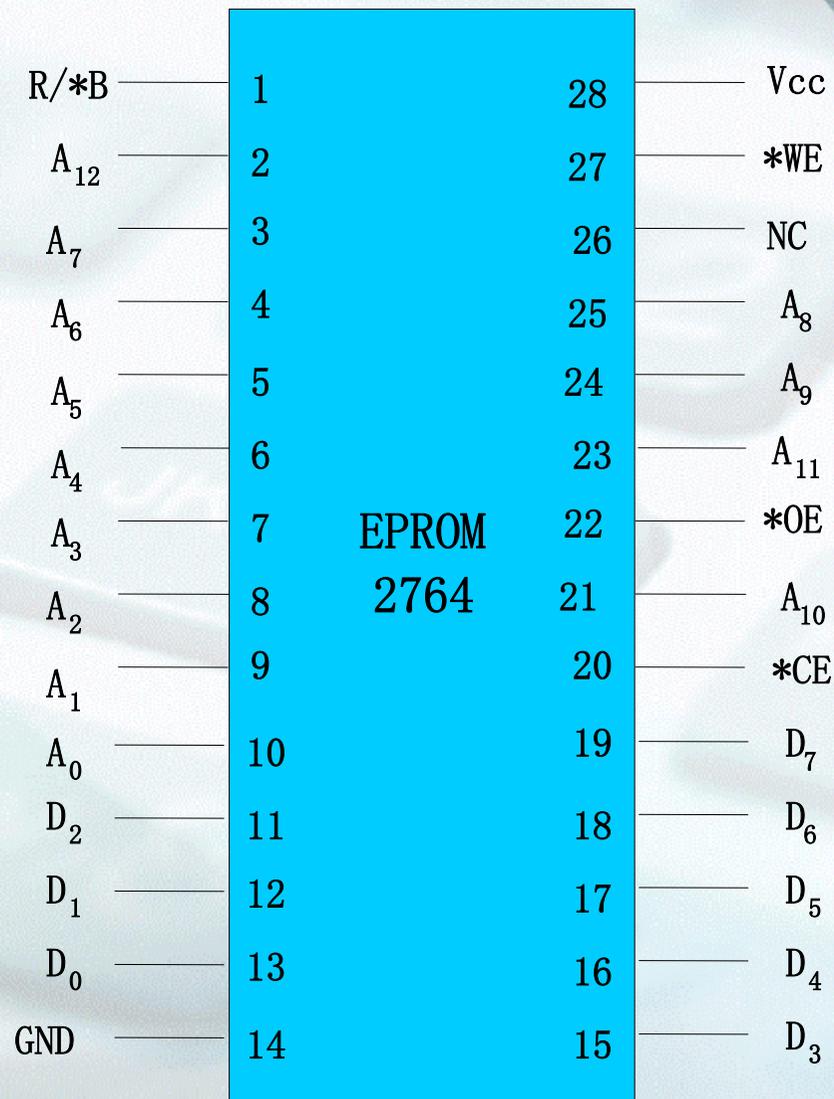
特点:

- 可在线编程写入
- 掉电后内容不丢失
- 电可擦除

5.3.2 EEPROM

1、NMC98C64A的引线

- **8K×8bit**芯片
- **13根地址线 (A0 ~ A12)**
- **8位数据线 (D0 ~ D7)**
- **输出允许信号 (*OE)**
- **写允许信号 (*WE)**
- **选片信号 (*CE)**
- **状态输出端 (READY/*BUSY)**



5.3.3 闪存

- 闪存属于**EEPROM**，它的编程速度更快，掉电后信息不丢失。闪存具有数据读出、编程写入和擦除**3**种工作方式。
- 数据读出时可以是读出某个单元的内容、读内部寄存器的内容以及读出芯片内部的厂家及器件标记。
- 编程写入包括对芯片单元的写入和对其内部某个数据快的软件保护。软件保护是用命令使芯片的某些块规定为写保护状态，也可以置整片为写保护状态，这样可使被保护的块不被写入新的内容或擦除。
- 擦除可以每次擦除一个字节，也可以一次擦除整个芯片，或根据需要只擦除片内某些块。
- 闪存目前主要用来构成存储卡，现已大量用于便携式计算机、数码相机、**MP3**播放器等设备中。

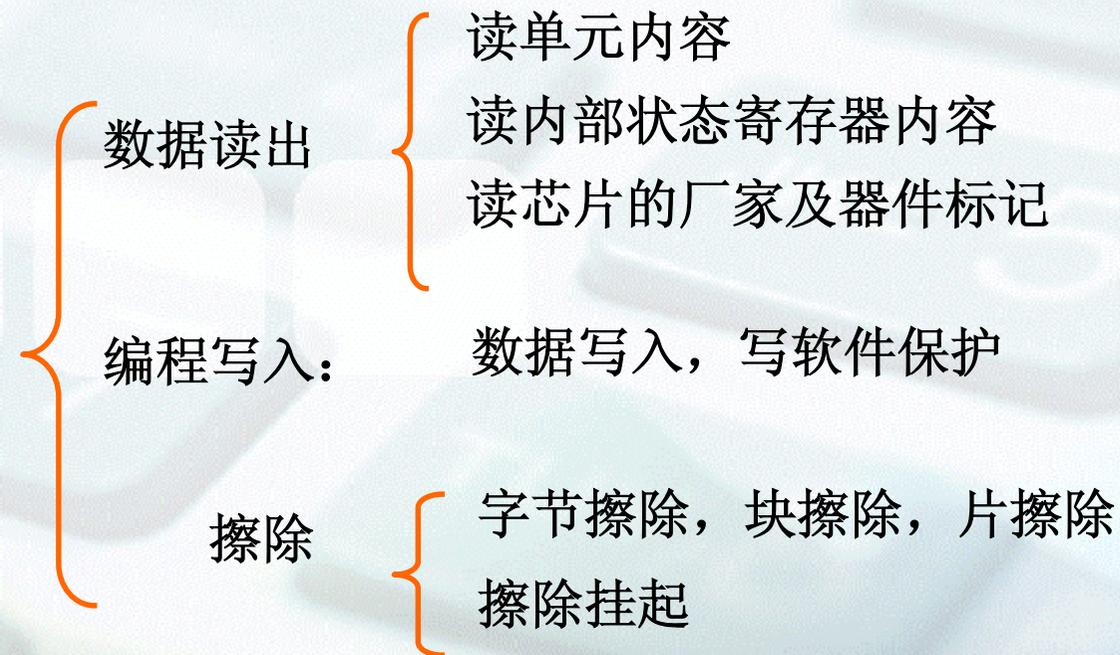


5.3.3 闪存

特点:

- 通过向内部控制寄存器写入命令的方法来控制芯片的工作方式

2、工作方式



5.4 高速缓存 (Cache)

了解:

- Cache的基本概念
- 基本工作原理
- 命中率
- Cache的分级体系结构

5.4 高速缓存 (Cache)

Cache的基本概念

- 由于CPU与主存之间在执行速度上存在较大的差异，为提高CPU的效率，并考虑到价格因素，基于程序的局部性原理，在CPU与主存之间增加的高速缓冲存储器——Cache技术

