



# 场效应器件物理

主讲人：王冲

2015.5





# 本次课内容

---

- 老师简介
- 课程安排
- IC发展现状和规律
- 宽禁带半导体分立器件
- 西电研究状况
- JFET基础知识

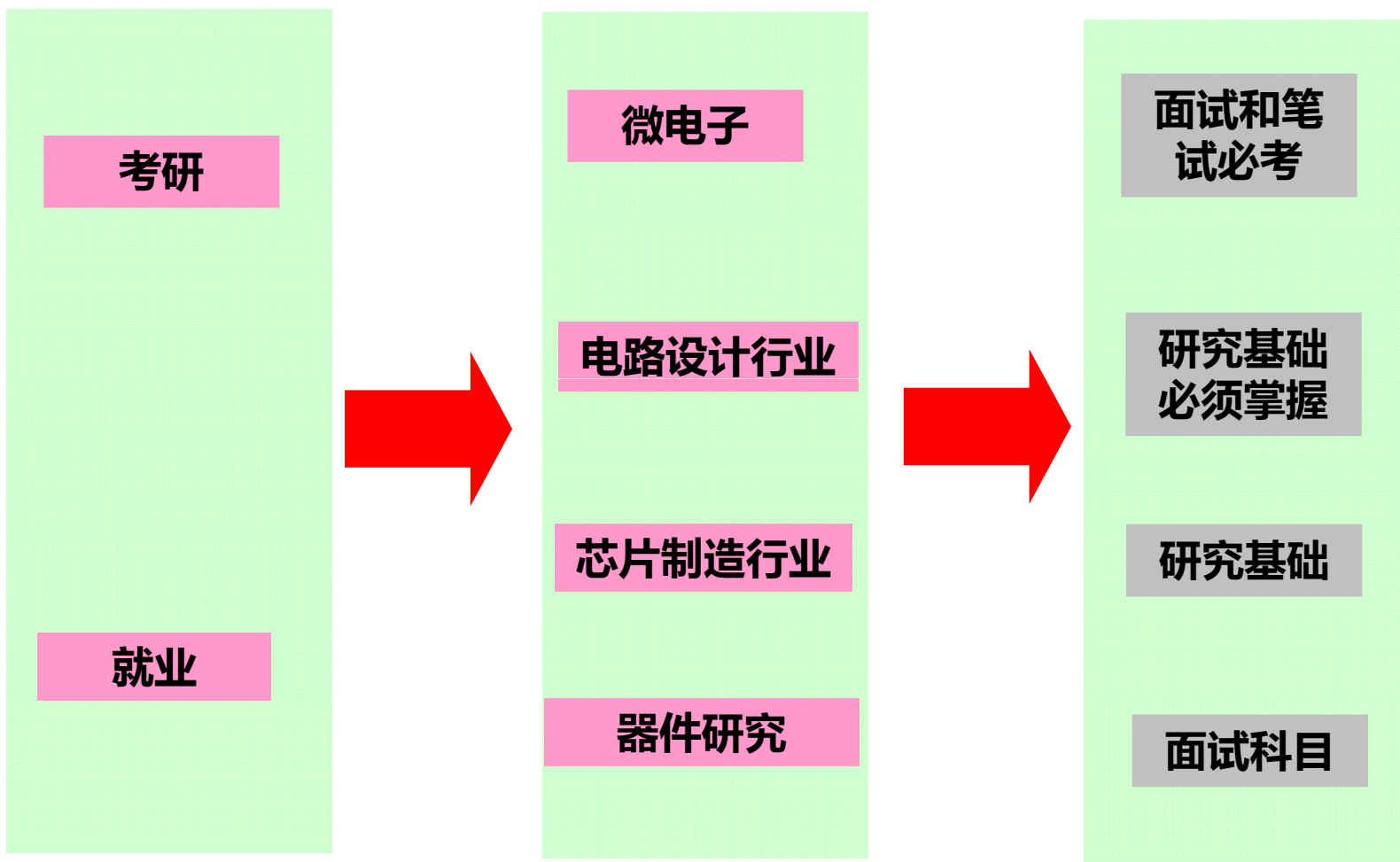


# 课程安排

- 共13次课
- 13章：JFET和MESFET（6次课）
- 12章：MOSFET深入（6次课）
- 授课教师:王冲



# 学习该门课程的意义







# 技术的发展与器件物理

- CPU技术发展与MOSFET小尺寸效应
- 工艺技术的改进对技术发展的支持
- 新材料革命对器件发展的影响



# 技术的发展与器件物理

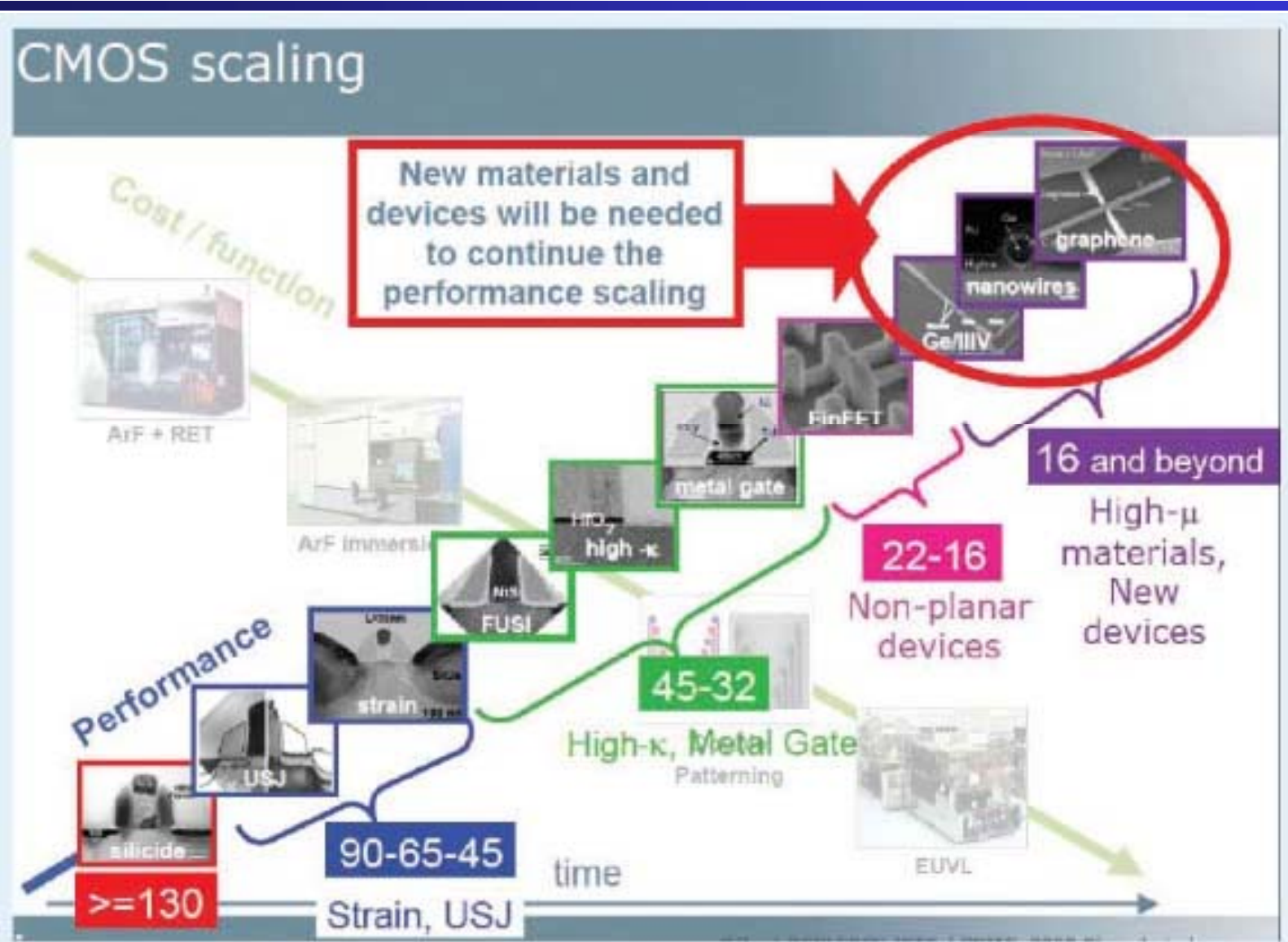
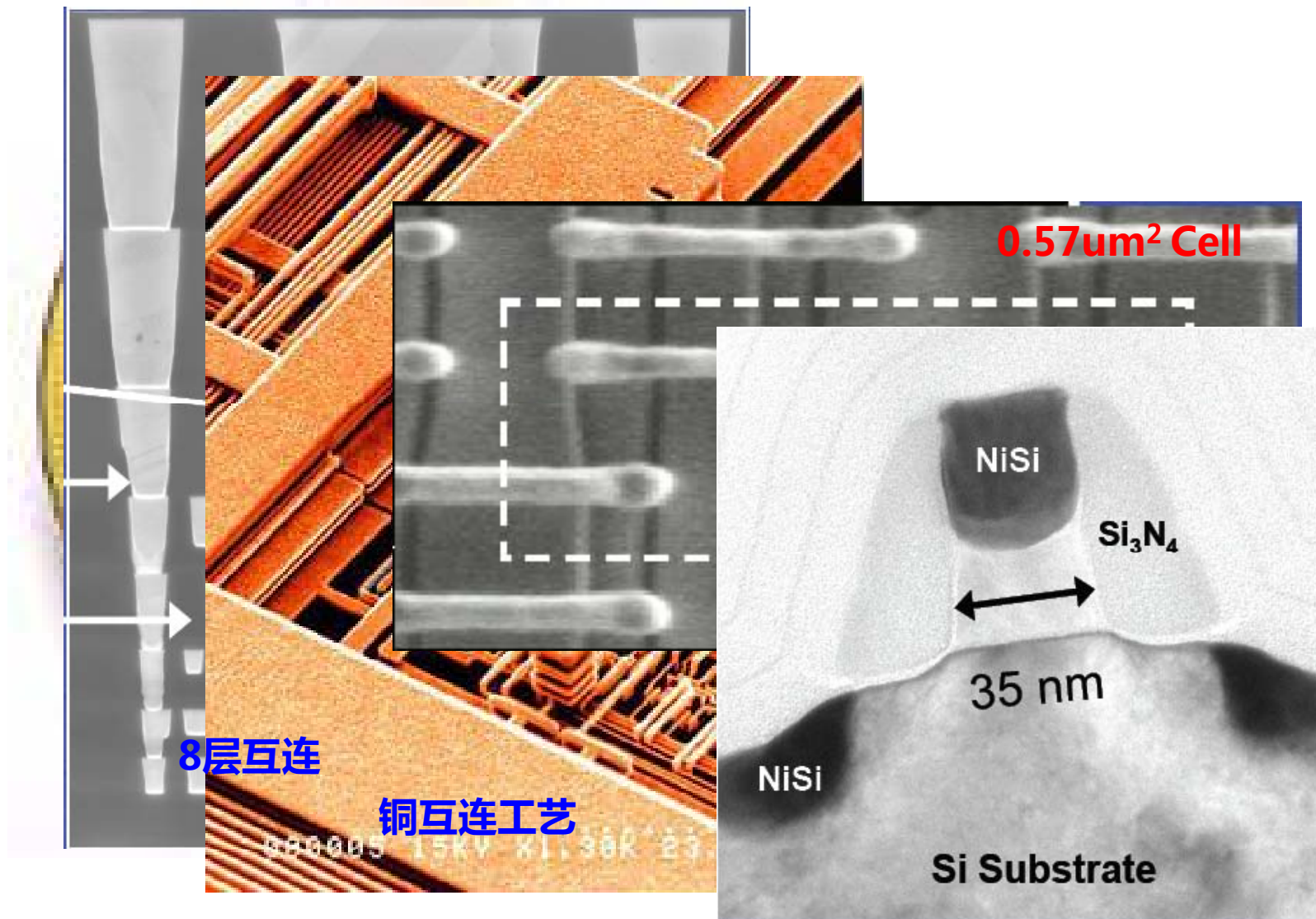


图3. CMOS微缩 (图片来源: IMEC)



# 65nm工艺下微处理器芯片—Intel





## 先进的CPU工艺技术

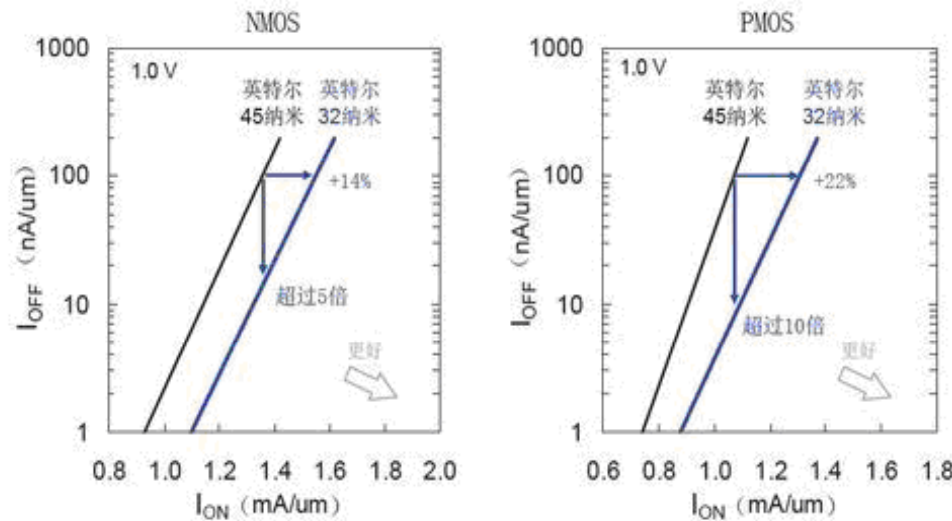
- Intel 采用了45nm的high-k制造技术(采用铬合金high-K与金属栅极晶体管设计)。跟65nm工艺相比，45nm高k制程技术可以将晶体管数量提高近2倍，产品面积小了25%，大约仅为普通邮票的四分之一大小。
- 下一代英特尔酷睿2 四核处理器将采用8.2亿个晶体管，晶体管切换速度提升了20% 以上，由于减少了漏电流，因而可以降低功耗。



# Intel的32nm第二代high-k+金属栅技术

Intel对第一代high-k+金属栅极晶体管进行了众多改进。在45nm制程中，high-k电介质的等效氧化层厚度为1.0纳米。而在32nm制程中，此氧化层的厚度仅为0.9nm，而栅极长度则缩短为30nm。

## 32纳米晶体管的性能



32纳米改进性能或降低泄漏率

有史以来所有32纳米技术中最高的驱动电流



与45纳米制程相比，NMOS晶体管的漏电量减少5倍多，PMOS晶体管的漏电量则减少10倍以上。除此之外，32纳米还采用了第四代应变硅技术，用于提高晶体管的性能

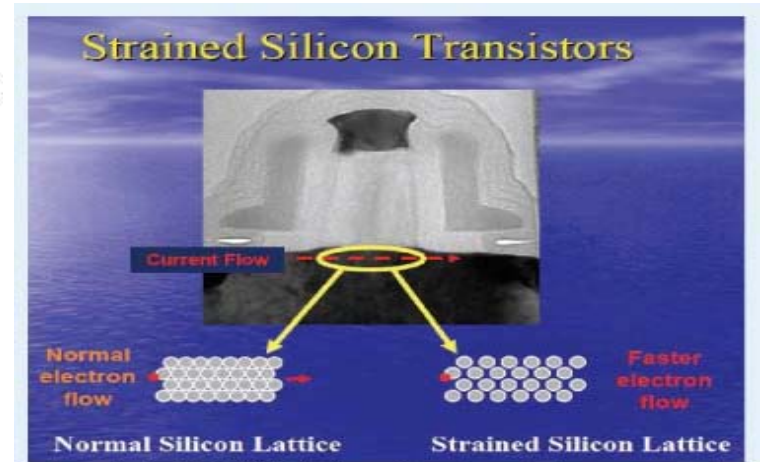


图4. 应变硅晶体管结构示意图 (图片来源: Intel)





# AMD的不同解决方案

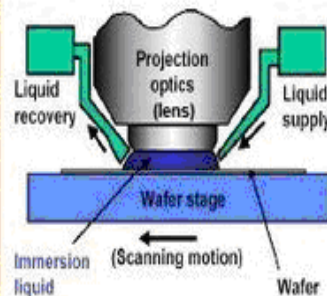
- AMD方面在工艺演进中所选择的，是来自IBM工艺阵营的解决方案。采用浸润光刻（Immersion lithography）在超低K电介质互联（Ultra low-K）内的几项前沿技术

## Immersion Lithography Improving the manufacturing process



### Lithography For 45nm

- Immersion effectively decreases wavelength by putting water between the projection lens and the silicon wafer
  - If a fluid of refractive index  $n$  fills the space between the lens and the wafer, then the effective wavelength = the vacuum wavelength of the light  $\div$  by  $n$
  - For air,  $n$  is approximately equal to 1.0
  - For water,  $n$  is approximately equal to 1.4 because water is denser than air
- Shorter effective wavelengths enable smaller features to be patterned



40 percent gain in resolution over conventional lithography



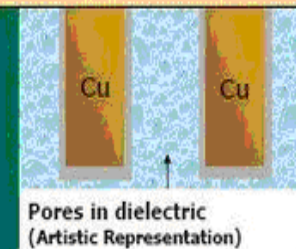
## Ultra-Low-K Interconnect Dielectric Improving circuit speed and reducing power



- Decreases capacitance of insulator surrounding copper wires by introducing pores into the insulator material
- Capacitance depends on the dielectric constant ( $k$ ) of the insulator
  - Current low-k dielectric materials have  $k = 3.0$
- Introducing pores (air) throughout the insulator further lowers  $k$ 
  - Reduces the  $k$  to 2.4
  - Unique integration for improved yield and reliability

A superior ultra-low-k (ULK;  $k = 2.4$ ) film, manufacturing process and tool set were developed for 45nm

- Elements were integrated successfully to build wiring suitable for advanced, high-performance microprocessors
- Extensive testing was used to establish manufacturing robustness and chip reliability



Pores in dielectric (Artistic Representation)





# AMD技术特点

- AMD处理器所使用SOI制造工艺也展现出良好的耐压特性，在超频状态下，AMD 45nm处理器普遍可以承受1.5V以上的电压冲击4GHz以上的极限频率。**Ultra-low-k** 电介质能降低15%左右的写入延迟。
- Phenom II 42 TWKR在开启四颗核心的情况下，成功冲击了7GHz大关，创造了4核心处理器的最新世界记录（默认频率：2.0GHz，超频幅度达到250%）。

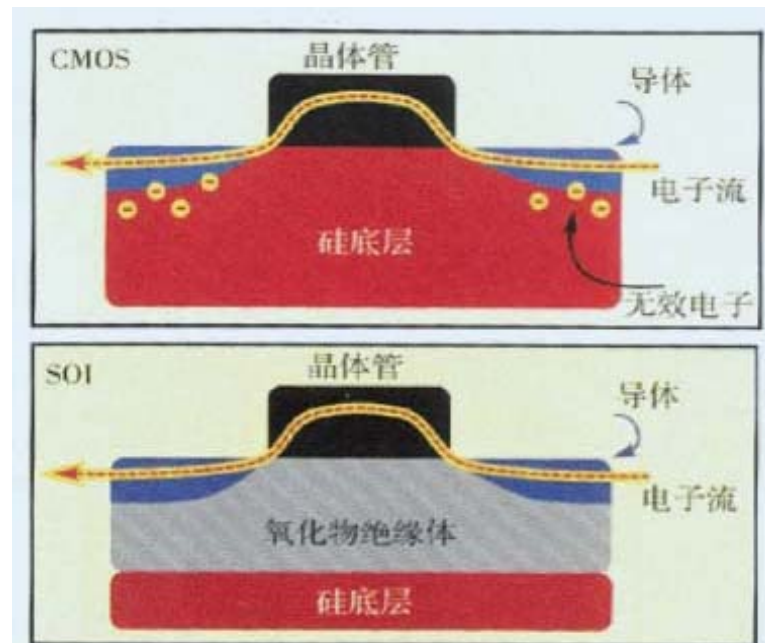
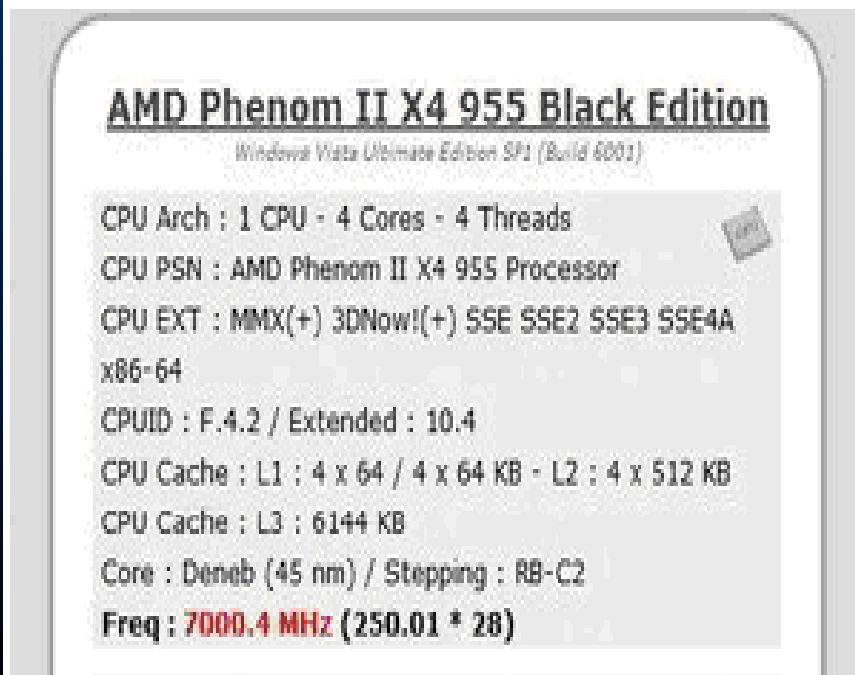
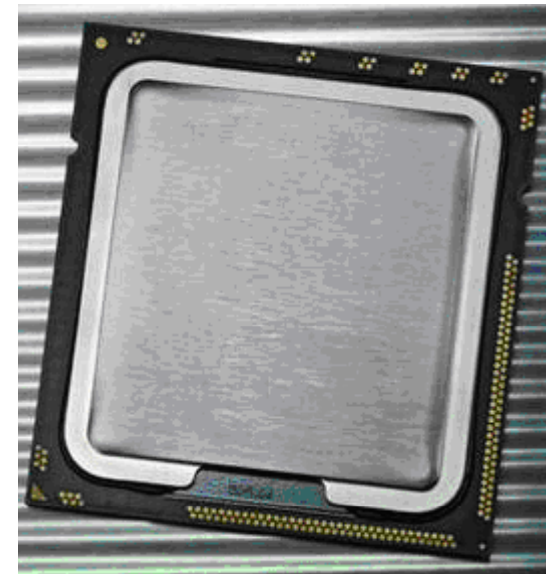
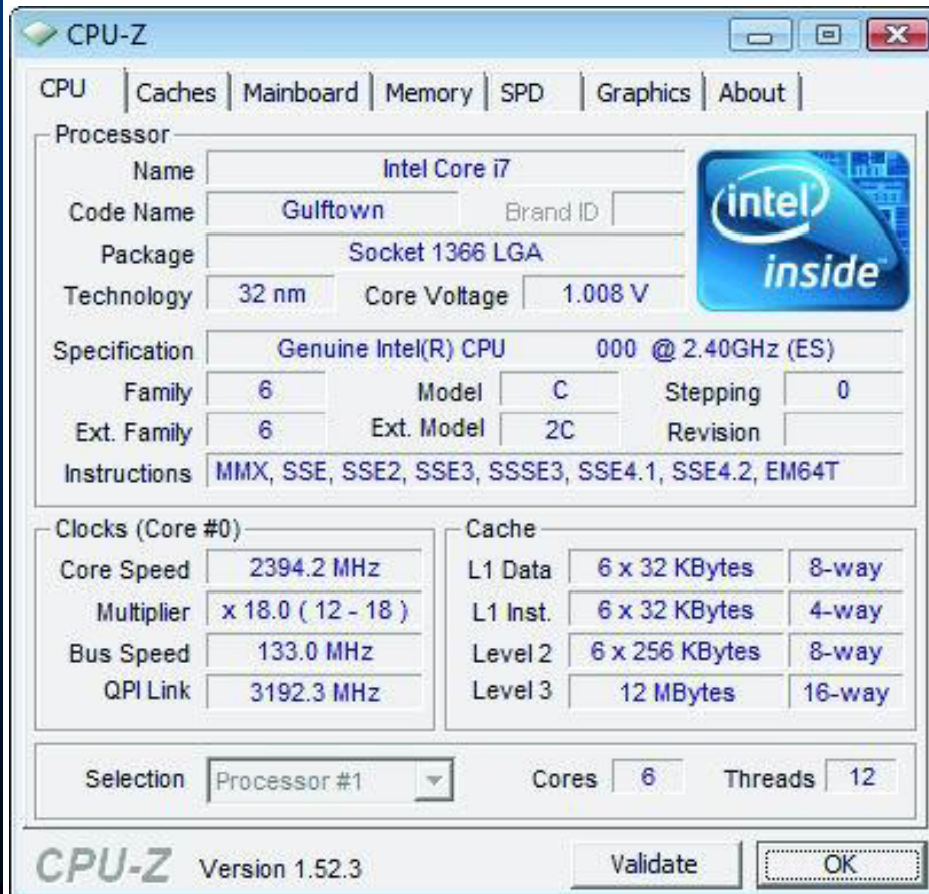


图7. CMOS与SOI的比较



# 六核心CPU产品

■ AMD和Intel在2010年上半年推出自己的首款六核心桌面CPU产品。



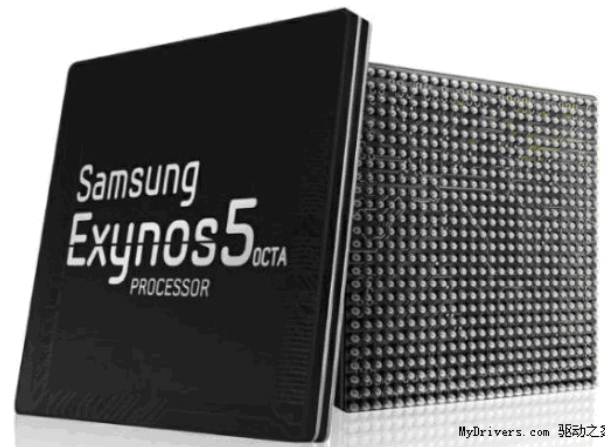
虽然核心数从四个增加到六个，但因为制造工艺从45nm升级为32nm，Intel的Gulftown处理器的热设计功耗仍能保持在130W，根据CPU-Z检测核心电压只有1.0V左右





## 三星八核心产品

- 三星2013年1月发布了全球首款ARM八核处理器Exynos 5 Octa。三星在日前公布了Exynos 5 Octa处理器的官方图。



- 三星电子2012年10月宣布，其最新的20nm工艺试验芯片的流片已经成功，这也是目前业内最先进的半导体制造工艺。另据了解，三星20nm工艺将使用第二代后栅极(GateLast)和高K金属栅极(HKMG)技术，第二代超低K电介质材料，第五代应变硅晶圆，193毫米沉浸式光刻工艺。



## 三星技术进展

- 近日，有消息称，三星将于2013年采用20纳米技术，同时开始建造生产14纳米晶体管的工厂。台积电也会在2013年下半年开始采用20纳米技术生产晶体管。当前主流的智能手机芯片主要由高通和三星制造，高通的代工厂中，最出名的就是台积电(TSMC)。
- 在此之前，台积电采用的是28纳米技术，而三星采用的是32纳米技术。众所周知，晶体管是越细越好，能耗会大幅减少，芯片体积也会相对减小，不过在技术难度上要求很高。要知道，芯片行业的龙头老大英特尔当前采用的是22纳米技术，英特尔官方也曾对外透露过，其14纳米工艺将要等到2014年才能实现量产。





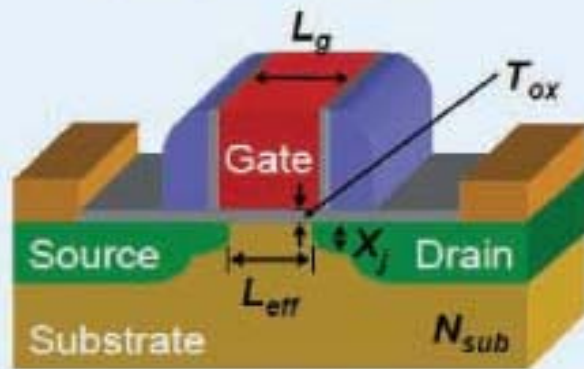
# MOSFET的结构演变

## CMOS Scaling and Technology Inflections

- Major leakage components: 1) gate current, 2) drain current (short channel effect),
- High k gate dielectric starting at 45nm HP Logic to minimize gate current,
- Drain leakage current is reduced by reduction in  $T_{ox}$  and  $X_j$ , to a limited extent,
- FinFET, or Tri-gate per Intel term, effectively deals with SCE and drain leakage,

Leading HP Logic	65nm	45nm	32nm	22nm	15nm
Gate Stack	poly/SiON	HKMG	HKMG	HKMG	HKMG
MOSFET	planar	planar	planar	FinFET	FinFET

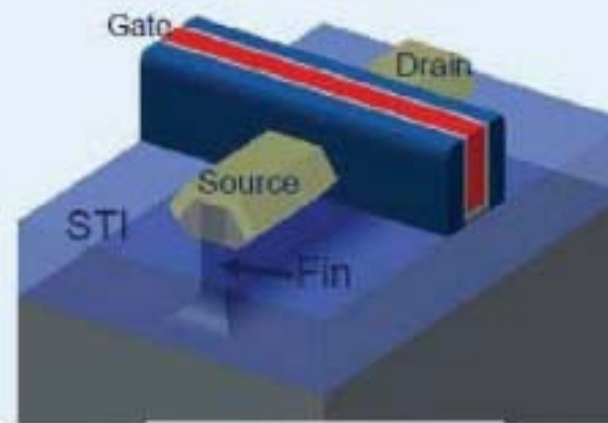
Bulk-Si Planar MOSFET



(~1970 to present)

scaling to  
 $L_g < 20$  nm  
→  
(beyond 2010)

Bulk FinFET MOSFET



(~ 22nm or 15nm node)

图6. 从CMOS到FinFET ( 图片来源: Applied Materials )



## 3D晶体管的应用

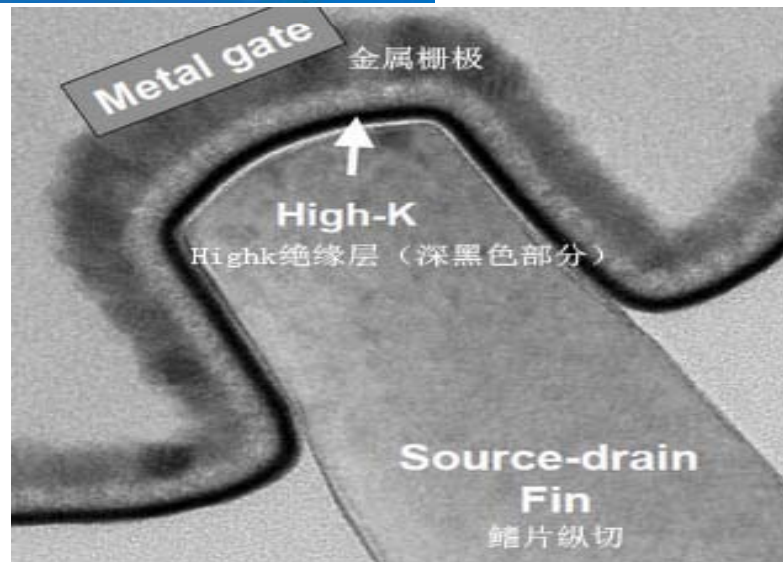
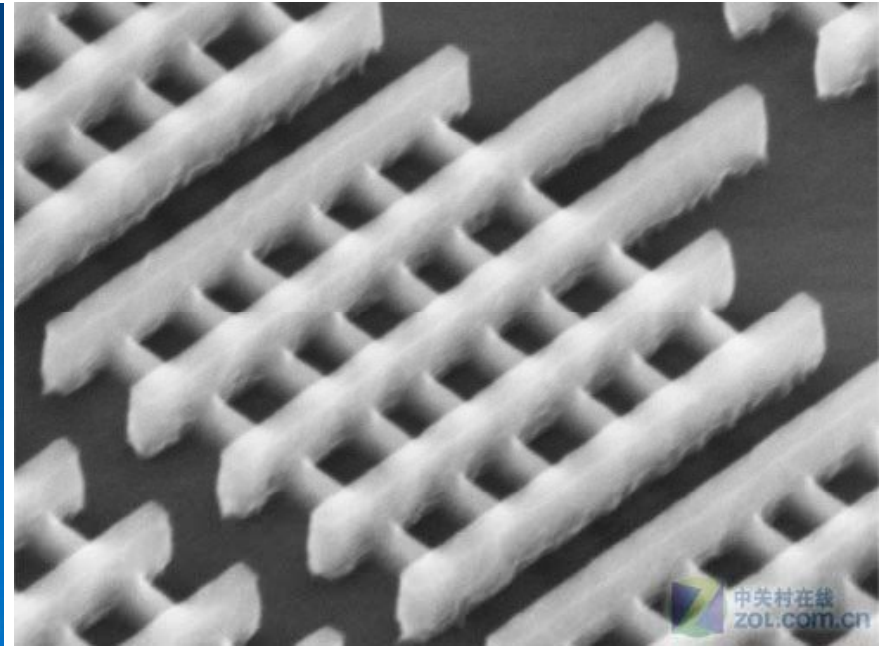
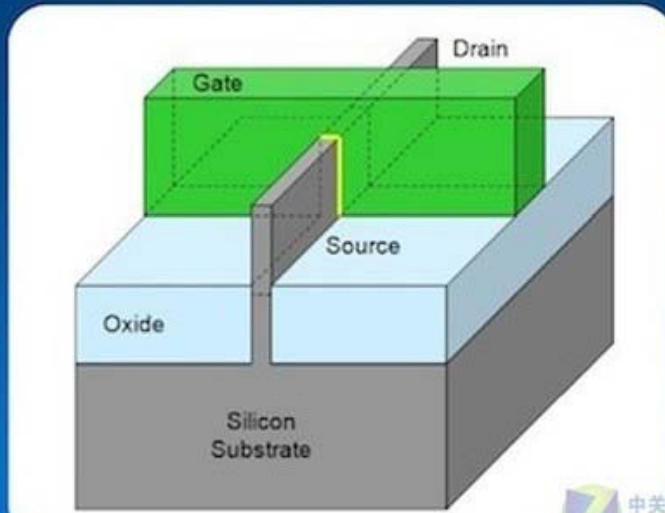
- Intel在2011年5月4日宣布将在**22nm**节点采用“Tri-Gate”(三栅)晶体管技术，实现了历史性的技术突破。3D架构可以延长摩尔定律时限。从而进入到摩尔定律的下一领域
- 22纳米的3-D Tri-Gate晶体管比英特尔32纳米平面晶体管性能提高37%。，耗电不及2D平板晶体管、32纳米芯片的一半，它将在年底开始量产。
- 三栅晶体管与Finfet并不存在本质的区别均是通过采用沟道被多个栅极围绕的设计来增强对沟道的控制。有消息来源表示台积电如期在14nm制程转向Finfet技术。  
0.108x0.108平方微米结构芯片内含29亿个晶体管





# 3D晶体管结构

## 22 nm 3-D Tri-Gate Transistor





# Moore's Law

- 1. Moore定律---利润竞争规律预测：（Intel, Gordon E.Moore, 1965）

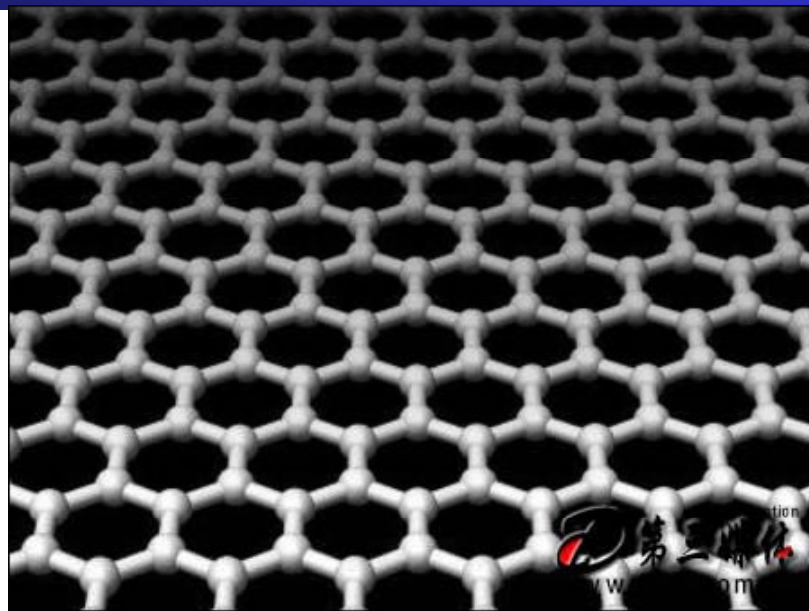
工艺每3年升级一代，单位面积芯片晶体管数每3年翻2番，特征线宽缩小30%，工作频率提高30%。

- 2. 按比例缩小原理---技术更新物理规律：（IBM, H.N.YU, DANNARD, 1974）

- 芯片器件几何结构参数、材料物理参数、电源电压按一定比例缩小，芯片器件内电场不变。但芯片电路的功能、性能提高，同时集成度提高。如：几何尺寸— $1/K$ ，电压— $1/K$ ，延迟时间— $1/K$ ，功率×延迟— $1/K^3$



# IBM石墨烯新技术

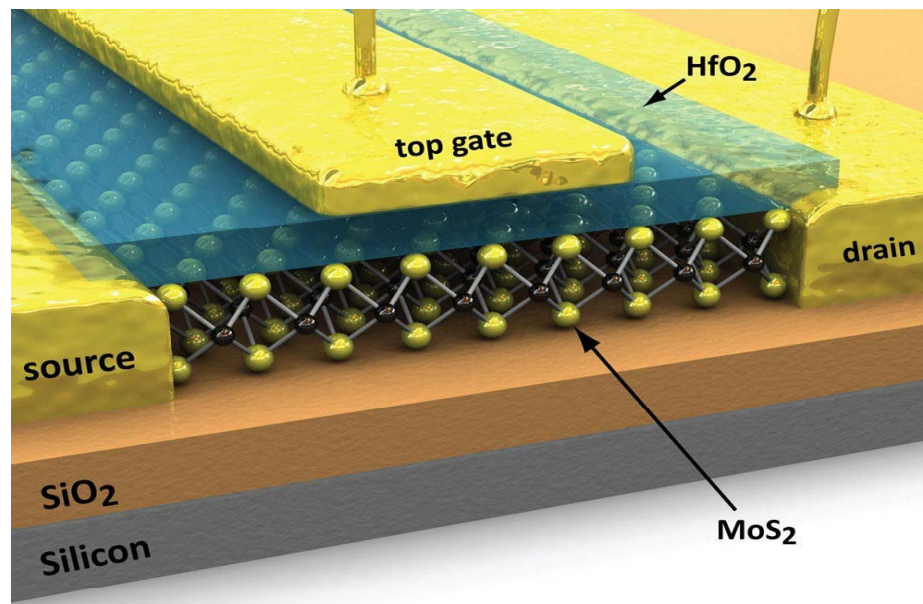


- 石墨烯(Graphene)是石墨的一种特殊形式，呈二维结构，由蜂窝状的单层碳原子组成。石墨烯晶体管的频率有望突破1THz.11年4月IBM已经推出截止频率155GHz石墨烯晶体管. IBM研究人员在14年，采用颠覆传统硅集成电路制作流程的方法，制作了由3个晶体管、4个电感器、2个电容器和2个电阻组成的石墨烯射频接收器。达到了与硅技术的现代无线通信能力相媲美的程度。



# MoS<sub>2</sub>新技术晶体管

- 辉钼材料 ( MoS<sub>2</sub> ) : 用单层辉钼制造间带通道场效应晶体管稳定状态下耗能比传统硅晶体管小10万倍







# 集成电路的发展

- 特征尺寸越来越小
- 圆片面积越来越大
- 单位面积晶体管数目越来越多
- 电源电压越来越低
- 布线层数越来越多



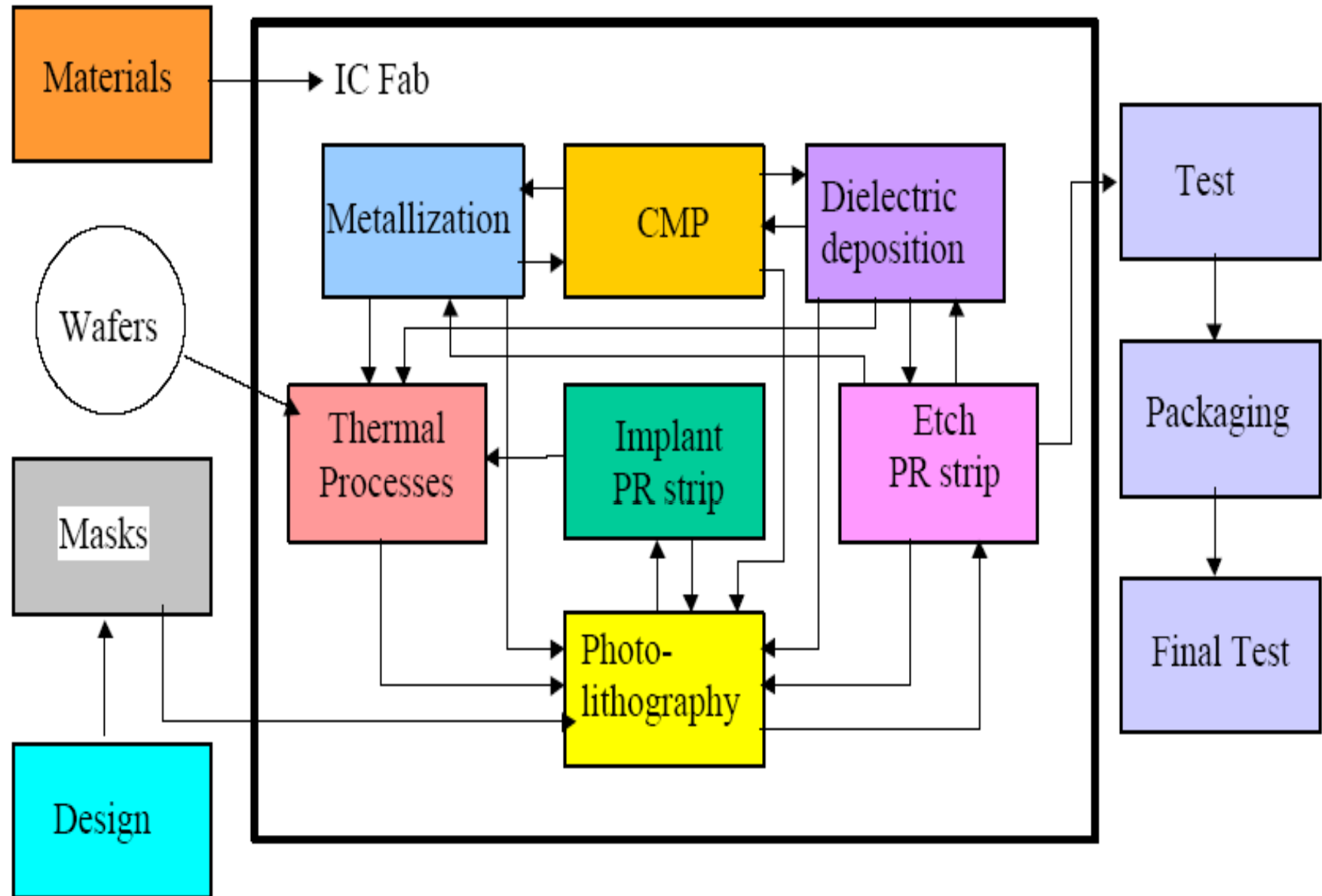
# MOS电路是当今集成电路业的核心

## ■ MOS器件的研究还是固态电子器件的主要方向 - Moore定律的延伸

- 器件工艺及设备的提高
  - ◆ 环境、光刻、刻蚀、注入、外延、互连
- 器件结构的改进
  - ◆ Strain Silicon、SOI、FinFet、High-K、Metal-Gate、3-D Structure.....
- 新型材料技术



# Wafer process flow





# 未来发展

据预测，2020年在世界最大的30个市场领域中，有22个与微电子有关，市场份额为5万亿美元。

市场	销售额 (10亿美元)	市场	销售额 (10亿美元)
手提数据通讯*	630	超薄显示器*	170
个人电脑*	470	IC卡*	165
移动电话服务*	380	地面微波广播*	160
CPU*	300	DNA生物芯片	160
数据容量产品*	270	多用途通讯设备*	155
磁存储*	250	半导体设备*	150
电子商务*	250	电力交通工具	150
网络信息服务*	230	墙壁式超薄电视*	145
高密度磁存储*	230	移动电话*	140
系统集成芯片*	210	直接引入工具	140
家庭医疗设备*	210	ITS设备	140
互联网*	200	DNA加工食品	135
有线电视*	200	液晶显示器*	120
智能传输系统	190	仿制品	115
代理软件*	180	燃油汽车	110

表 (2)



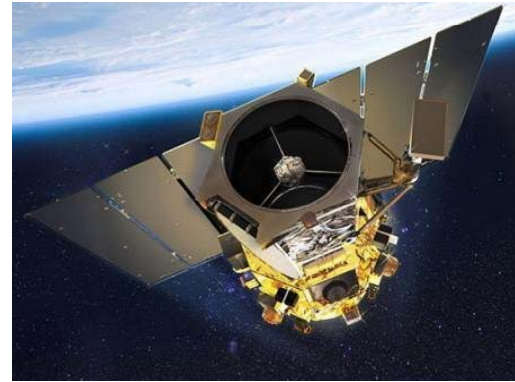
# 电子器件的未来发展方向

## ■ 特殊用途器件的研制

- III-V族材料的发展(Wide Bandgap)
  - ◆ GaAs、GaN、ZnO、InP、SiC.....
- 高频大功率器件的研制
  - ◆ HEMT、IGBT、MCT、VDMOS...



# 第三代半导体器件的应用



战斗机

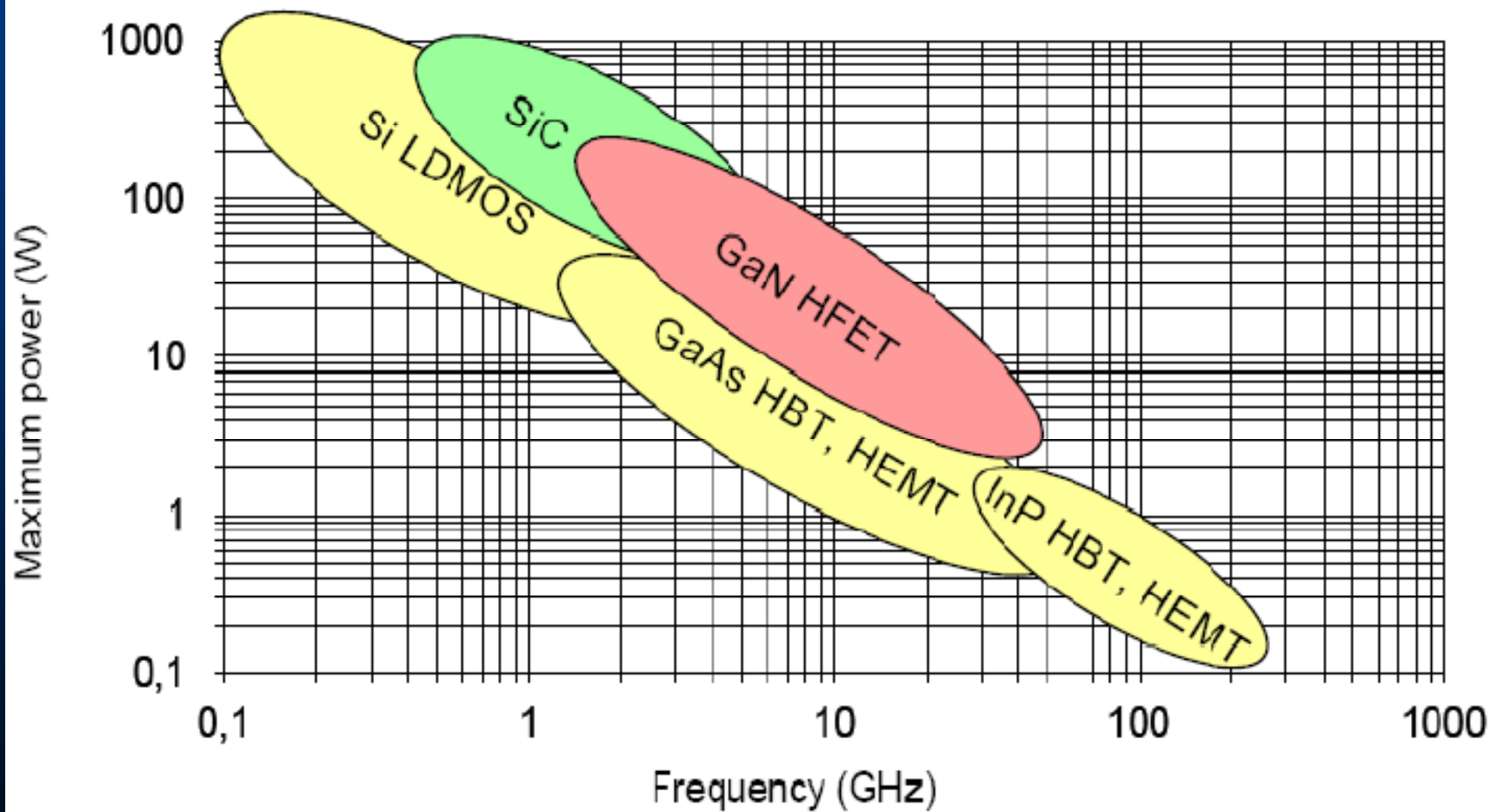


雷达





# 新一代电子器件高频大功率应用





# MESFET的应用

- Cree公司研制出的SiC MESFET，其工作频率在3.1GHz时功率为80W，PAE为31%，栅长 $0.7\mu\text{m}$ ，栅宽48mm，工作电压58V( $f_T=9\text{GHz}$ ， $f_{\text{max}}=20\text{GHz}$ )
- 典型器件特性：栅的肖特基势垒高度为0.9eV，其直流跨导和饱和电流 $I_{\text{dss}}$ 分别为 $30\text{mS}\cdot\text{mm}^{-1}$ 和 $220\text{mA}\cdot\text{mm}^{-1}$ ，







# JFET的应用

- 德州仪器 (TI) 宣布推出 OPA653 与 OPA659 JFET 输入运算放大器，其可实现3 倍于同类竞争产品的  $2675 \text{ V/us}$  压摆率，从而可显著提高脉冲响应,成为业界最快的JFET输入放大器。





## JFET业界现状

- **美国SemiSouth Laboratories公司发布了SiC制JFET新产品。封装品可在175°C下工作。SemiSouth已经上市了常闭型SiC制JFET产品，此次上市的新产品为常开型。**
- **新产品的特点是耐压为1200V、导通电阻只有45mΩ。据该公司介绍，该导通电阻“在已经投产的SiC晶体管中最小”，比公认为导通电阻业界最小、美国科锐（Cree）公司生产的耐压为1200V的SiC制MOSFET的80mΩ还要小。**



# 场效应器件物理

## 第十二讲 JFET和MESFET结构、工作原理和特性

www.xidian.edu.cn





## 本节要点

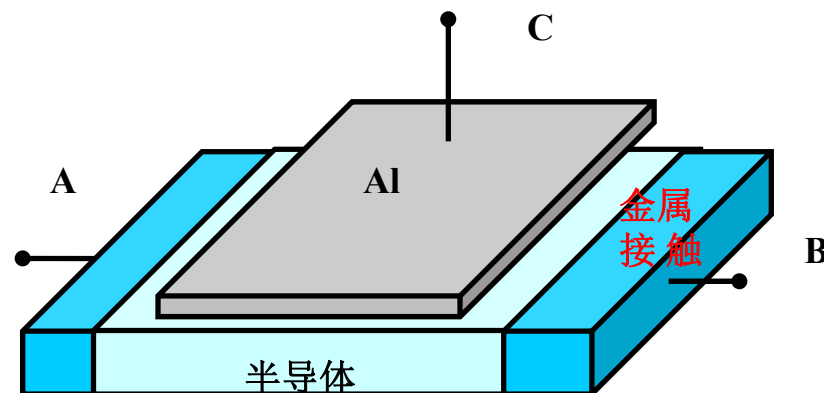
---

- **场效应器件基本理论**
- **JEFT的基本结构和分类**
- **JEFT的基本工作原理和特性曲线**
- **MESFET的基本结构和工作原理**



# 场效应现象

- 半导体的电导被垂直于半导体表面的电场调制的现象称为场效应。
- 利用输入电压调控欧姆接触间电流流通区域(导电沟道)电阻，从而实现输入电压信号对输出电流信号控制的三端器件；
- 20世纪20~30年代发现（第一个被提出的固态晶体管）；



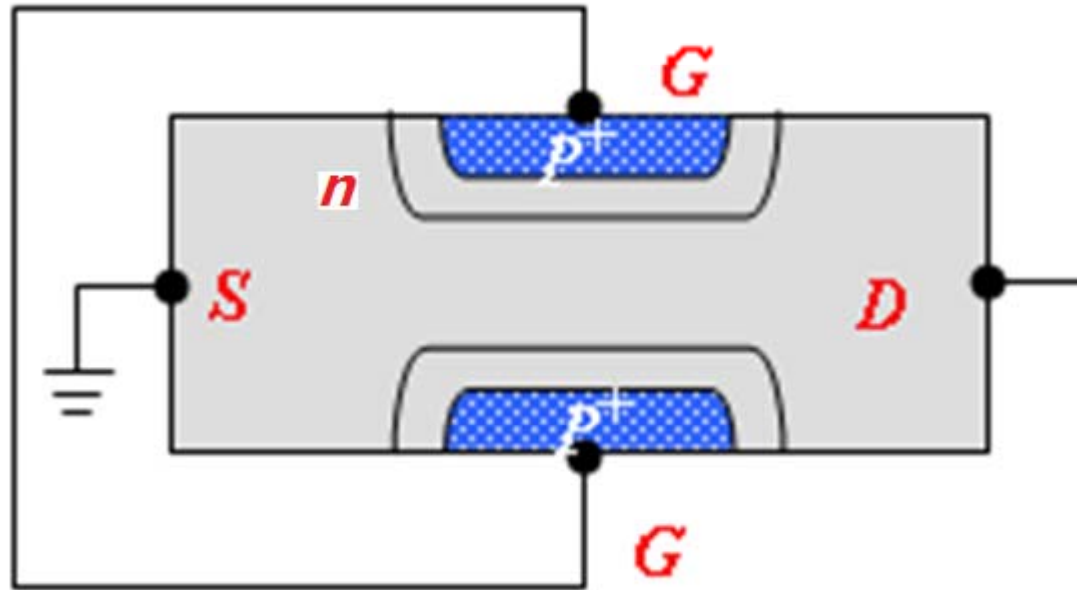


# 场效应晶体管分类

- **绝缘栅场效应晶体管-MISFET**  
(Metal-Insulator-Semiconductor Field-Effect Transistor)  
(器件单元—MIS结构)
- **金属-半导体场效应晶体管-MESFET**  
(Metal-Semiconductor Field-Effect Transistor)  
(器件单元—金-半结)
- **结型场效应晶体管-JFET**  
(Junction Field-Effect Transistor)  
(器件单元—pn结)



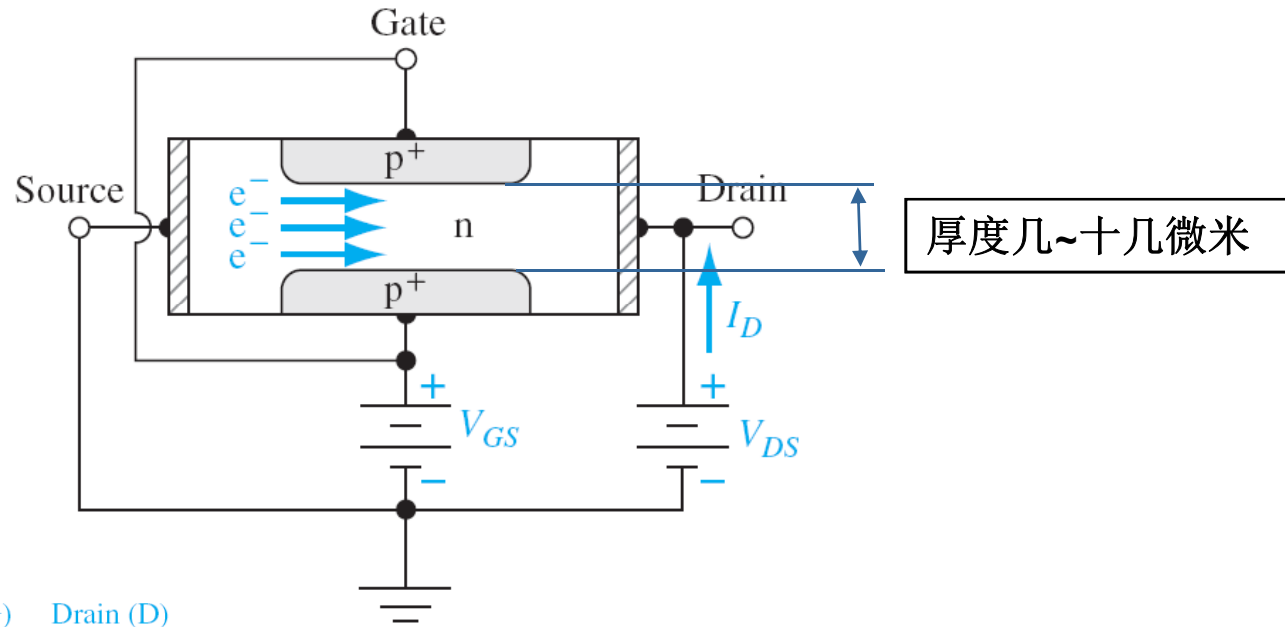
# JFET的基本结构



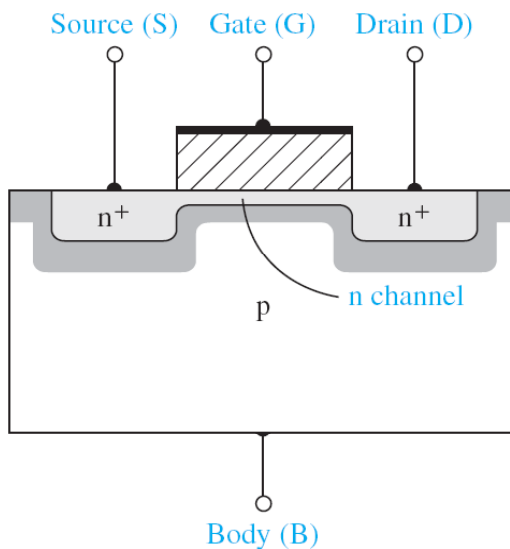
G(栅极)--输入端，单边突变pn结构成;  
S(源极)—提供载流子；  
D(漏极)—输出电极，输出载流子。  
Lg-栅长，W-栅宽，d-沟道厚度



# JFET与MOSFET结构比较



3.1对称n沟pn结JFET的横截面



结型: 大于 $10^7\Omega$ , 绝缘栅: $10^9\sim 10^{15}\Omega$ 。





# N型半导体欧姆接触能带图

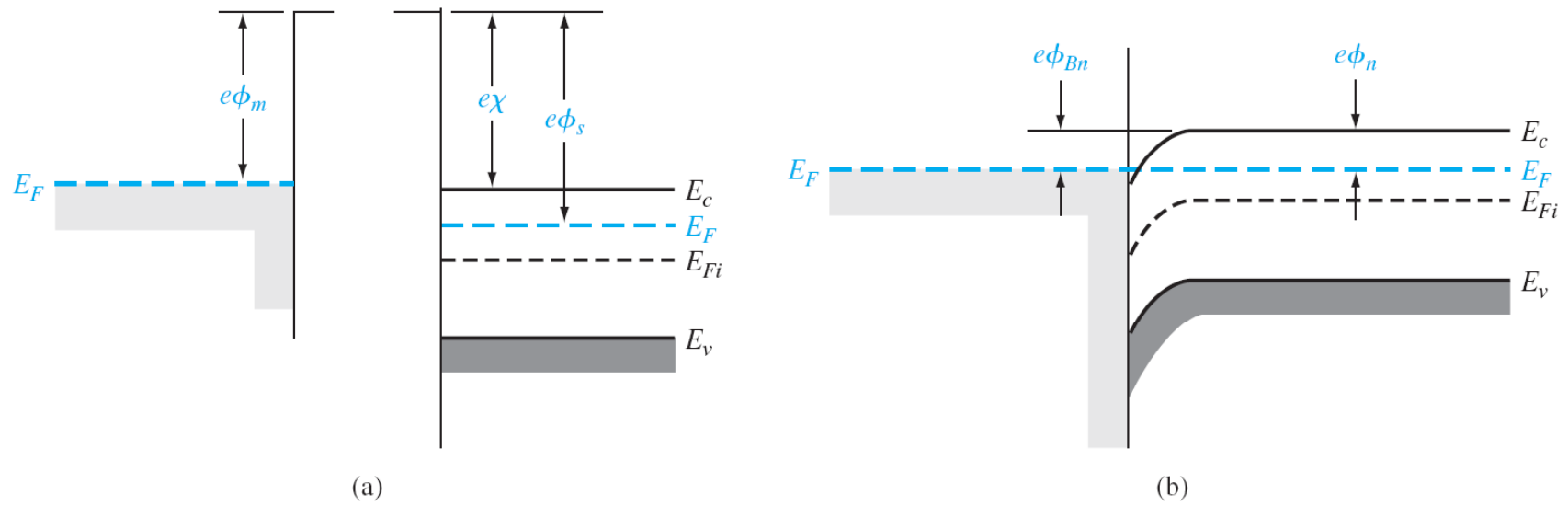


图 9.11

使N型半导体表面更N



# 利用重掺杂产生隧道效应减小接触电阻

对半导体表面进行重掺杂形成欧姆接触，可以采用离子注入的方法进行重掺杂减小接触电阻。

较大的接触电阻增大了器件串联电阻，减小器件有效跨导。

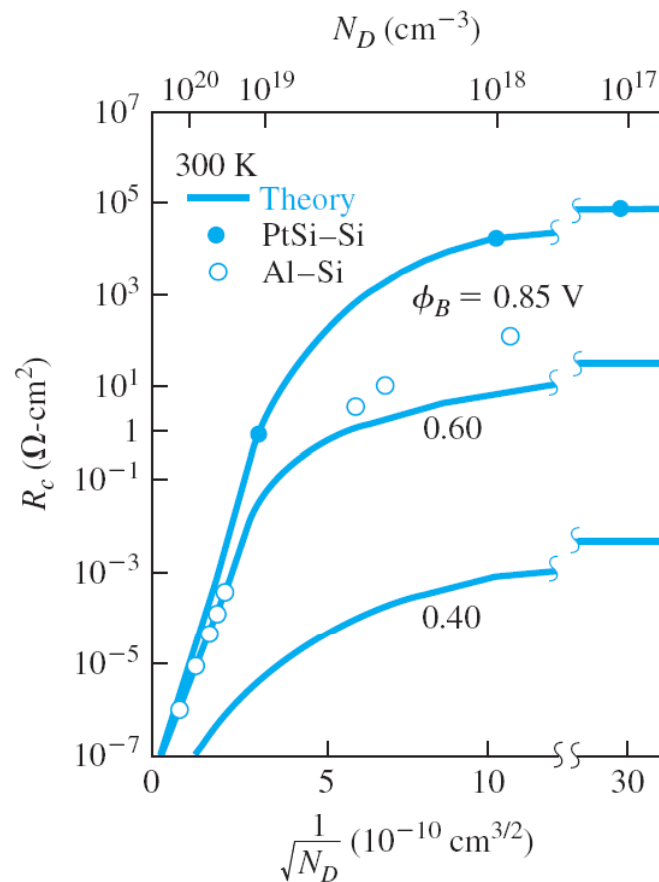


图 9.15 接触电阻与掺杂浓度的理论值与实验值



# 隧道效应

实际中由于界面态的影响，很难形成良好欧姆接触。

故实际中的欧姆接触形成依靠隧道效应来实现

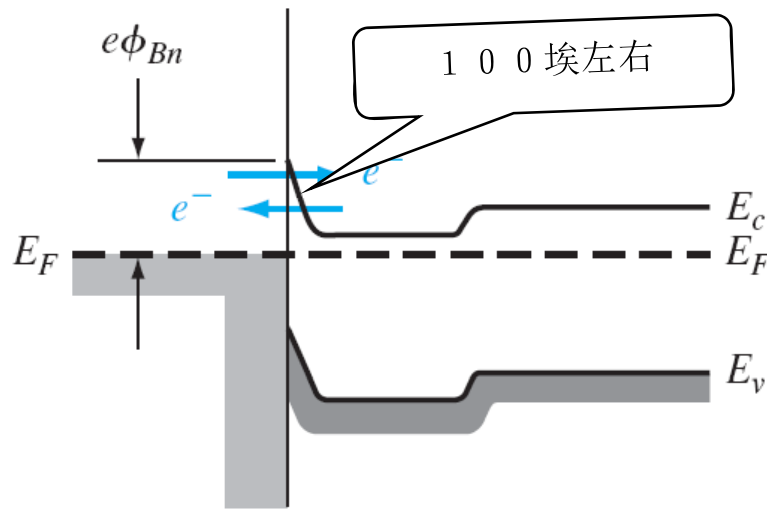


图 9.14 金属与重掺杂半导体结的能带图

根据隧道原理，能量低于势垒的电子有一定几率穿过势垒，穿透能量与电子能量和势垒厚度有关

隧道电流有如下形式：

$$J_t \propto \exp\left(\frac{-e\phi_{Bn}}{E_{00}}\right)$$

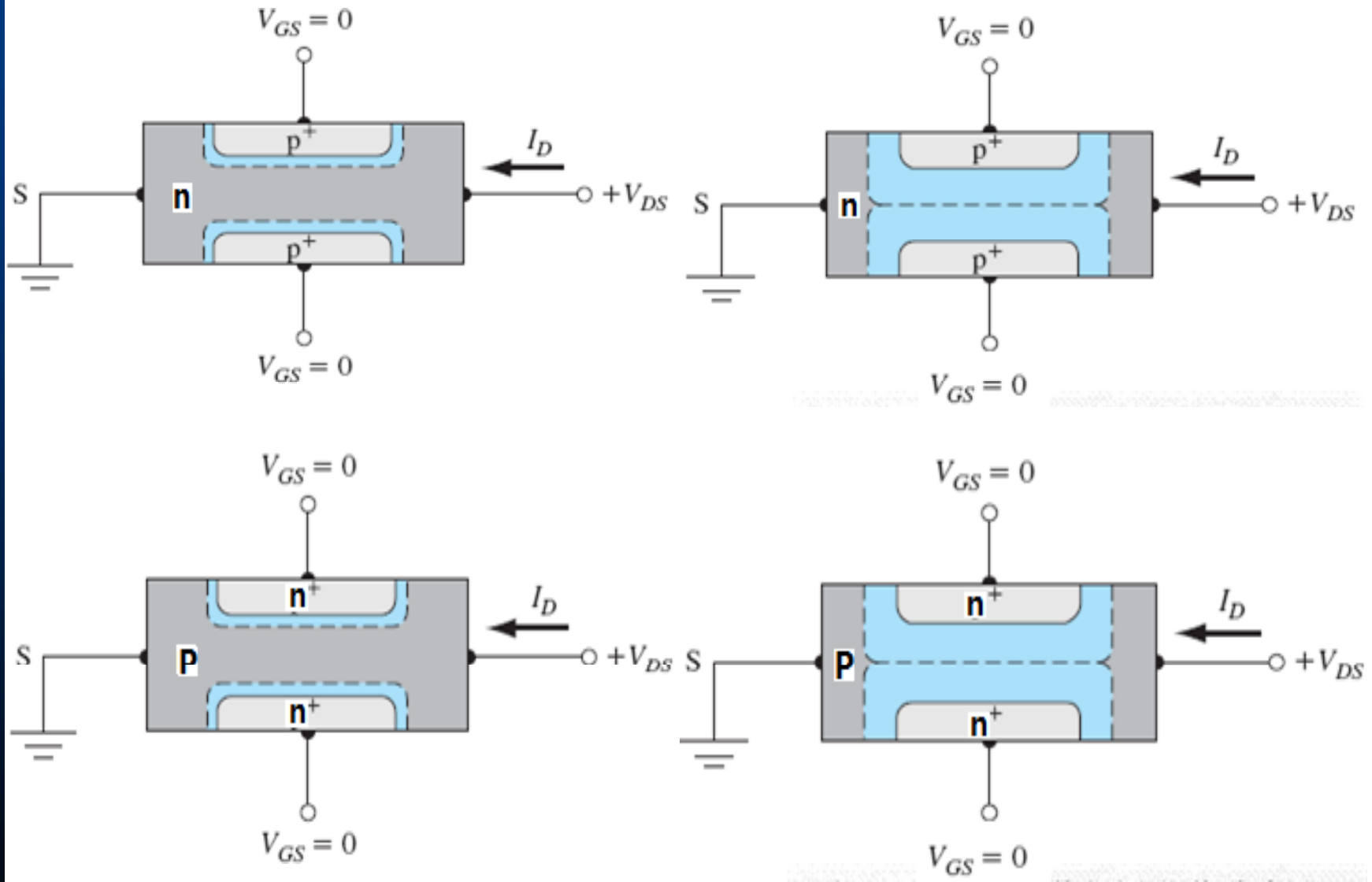
$$\text{其中 } E_{00} = \frac{e\hbar}{2} \sqrt{\frac{N_d}{\epsilon_s m_n^*}}$$

隧道电流随着掺杂浓度的增加而指数增大

重掺杂使得耗尽区宽度减小势垒厚度变薄



# JFET器件分类





# JFET的基本工作原理

$V_{GS} = 0$ 的情况:

注: a. 栅结p+n结近似

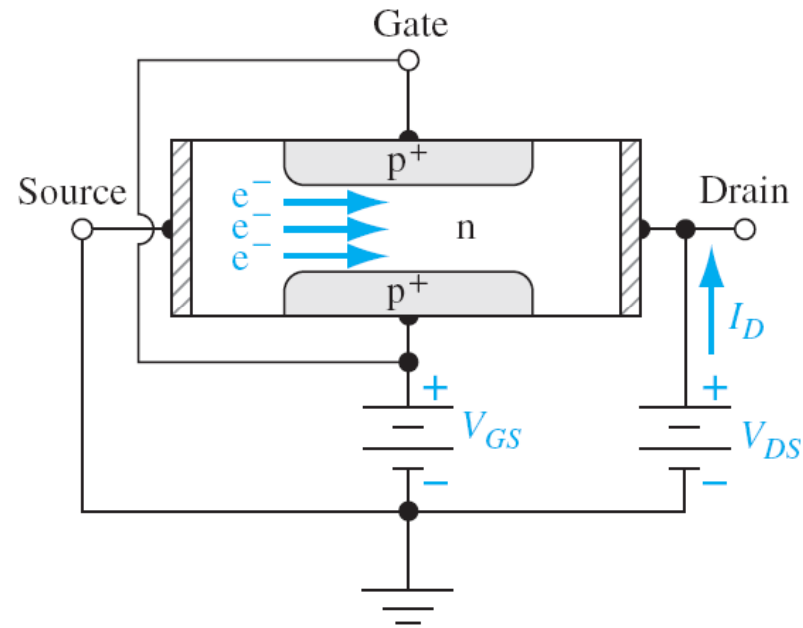
单边突变结

b. 沟道区假定为

均匀掺杂

器件偏置 $V_{DS} = 0$ 时:

栅结只存在平衡时的耗尽层  
沿沟长方向沟道截面积相同



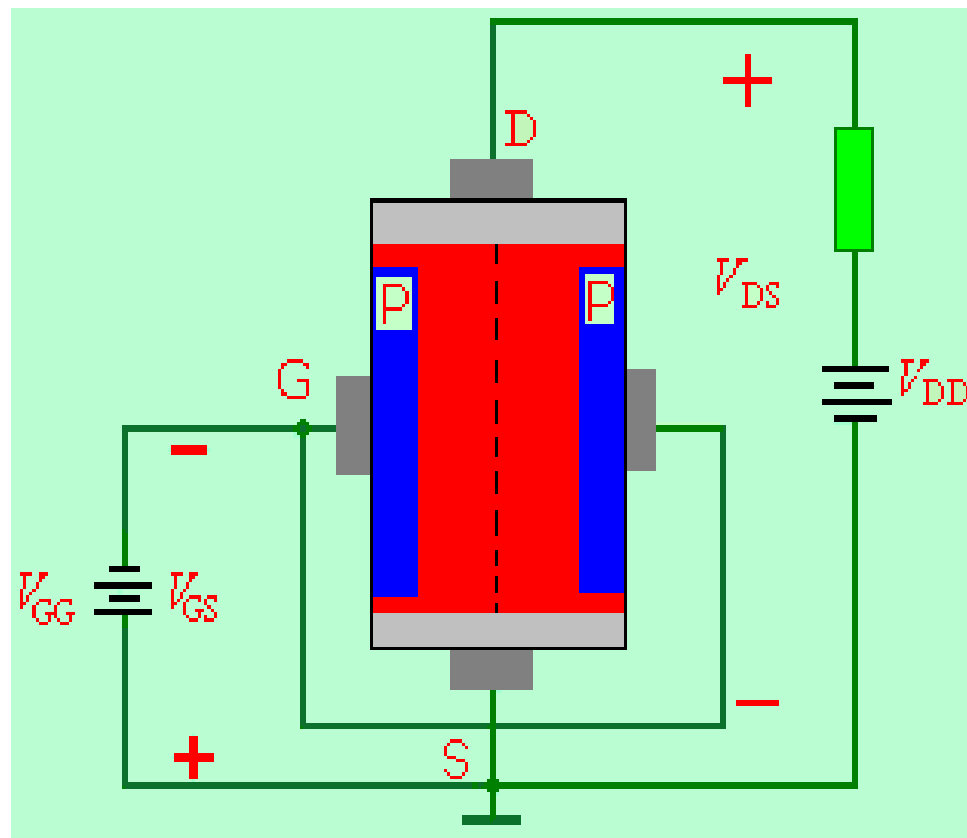
$V_{GS} < 0$ 时: 漏(源)栅结已经反偏  
耗尽层厚度大于  $V_{GS} = 0$ 的情况  
导电沟道截面积减小  
有效沟道电阻增加



# 栅源电压的控制作用

当 $V_{gs} < 0$ 时，PN结反偏，耗尽层变厚，沟道变窄，沟道电阻变大， $I_d$ 减小；

$V_{gs}$ 更负，沟道更窄， $I_d$ 更小；直至沟道被耗尽层全部覆盖，沟道被夹断， $I_d \approx 0$ 。

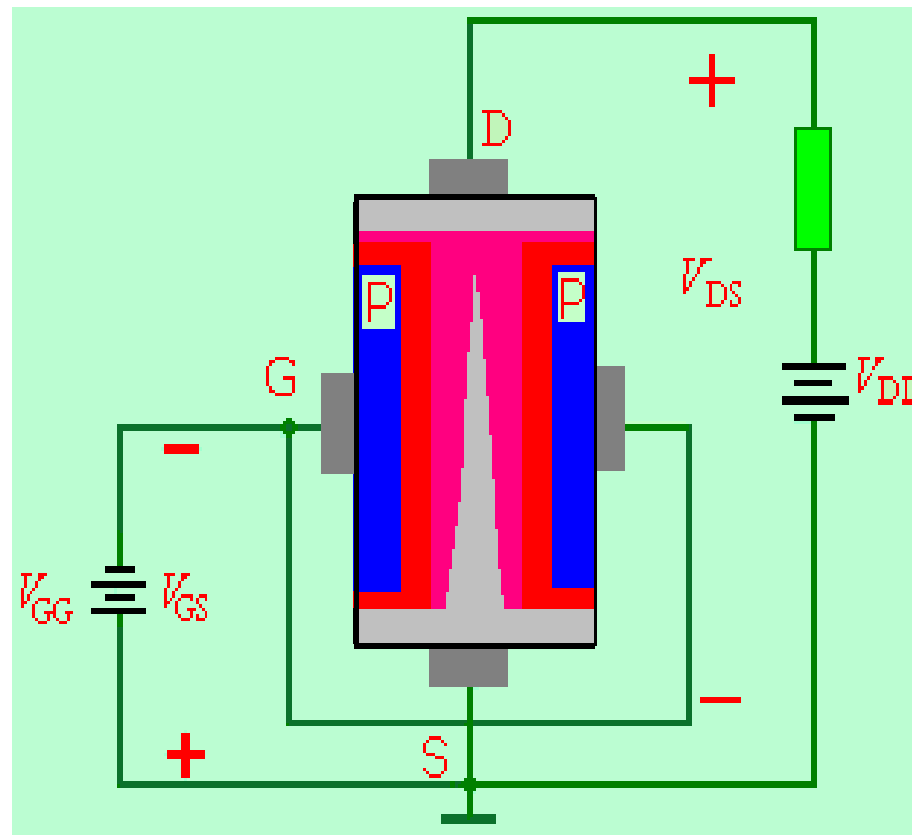






# 漏源电压的控制作用

在栅压使沟道开启时，漏源间加电压 $V_{ds}$ ，靠近漏端的耗尽层比源端厚，沟道比源端窄，故 $V_{ds}$ 对沟道的影响是不均匀的，使沟道呈楔形；





# JFET的基本工作原理 ( $V_{GS}$ 作用)

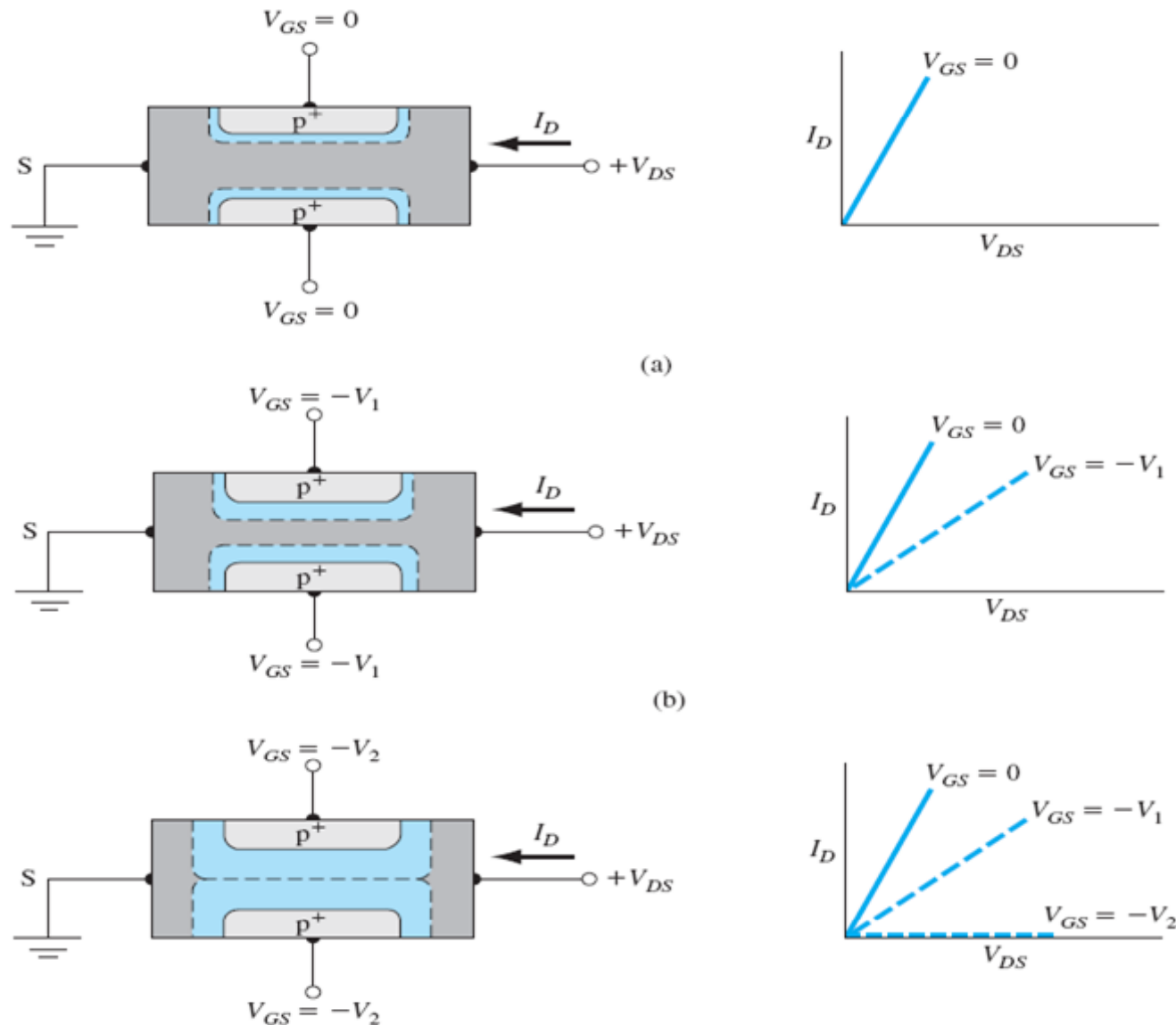


图 13.3 栅-沟道空间电荷分布和  $I$ - $V$  特性曲线 ( $V_{DS}$  较小时); (a) 零



# JFET的基本工作原理 ( $V_{DS}$ 作用)

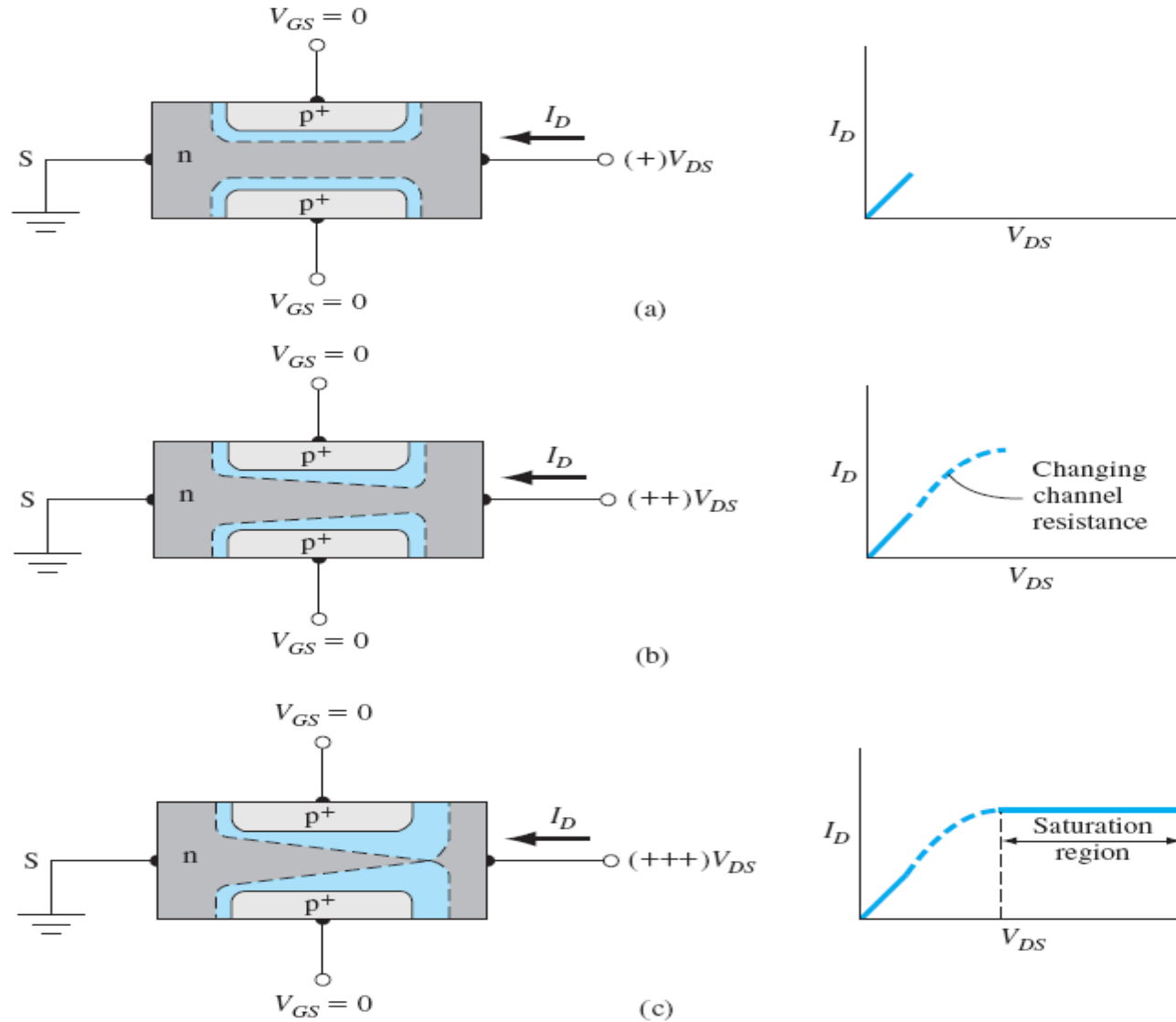
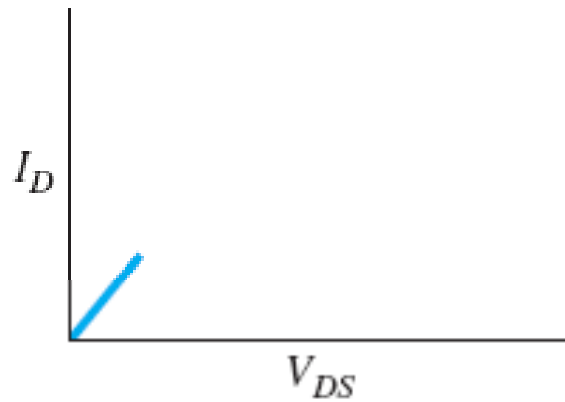


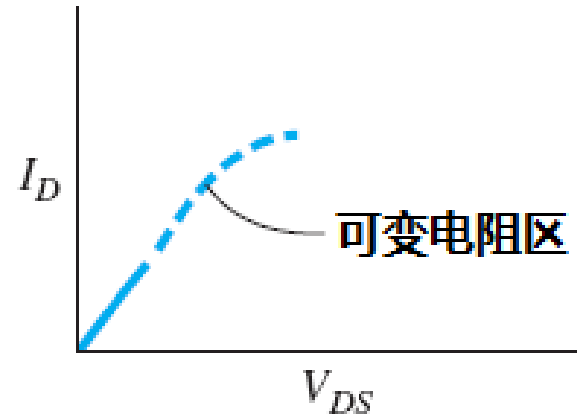
图13.4 栅-沟道空间电荷分布和  $I - V$  特性曲线(零栅偏压): (a)  $V_{DS}$  很小; (b)  $V_{DS}$  较大; (c)  $V_{DS}$  大到沟道夹断



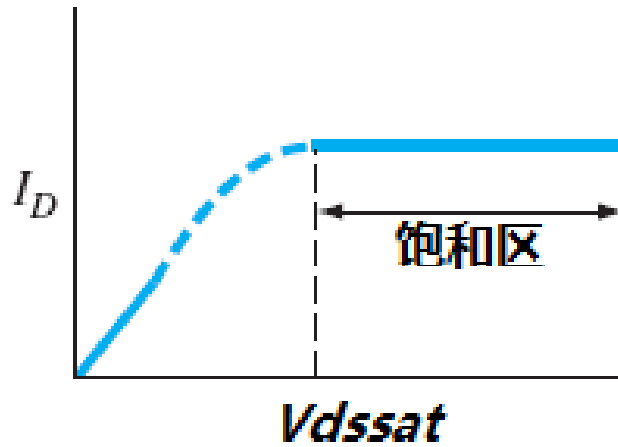
# 不同器件工作区



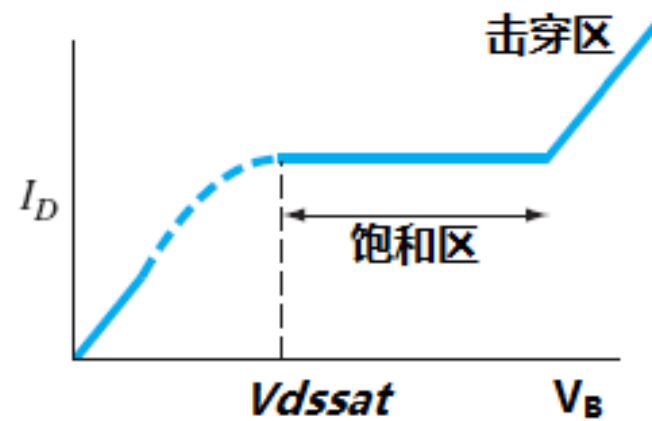
线性区,  $V_{ds}$ 较小



非饱和区,  $V_{ds}$ 逐渐增大



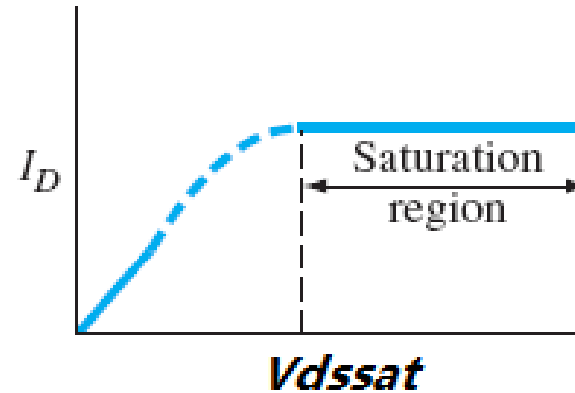
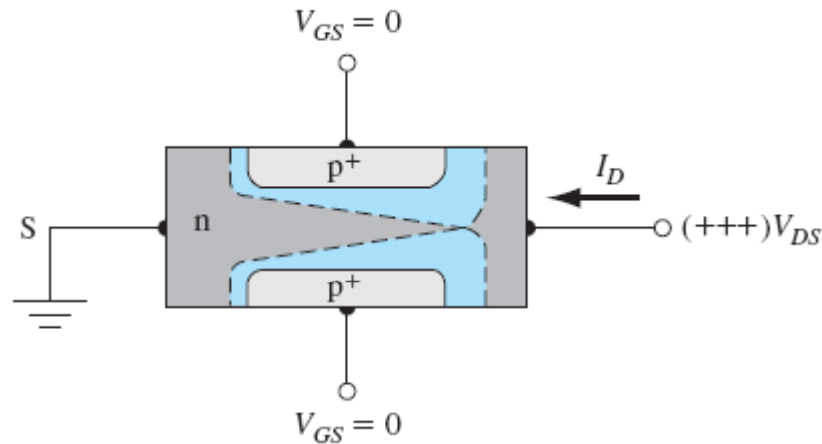
饱和区,  $V_{ds} > V_{dssat}$



击穿区,  $V_{ds}$ 逐渐增大

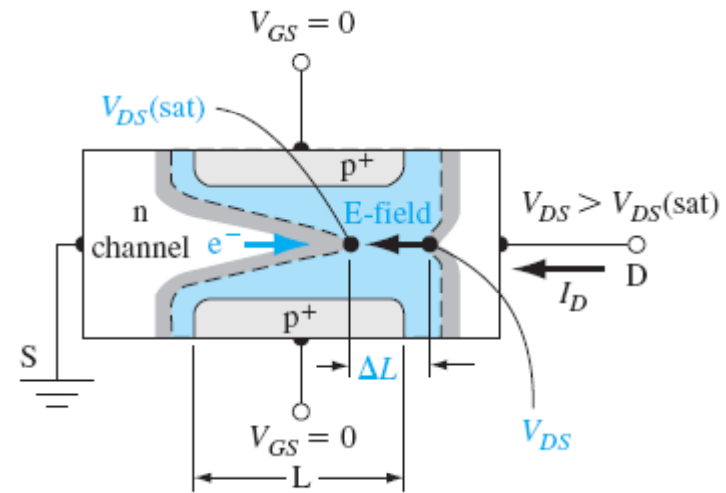


# 夹断点和电流饱和



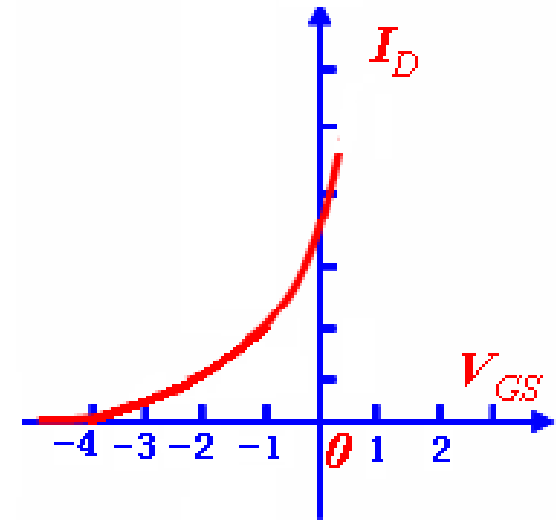
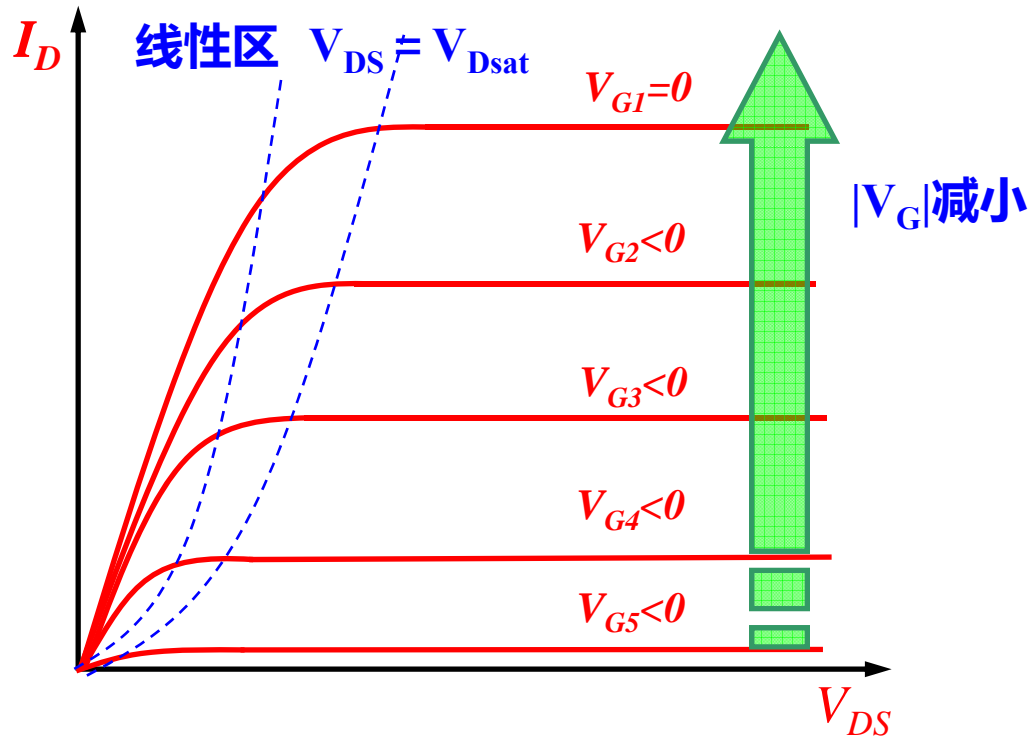
接近夹断：耗尽区逐增加使漏端处  
沟道横截面积逐渐减小  
夹断点：沟道横截面积正好=0  
沟道电流饱和

电流饱和解释：当 $V_{ds}$ 大于饱和电压后，继续增大的 $V_{ds}$ 将落在夹断区，而n型沟道中的电场保持不变。载流子从源极经过沟道注入到空间电荷区，被强电场迅速扫入漏极。





# 输出转移特性曲线







# 不同类型器件符号和特性曲线

	n沟道增强型	n沟道耗尽型	p沟道增强型	p沟道耗尽型
符号				
转移特性				
输出特性				



# 肖特基接触能带图

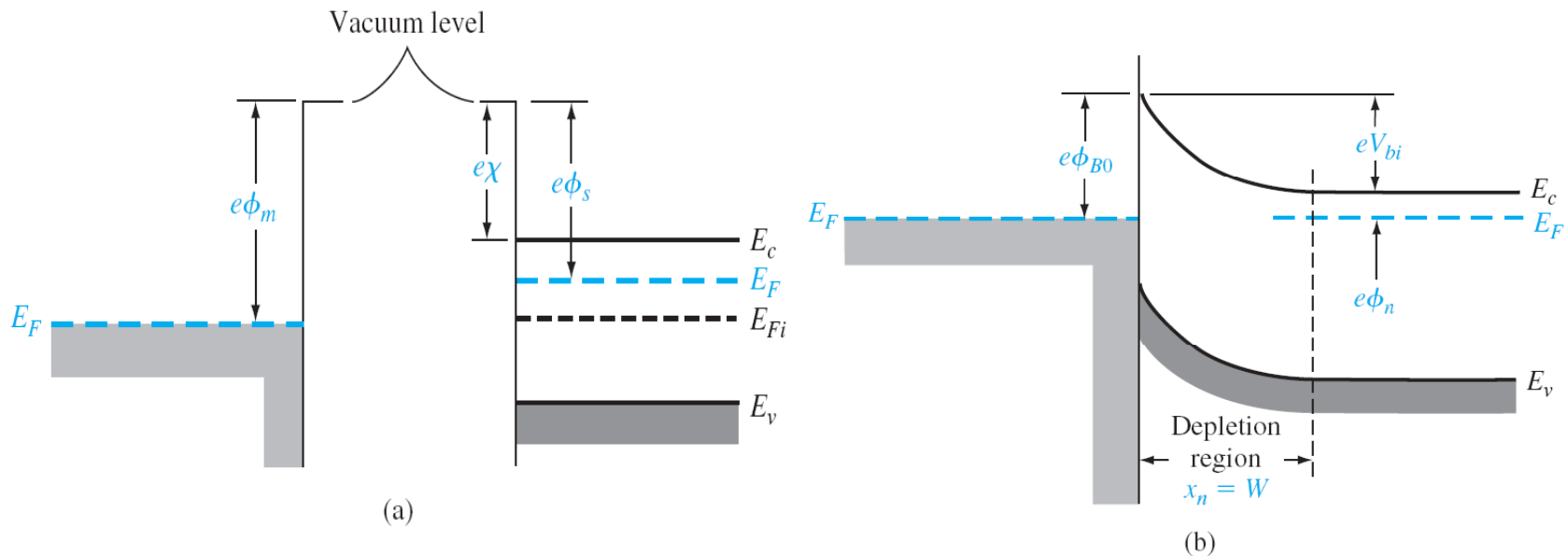


图 9.1 (a)接触前的金属半导体能带图;(b)理想的金属与 n 型半导体结( $\phi_m > \phi_s$ )的能带图

该势垒就是肖特基势垒,由下式给出:

内建电势差表示为

$$\phi_{B0} = (\phi_m - \chi)$$

$$V_{bi} = \phi_{B0} - \phi_n$$

**N型半导体上, 金属功函数越大, 势垒高度越高**



# 常用金属的功函数和半导体电子亲和能

表 9.1 几种金属元素的功函数

Element	Work function, $\phi_m$
Ag, silver	4.26
Al, aluminum	4.28
Au, gold	5.1
Cr, chromium	4.5
Mo, molybdenum	4.6
Ni, nickel	5.15
Pd, palladium	5.12
Pt, platinum	5.65
Ti, titanium	4.33
W, tungsten	4.55

表 9.2 一些半导体的电子亲和能

Element	Electron affinity, $\chi$
Ge, germanium	4.13
Si, silicon	4.01
GaAs, gallium arsenide	4.07
AlAs, aluminum arsenide	3.5



# 肖特基接触正反偏能带图

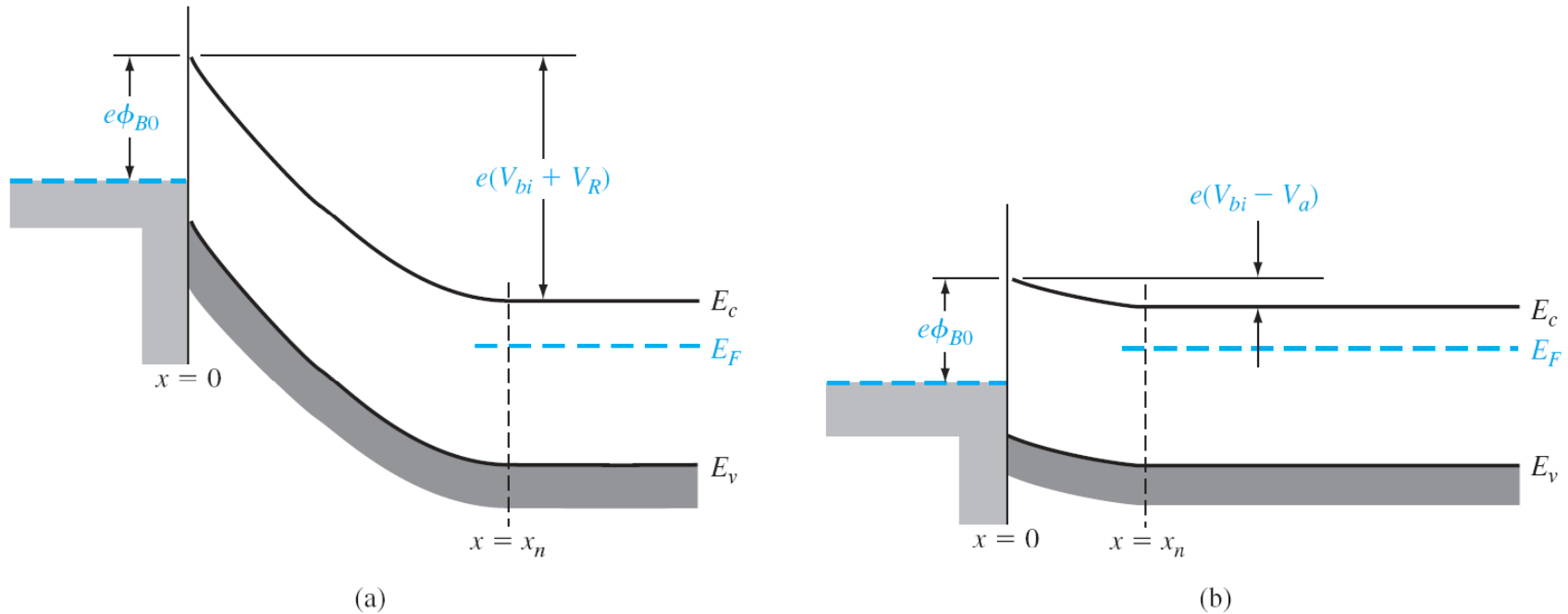


图 9.2 有偏压时理想金属半导体结的能带图:(a)反偏;(b)正偏

$$W = x_n = \left[ \frac{2\epsilon_s (V_{bi} + V_R)}{eN_d} \right]^{1/2}$$

$$C' = eN_d \frac{dx_n}{dV_R} = \left[ \frac{e\epsilon_s N_d}{2(V_{bi} + V_R)} \right]^{1/2}$$

突变结近似计算空间电荷区宽度

结电容类似pn结电容



# MESFET的基本结构

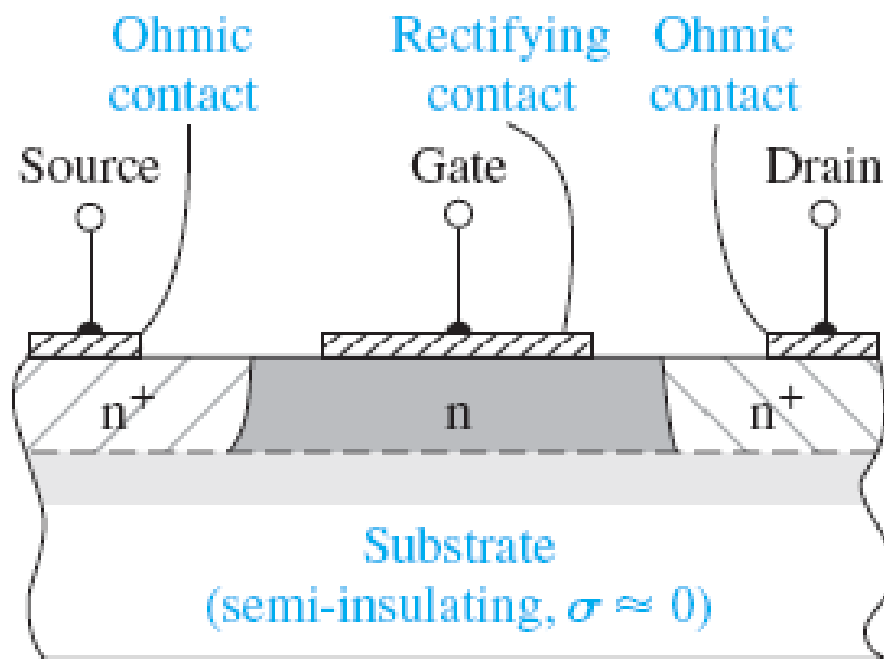
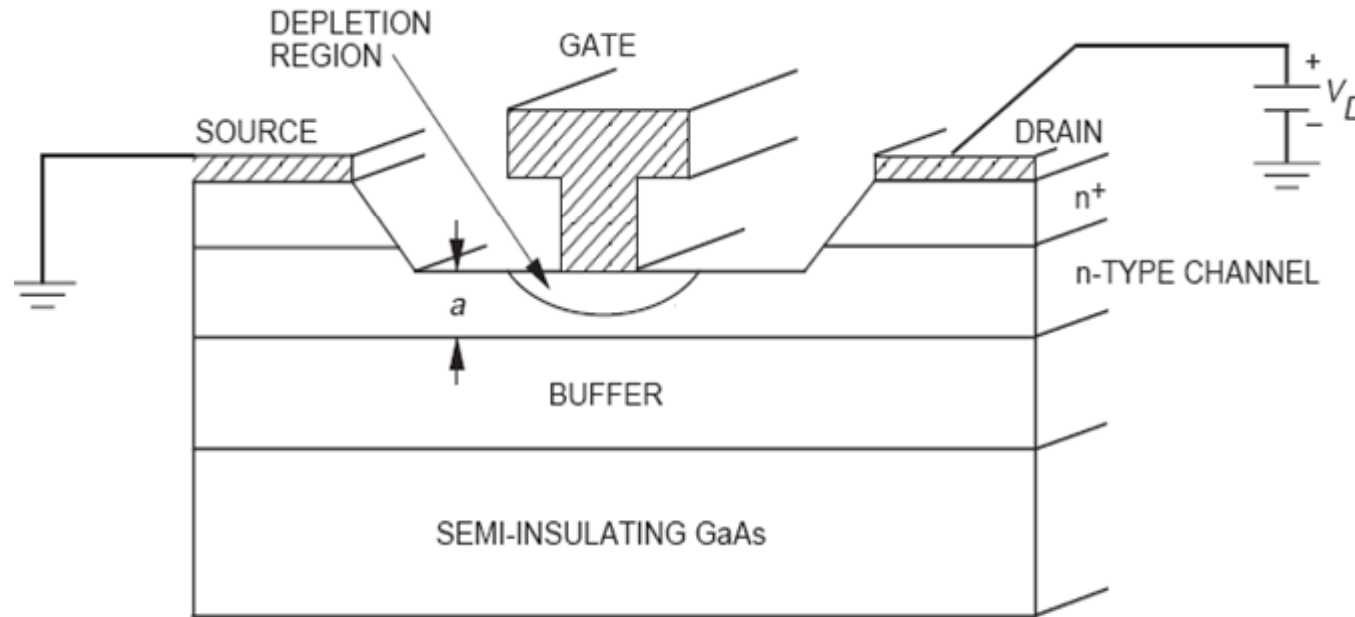


图 13.6 n沟半绝缘衬底 MESFET 横截面图



# GaAs MESFET实际物理结构



砷化镓具有高电子迁移率，所以具有较低的运输时间和较快的反应速度，并且半绝缘的衬底减小了寄生电容的影响。





# MESFET的工作原理

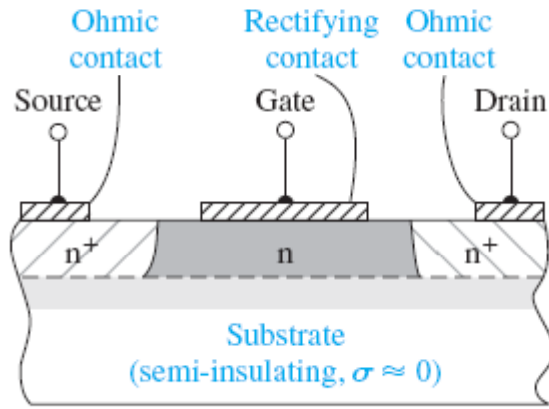


图 13.6 n 沟半绝缘衬底 MESFET 横截面图

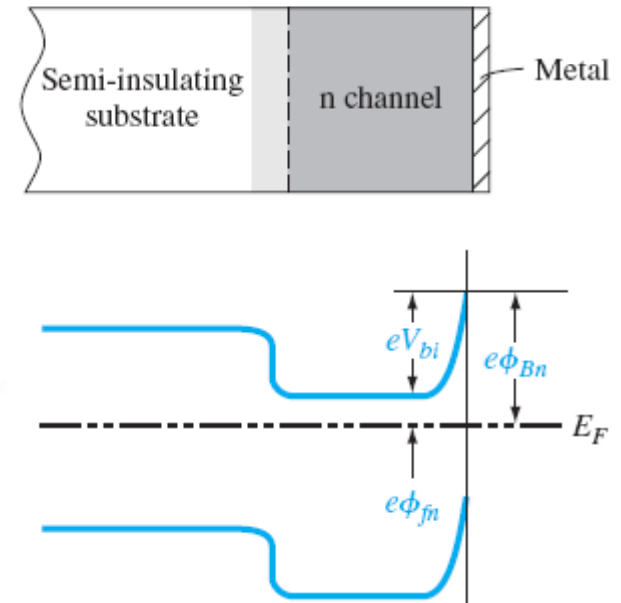
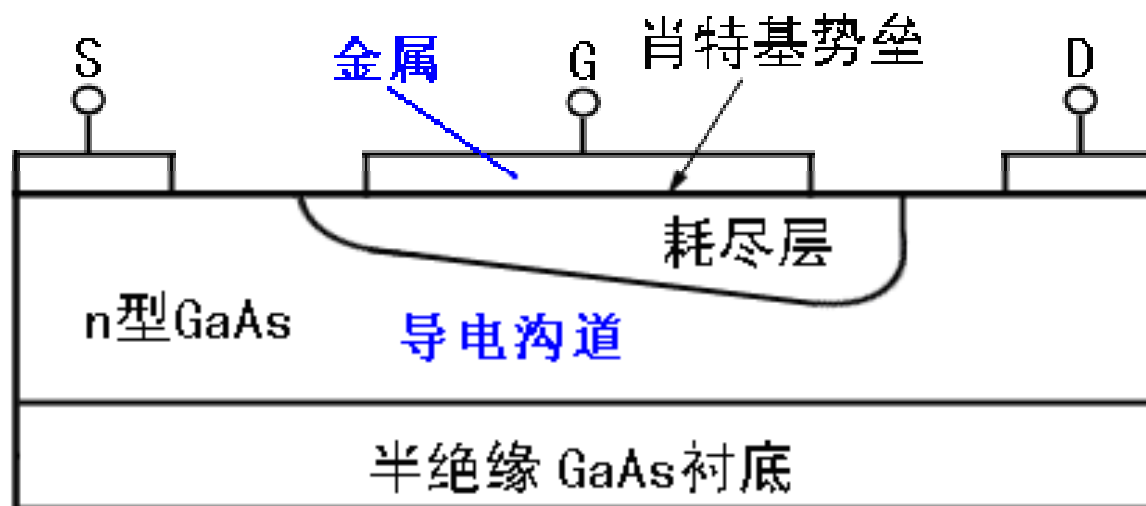


图 13.7 理想 n 沟 MESFET 的能带图

MESFET与JFET工作原理相同，仅是肖特基栅结替换了pn结来通过栅电压调整沟道电导。



# MESFET的工作原理

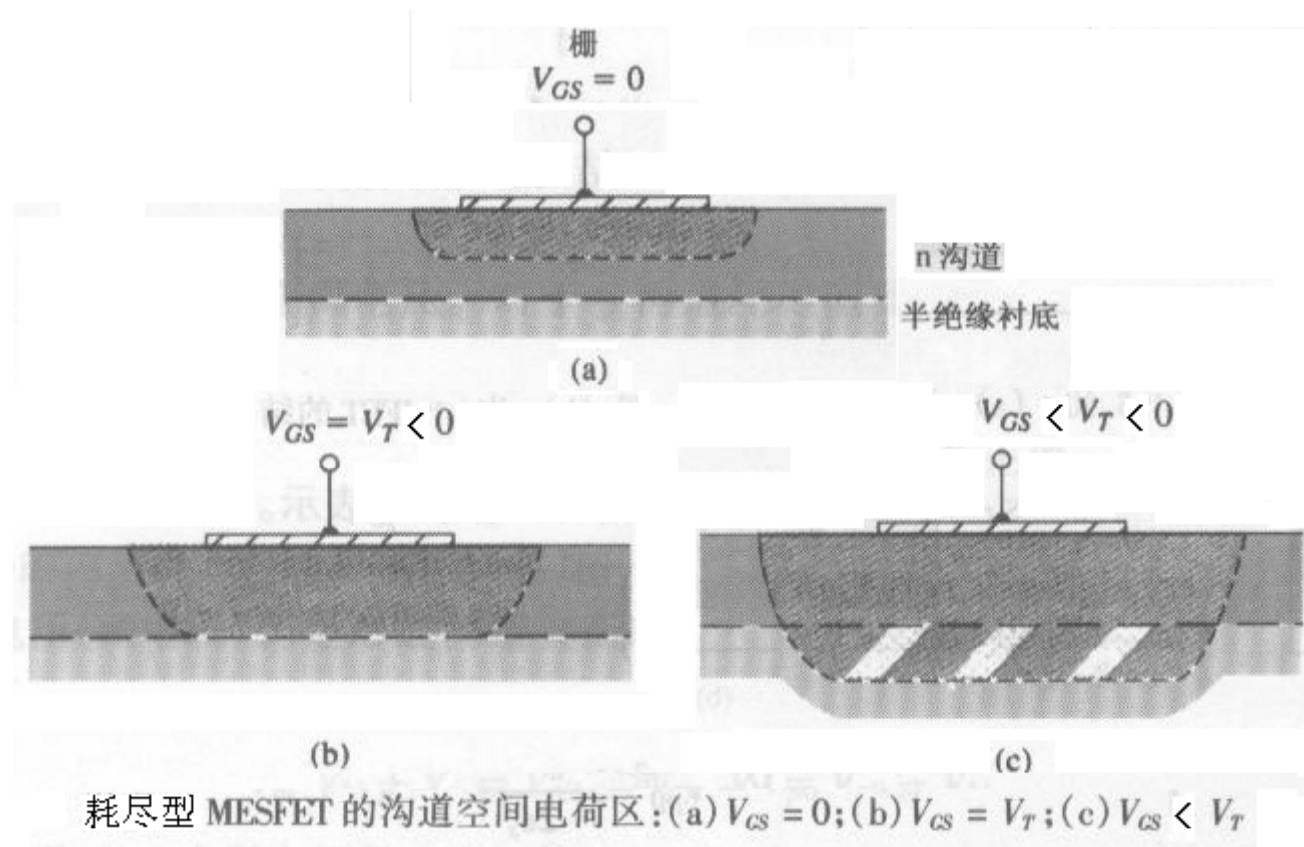


从栅电压和漏电压的作用去理解。

从肖特基栅压和漏电压共同作用，改变空间电荷区形状，控制源漏沟道电阻去理解。



# 耗尽型MESFET



**耗尽型n沟MESFET：O栅压时有导电沟道，加负栅压使得肖特基结反偏耗尽区跨度增大来耗尽导电沟道**



# 增强型MESFET

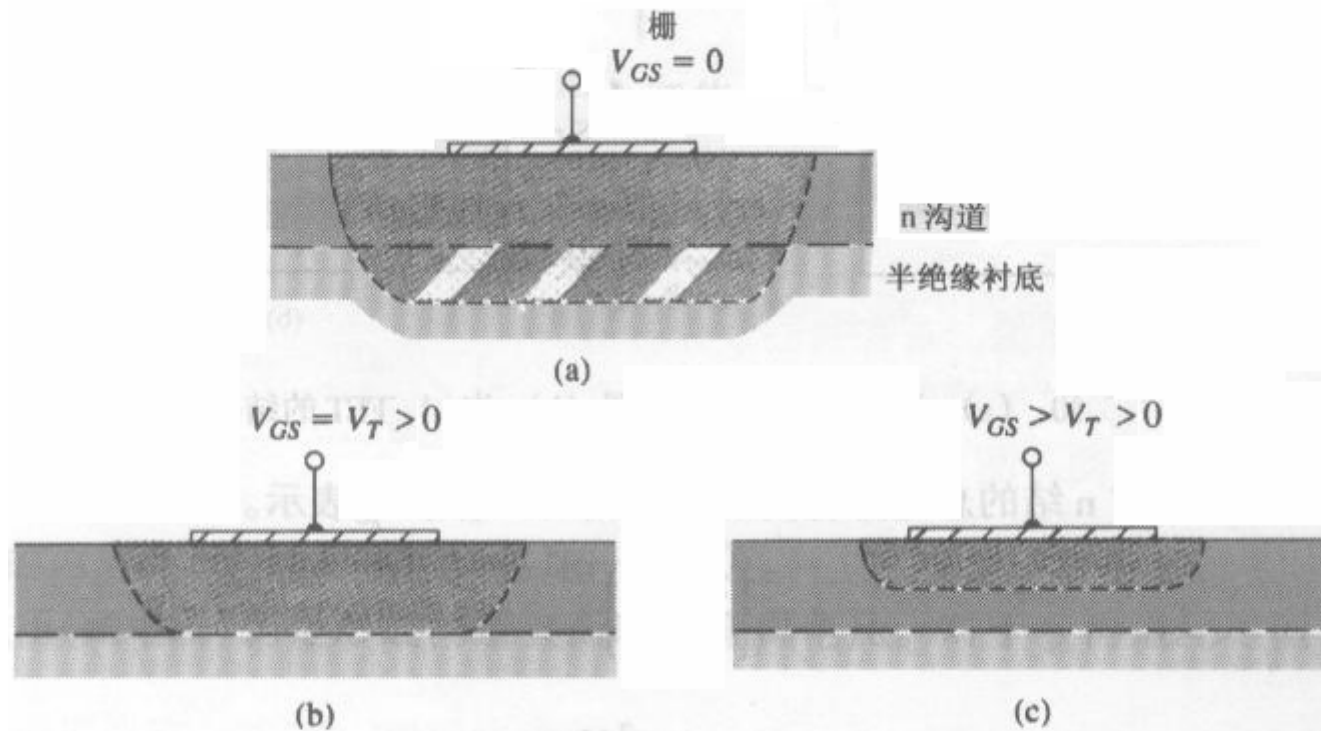


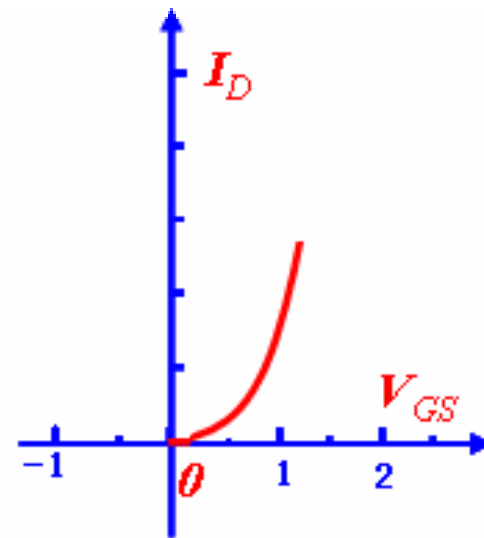
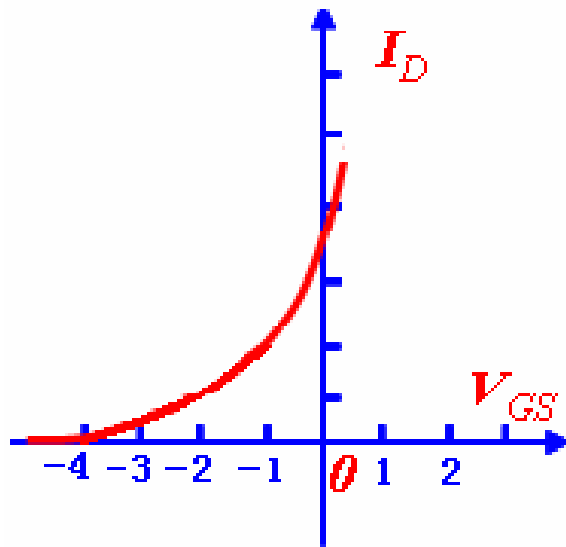
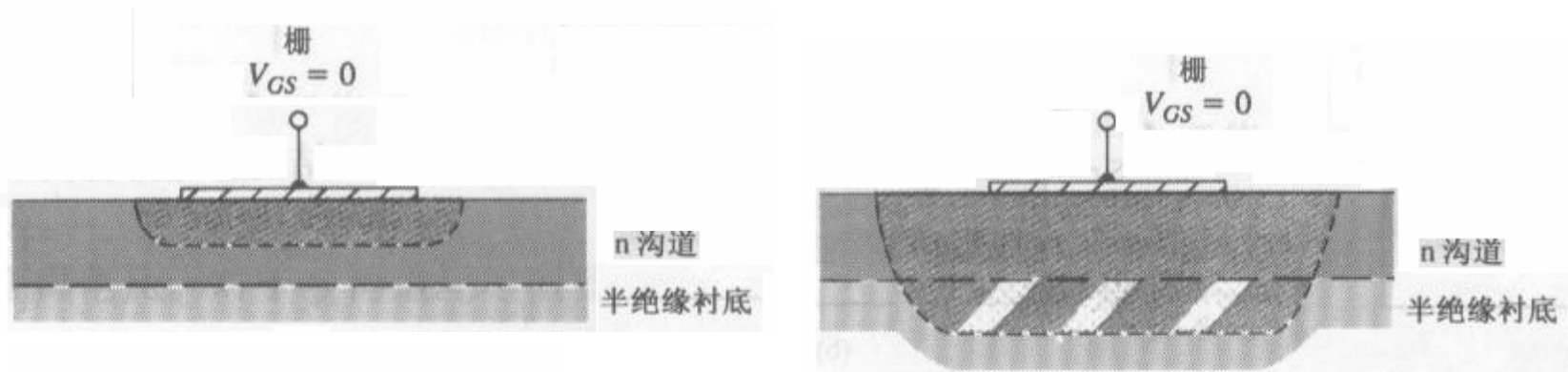
图 13.8 增强型 MESFET 的沟道空间电荷区:(a)  $V_{GS} = 0$ ; (b)  $V_{GS} = V_T$ ; (c)  $V_{GS} > V_T$

增强型n沟MESFET : 0栅压时无导电沟道, 靠平衡时的耗尽区耗尽导电沟道, 加正栅压使得肖特基结正偏耗尽区宽度减小来产生导电沟道。

电压摆幅小, 因为所加正压不能太高, 否则肖特基正偏电流从栅极流走。



# MESFET增强型和耗尽型转移特性比较



MESFET与JFET的特性曲线规律相同。



# PN结二极管和肖特基二极管

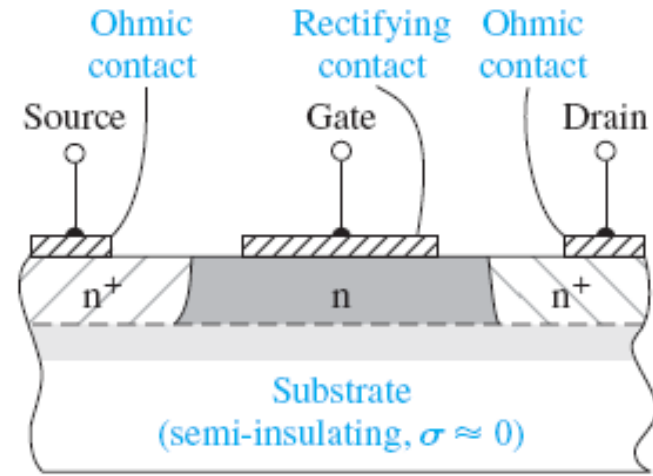
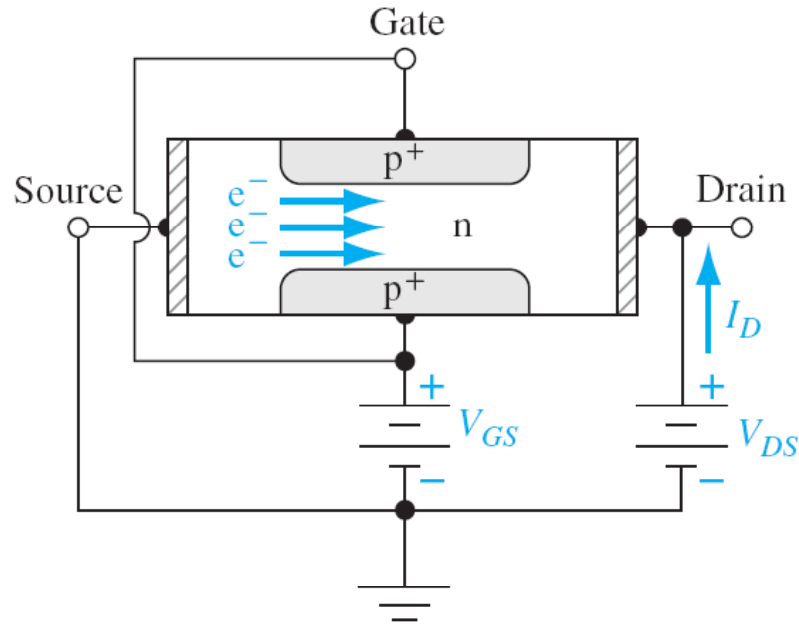


图 13.6 n沟半绝缘衬底 MESFET 横截面图

请在JFET和MESFET器件结构中找到PN结二极管和肖特基二极管





# 肖特基势垒二极管与pn结比较

## ■ 反向饱和电流的数量级

pn结电流由少数载流子扩散运动决定；

肖特基势垒二极管电流由多数载流子的热电子发射决定（电子平均自由程远大于势垒宽度时）。

一般情况下，pn结二极管反向饱和电流比肖特基势垒二极管小2~3个数量级

## ■ 开关特性（多子器件，频率高）

肖特基势垒二极管为多子器件，无扩散电容无少子存储效应，开关时间量级皮秒级，而pn结开关时间为纳秒级。



# 肖特基势垒二极管与pn结正向I-V特性

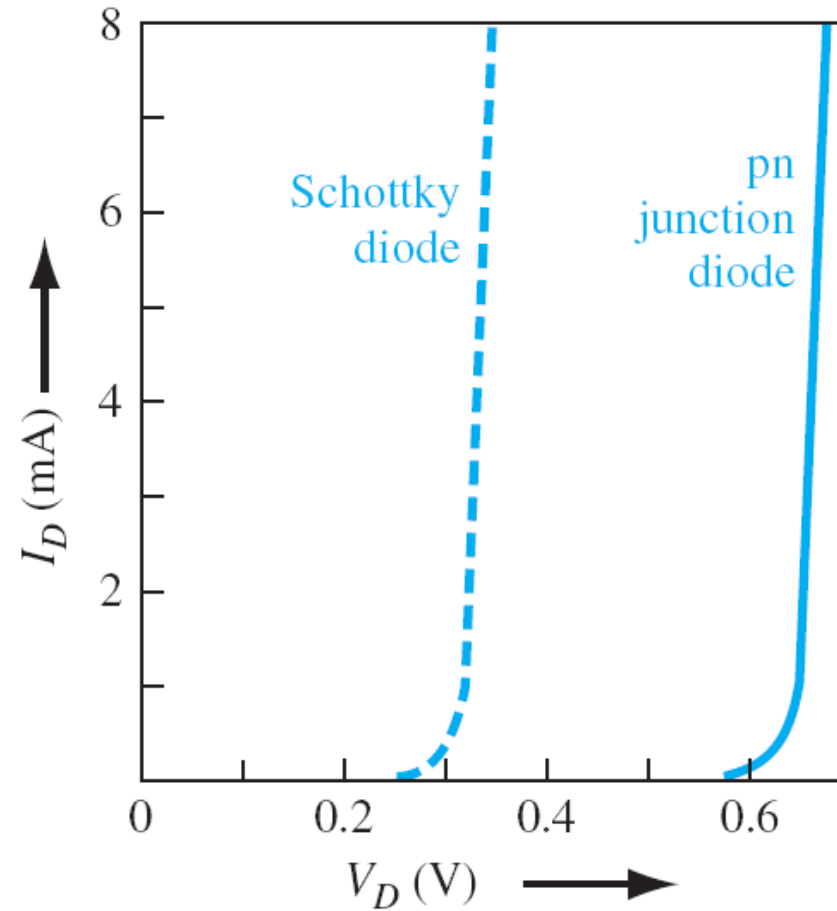


图 9.10 肖特基二极管和 pn 结二极管的正偏 I-V 特性曲线比较



## 要求掌握

- **MESFET的基本结构和工作原理（会画剖面图叙述工作原理）**
- **肖特基二级管的整流特性及与pn结二极管的区别**
- **JFET、MESFET和MOSFET三者的结构区别，和工作原理比较**



# 场效应器件物理

## 第十三讲 - JFET理想直流特性

www.xidian.edu.cn





## 本节要点

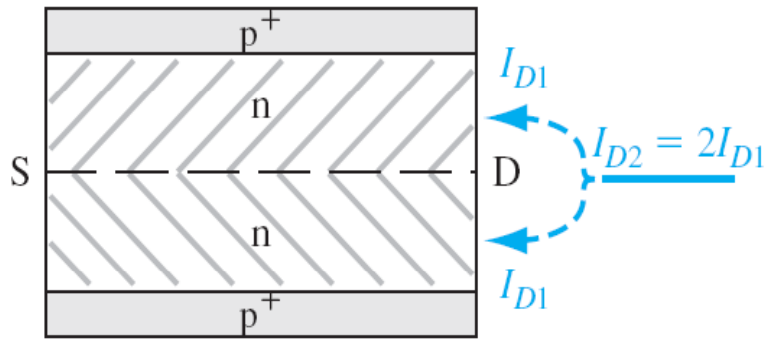
---

- 内建夹断电压、夹断电压和源漏饱和电压
- **耗尽型JEFT理想直流I-V特性**
- **JEFT跨导**



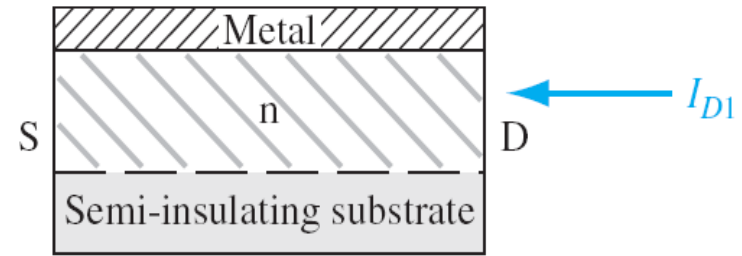
# 13.2 简化模型

## 对称双边pnJFET



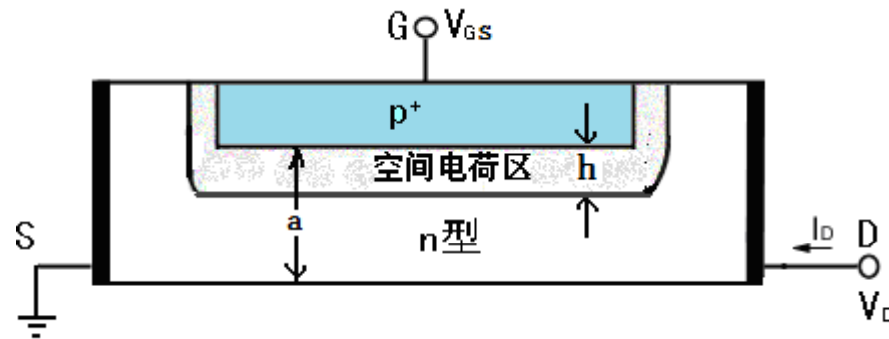
(a)

## 单边MESFET



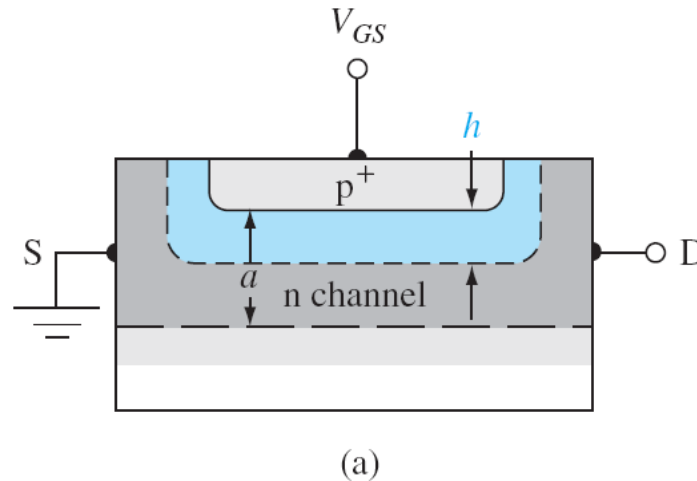
(b)

图 13.9 漏电流示意图:(a)对称的双边 pn JFET;(b)单边 MESFET





# 13.2.1 内建夹断电压、夹断电压



例 1 3 . 1  
 $V_{p0}=4.35V$   
 $V_{bi}=0.814V$   
 $V_p=-3.54V$

图 13.10 (a)n 沟 pn JFET 的结构图

内建夹断电压  $V_{p0}$ : 沟道夹断时栅结总压降,  $V_{p0} > 0$

内建电势差  $V_{bi}$ : 决定pn结的初始耗尽层厚度,  $V_{bi} > 0$

夹断电压  $V_p$ : 沟道夹断时的栅源电压, 根据沟道类型可正可负

$$V_{p0} = \frac{ea^2 N_d}{2\epsilon_s}$$

n 沟道耗尽型 JFET 中, 夹断电压(阈电压)是一个负值

$$h = \left\{ \frac{2\epsilon_s (V_{bi} - V_{GS})}{eN_d} \right\}^{1/2}$$

$$V_{bi} - V_p = V_{p0} \quad \text{或} \quad V_p = V_{bi} - V_{p0}$$

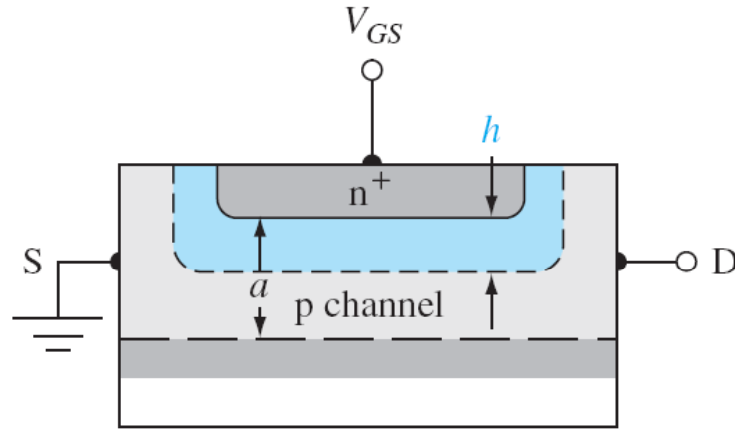
$$a = \left\{ \frac{2\epsilon_s V_{p0}}{eN_d} \right\}^{1/2}$$

当  $h=a$  时,  $V_{GS}=V_p$ , 沟道夹断





# n+p结的情况



(b)

(b)p 沟 pn JFET 的结构图

p 沟道耗尽型 JFET, 夹断电压是一个正值。

例 1 3.2
$V_{p0}=3.08V$
$V_{bi}=0.832V$
$V_p=2.25V$

$$h = \left\{ \frac{2\epsilon_s(V_{bi} + V_{GS})}{eN_a} \right\}^{1/2}$$

$$a = \left\{ \frac{2\epsilon_s V_{p0}}{eN_a} \right\}^{1/2}$$

$$V_{bi} + V_p = V_{p0} \quad \text{或} \quad V_p = V_{p0} - V_{bi}$$

当h=a时,  $V_{GS}=V_p$



# 例题

例 13.1 计算 n 沟道 JFET 的内建夹断电压和夹断电压(阈电压)。

假定有一个均匀掺杂硅的 n 沟道 JFET 的  $p^+n$  结,  $T = 300$  K, 掺杂浓度为  $N_a = 10^{18} \text{ cm}^{-3}$ ,  $N_d = 10^{16} \text{ cm}^{-3}$ , 并且冶金沟道的厚度为  $a = 0.75 \mu\text{m}$ , 即  $0.75 \times 10^{-4} \text{ cm}$ 。

■ 解

内建夹断电压由式(13.3)给出, 为

$$V_{p0} = \frac{ea^2 N_d}{2\epsilon_s} = \frac{(1.6 \times 10^{-19})(0.75 \times 10^{-4})^2(10^{16})}{2(11.7)(8.85 \times 10^{-14})} = 4.35 \text{ V}$$

内建电势差为

$$V_{bi} = V_t \ln \left( \frac{N_a N_d}{n_i^2} \right) = (0.0259) \ln \left[ \frac{(10^{18})(10^{16})}{(1.5 \times 10^{10})^2} \right] = 0.814 \text{ V}$$

由式(13.4)得出夹断电压(阈电压)为

$$V_p = V_{bi} - V_{p0} = 0.814 - 4.35 = -3.54 \text{ V}$$

■ 说明

夹断电压(阈电压), 即形成沟道夹断时的栅源电压, 正如我们所分析的那样, 对于 n 沟道 JFET 来说是一个负值。

夹断电压(几伏)一定要低于结的击穿电压(十几伏)



# 13.2.1 漏源饱和电压

漏源饱和电压  $V_{DS(sat)}$ :

导致沟道开始在漏端夹断的漏源电压

当  $h_1$  与  $V_{DS}$  无关

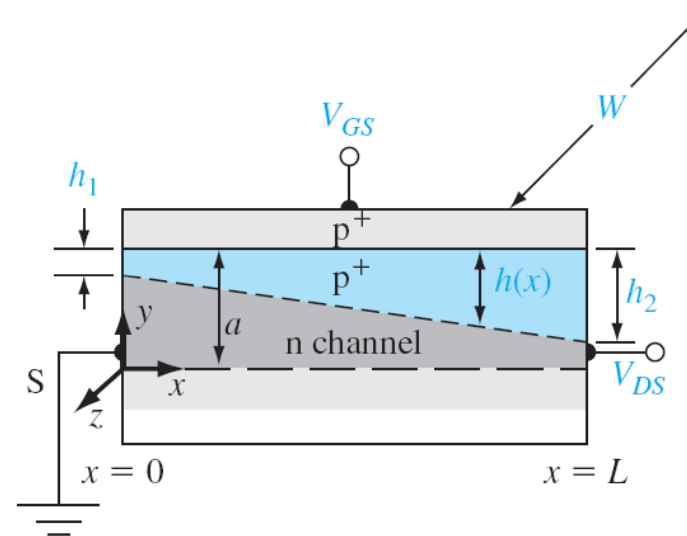


图 13.11 n 沟 pn JFET 的几何结构图

例 1 3.1  
 $V_{p0} = 4.35V$   
 $V_{bi} = 0.814V$   
 $V_{GS} = -1V$   
 $V_{DSSat} = 2.536V$

$$h_2 = \left\{ \frac{2\epsilon_s(V_{bi} + V_{DS} - V_{GS})}{eN_d} \right\}^{1/2}$$

$$a = \left\{ \frac{2\epsilon_s(V_{bi} + V_{DS(sat)} - V_{GS})}{eN_d} \right\}^{1/2}$$

$$V_{bi} + V_{DS(sat)} - V_{GS} = \frac{ea^2 N_d}{2\epsilon_s} = V_{p0}$$

$$V_{DS(sat)} = V_{p0} - (V_{bi} - V_{GS})$$

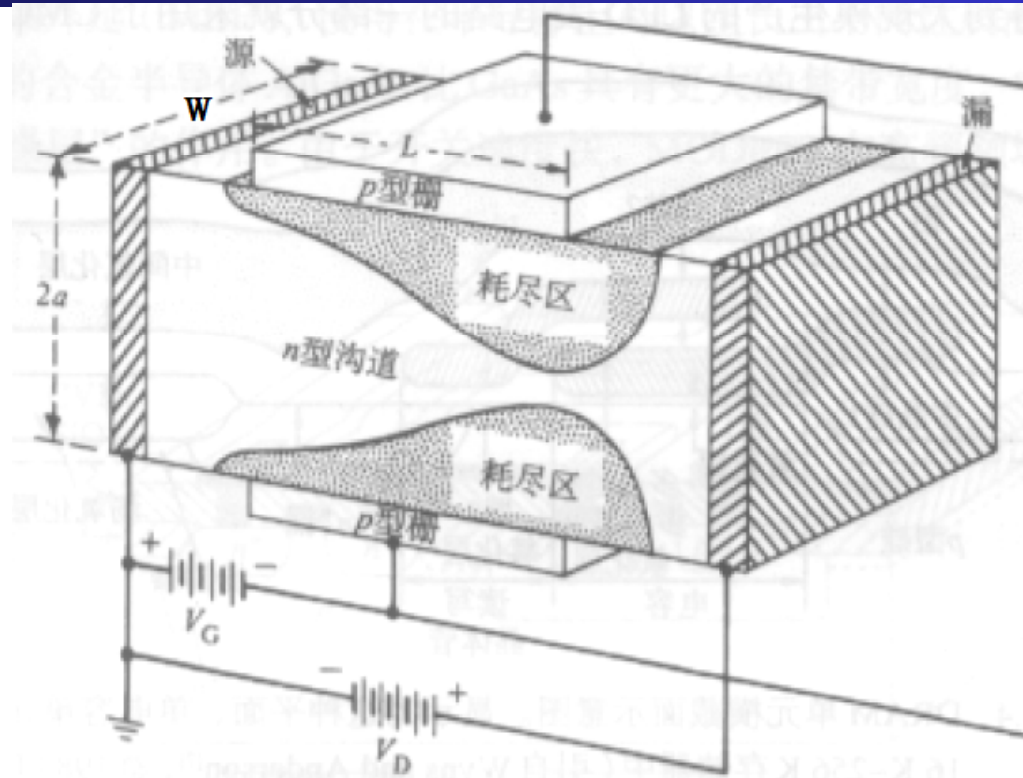
P沟情况电压相反

当  $h_2 = a$  时,  $V_{DS} = V_{DS(sat)}$

$$V_{SD(sat)} = V_{p0} - (V_{bi} + V_{GS})$$



## 13.2.2 耗尽型JEFT理想直流I-V特性



### ■ 近似条件：

- 1、沟道均匀掺杂，P+n结单边突变结，栅区掺杂浓度远大于沟道区
- 2、沟道载流子迁移率为常数



# 简化模型

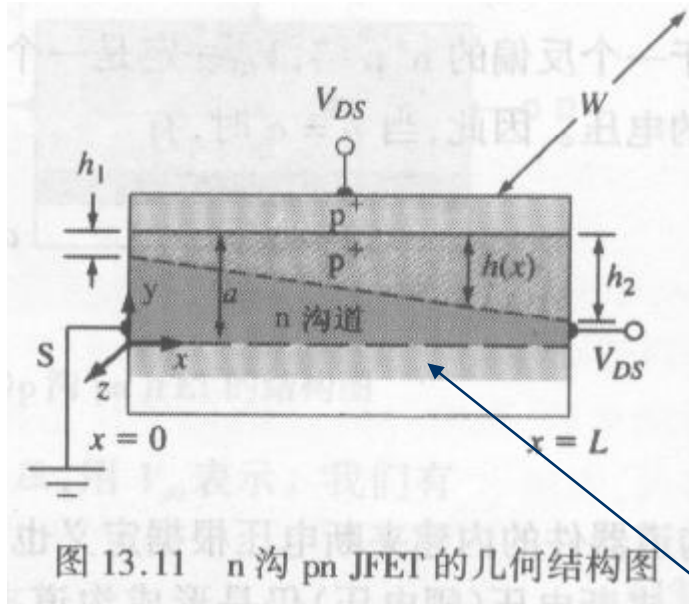
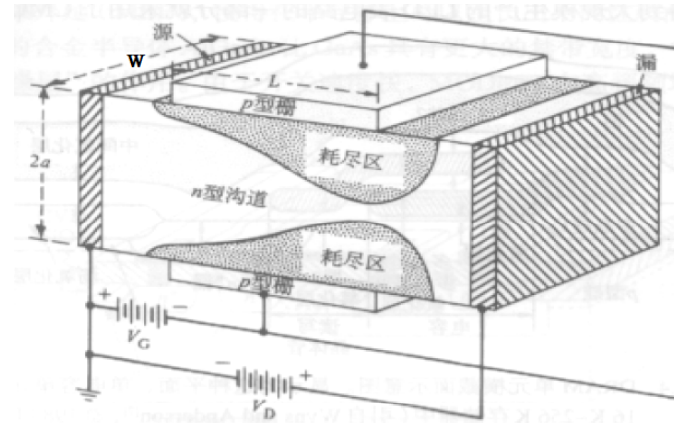


图 13.11 n 沟 pn JFET 的几何结构图



沟道x处相对于源端的电势V(x)

$$\text{欧姆定律 } I = J \cdot S = \sigma \cdot E \cdot S = (euN_d) \cdot E \cdot S$$



# 沟道横截面积

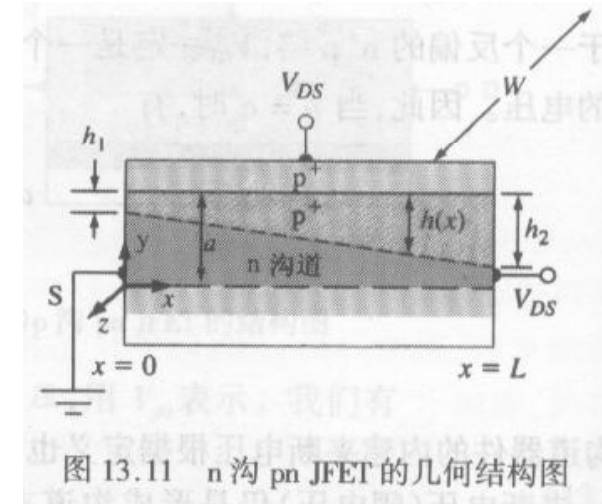
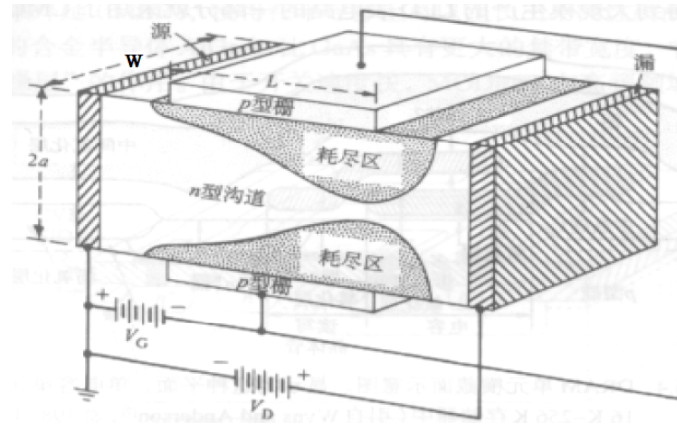


图 13.11 n 沟 pn JFET 的几何结构图

x 处的栅结耗尽层宽度  $h(x)$

$$h(x) = \left\{ \frac{2\epsilon_s [V(x) + V_{bi} - V_{GS}]}{qN_d} \right\}^{1/2} \left. \vphantom{h(x)} \right\} h(x) = a \cdot \left( \frac{V(x) + V_{bi} - V_{GS}}{V_{P0}} \right)^{1/2}$$

$$h = a = \left\{ \frac{2\epsilon_s V_{P0}}{qN_d} \right\}^{1/2}$$

沟道横截面积

$$S(x) = W \cdot [a - h(x)] = W \cdot a \cdot \left[ 1 - \left( \frac{V(x) + V_{bi} - V_{GS}}{V_{P0}} \right)^{1/2} \right]$$





# 电流 $I(x)$

$$J_x = \sigma \cdot E_x = (e \mu N_d) \cdot E_x$$

$$J(x) = (e \mu N_d) \cdot \left( \frac{dV(x)}{dx} \right)$$

$$S(x) = W \cdot [a - h(x)] = W \cdot a \cdot \left[ 1 - \left( \frac{V(x) + V_{bi} - V_{GS}}{V_{P0}} \right)^{1/2} \right]$$

沟道  $x$  处的电流:

$$I(x) = J(x) \cdot S(x) = e \mu N_d W a \cdot \left[ 1 - \left( \frac{V(x) + V_{bi} - V_{GS}}{V_{P0}} \right)^{1/2} \right] \frac{dV(x)}{dx}$$





# 电流连续性

$$I_{D1} = euN_a W a \cdot \left[ 1 - \left( \frac{V(x) + V_{bi} - V_{GS}}{V_{p0}} \right)^{1/2} \right] \frac{dV(x)}{dx}$$

上式从  $x=0, V(0)=0$ , 到  $x=L, V(L)=V_{DS}$  进行积分

$$0 \leq |V_{GS}| \leq |V_{p1}|, \quad 0 \leq V_{DS} \leq V_{DS}(\text{sat})$$

## 非饱和区漏电流表达式：

$$I_{D1} = \frac{euN_a W a}{L} \int_0^{V_{DS}} \left[ 1 - \left( \frac{V(x) + V_{bi} - V_{GS}}{V_{p0}} \right)^{1/2} \right] dV(x)$$

$$I_{D1} = \frac{\mu_n (eN_a)^2 W a^3}{2\epsilon_s L} \left\{ \frac{V_{DS}}{V_{p0}} - \frac{2}{3} \left[ \frac{V_{DS} + V_{bi} - V_{GS}}{V_{p0}} \right]^{3/2} + \frac{2}{3} \left[ \frac{V_{bi} - V_{GS}}{V_{p0}} \right]^{3/2} \right\}$$

$$= \frac{\mu_n (eN_a)^2 W a^3}{6\epsilon_s L} \left[ 3 \left( \frac{V_{DS}}{V_{p0}} \right) - 2 \left( \frac{V_{DS} + V_{bi} - V_{GS}}{V_{p0}} \right)^{3/2} + 2 \left( \frac{V_{bi} - V_{GS}}{V_{p0}} \right)^{3/2} \right]$$



# 公式简化

$$= \frac{\mu_n (eN_d)^2 W a^3}{6\epsilon_s L} \left[ 3 \left( \frac{V_{DS}}{V_{P0}} \right) - 2 \left( \frac{V_{DS} + V_{bi} - V_{GS}}{V_{P0}} \right)^{3/2} + 2 \left( \frac{V_{bi} - V_{GS}}{V_{P0}} \right)^{3/2} \right]$$

$$I_{P1} \equiv \frac{\mu_n (eN_d)^2 W a^3}{6\epsilon_s L} \quad \text{阈值电流: JFET在 } V_{GS}, V_{bi} \text{ 均为0时的最大漏电流}$$

$$I_{D1} = I_{P1} \left[ 3 \left( \frac{V_{DS}}{V_{P0}} \right) - 2 \left( \frac{V_{DS} + V_{bi} - V_{GS}}{V_{P0}} \right)^{3/2} + 2 \left( \frac{V_{bi} - V_{GS}}{V_{P0}} \right)^{3/2} \right]$$

$$G_{01} = \frac{3I_{P1}}{V_{P0}} = \frac{eu N_d W a}{L} : V_{DS} = 0, V_{GS} = 0, V_{bi} = 0 \text{ 时的沟道电导}$$

$$I_{P1} = \frac{(eN_d)^2 W a^3}{6\epsilon_s L} = \frac{1}{3} G_{01} V_{P0}$$

$$I_{D1} = I_{P1} \left[ 3 \left( \frac{V_{DS}}{V_{P0}} \right) - 2 \left( \frac{V_{DS} + V_{bi} - V_{GS}}{V_{P0}} \right)^{3/2} + 2 \left( \frac{V_{bi} - V_{GS}}{V_{P0}} \right)^{3/2} \right]$$

$$= \frac{1}{3} G_{01} V_{P0} \left[ 3 \left( \frac{V_{DS}}{V_{P0}} \right) - 2 \left( \frac{V_{DS} + V_{bi} - V_{GS}}{V_{P0}} \right)^{3/2} + 2 \left( \frac{V_{bi} - V_{GS}}{V_{P0}} \right)^{3/2} \right]$$



# 饱和区漏电流

- 饱和区漏电流表达式:

$$V_{DS} = V_{DS}(\text{sat}) = V_{P0} - (V_{\text{bi}} - V_{GS})$$

$$I_{D1} = I_{P1} \left[ 3 \left( \frac{V_{DS}}{V_{P0}} \right) - 2 \left( \frac{V_{DS} + V_{\text{bi}} - V_{GS}}{V_{P0}} \right)^{3/2} + 2 \left( \frac{V_{\text{bi}} - V_{GS}}{V_{P0}} \right)^{3/2} \right]$$

$$I_{D1} = I_{P1} \left( 1 - 3 \left( \frac{V_{\text{bi}} - V_{GS}}{V_{P0}} \right) \left[ 1 - \frac{2}{3} \left( \frac{V_{\text{bi}} - V_{GS}}{V_{P0}} \right)^{1/2} \right] \right)$$

$$I_{P1} = \frac{(eN_a)^2 W a^3}{6 \epsilon_r L} = \frac{1}{3} G_{01} V_{P0}$$

结论: 理想饱和漏电流与 $V_{DS}$ 无关

注:  $I_{D1}$ 为单边p+n结的电流, JFET为双边对称结构, 所以:  $I_D = 2I_{D1}$



# 近似公式

## ■ 近似公式：

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_p}\right)^2$$

$I_{DSS}$ 为栅压0V时的沟道漏电流，即 $V_{GS}$ 为0而 $V_{bi}$ 不为0

$$I_{P1} \equiv \frac{\mu_n (eN_d)^2 W a^3}{6\epsilon_s L}$$

阈电流：JFET在 $V_{GS}, V_{bi}$ 均为0时的最大漏电流,零偏耗尽区可以忽略

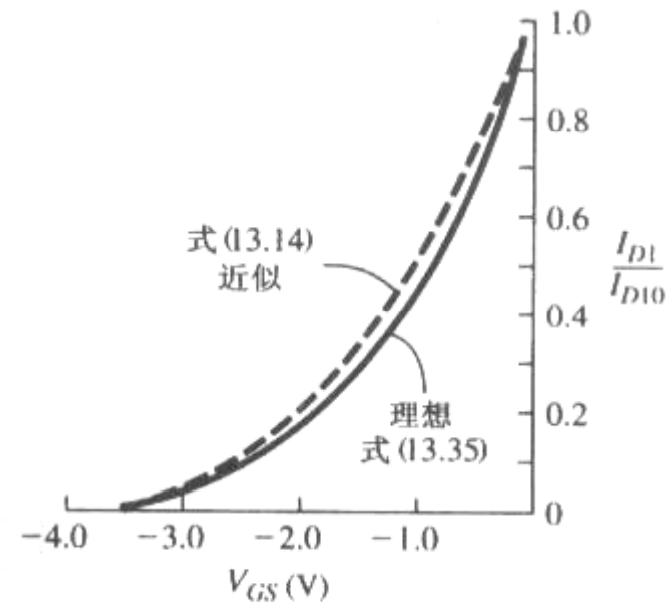


图 13.13 用式(13.14)和式(13.35)计算的饱和区漏电流  $I_D$  与  $V_{GS}$  的关系



## 例题13.3 区分 $I_{p1}$ 和 $I_{DSS}$ 的大小

例 13.3 计算 n 沟道 JFET 的最大电流。

考虑一个掺杂硅的 n 沟道 JFET,  $T = 300$  K, 它具有以下参数:  $N_a = 10^{18} \text{ cm}^{-3}$ ,  $N_d = 10^{16} \text{ cm}^{-3}$ ,  $a = 0.75 \text{ } \mu\text{m}$ ,  $L = 10 \text{ } \mu\text{m}$ ,  $W = 30 \text{ } \mu\text{m}$ ,  $\mu_n = 1000 \text{ cm}^2/\text{V}\cdot\text{s}$ 。

■ 解

由式(13.28)可得阈电流为

$$I_{p1} = \frac{(1000)[(1.6 \times 10^{-19})(10^{16})]^2(30 \times 10^{-4})(0.75 \times 10^{-4})^3}{6(11.7)(8.85 \times 10^{-14})(10 \times 10^{-4})} = 0.522 \text{ mA}$$

从式(13.1)我们还能得到  $V_{bi} = 0.814 \text{ V}$ ,  $V_{p0} = 4.35 \text{ V}$ 。当  $V_{GS} = 0$  时产生最大电流, 由式(13.35)得

$$I_{D1}(\text{max}) = I_{p1} \left\{ 1 - 3 \left( \frac{V_{bi}}{V_{p0}} \right) \left[ 1 - \frac{2}{3} \sqrt{\frac{V_{bi}}{V_{p0}}} \right] \right\} = 0.313 \text{ mA} \quad (13.36)$$

或

$$I_{D1}(\text{max}) = (0.522) \left\{ 1 - 3 \left( \frac{0.814}{4.35} \right) \left[ 1 - \frac{2}{3} \sqrt{\frac{0.814}{4.35}} \right] \right\} = 0.313 \text{ mA}$$

■ 说明

JFET 的最大电流值低于阈电流  $I_{p1}$  的值。

$$I_{D1}(\text{max}) = I_{DSS}$$



# IV曲线

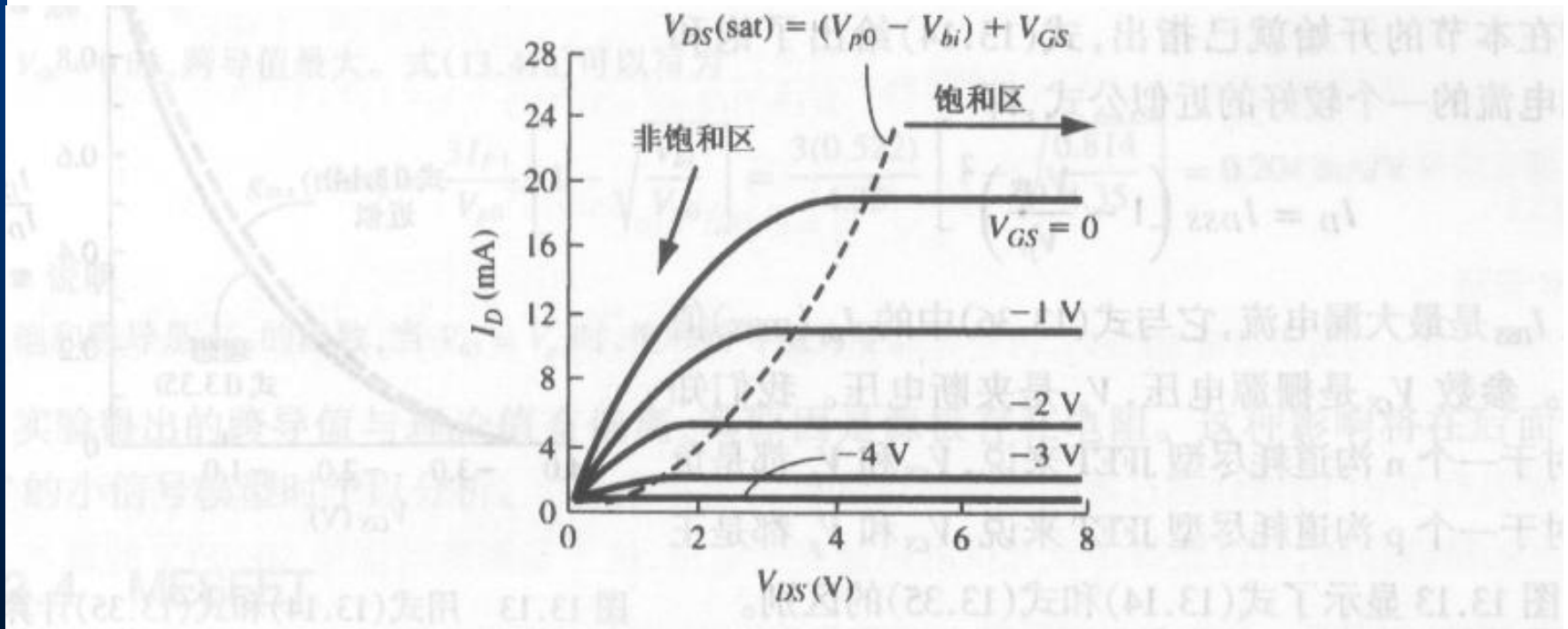


图 13.12  $a = 1.5 \mu\text{m}$ ,  $W/L = 170$ ,  $N_d = 2.5 \times 10^{15} \text{ cm}^{-3}$ 时,硅 n 沟道 JFET 的理想电流-电压特性曲线



## 13.2.3 沟道电导

非饱和区:

$$g_d = \frac{\partial I_D}{\partial V_{DS}} = G_{01} \left[ 1 - \left( \frac{V_{DS} - V_{GS} + V_{P0}}{V_{P0}} \right)^{1/2} \right]$$

$$G_{01} = \frac{3I_{P1}}{V_{P0}} = \frac{eu N_d W a}{L} : V_{DS} = 0, V_{GS} = 0 \text{ 时的沟道电导}$$

$G_{01}$  沟道没有空间电荷区的沟道电导

场效应基础: 沟道电导受栅源电压调制

饱和区:

$$g_{ds} = \frac{\partial I_{D1}(\text{sat})}{\partial V_{DS}} = 0 \Rightarrow I_D \text{ 与 } V_{DS} \text{ 无关}$$

实际器件: 若考虑沟道长度调制效应, 沟道电导不为0。

漏端小信号输出电阻  $r_{ds} = 1/g_{ds}$ .





## 13.2.3 跨导

■ **定义**：跨导：漏源电压一定时，栅压微分增量与由此而产生的漏电流微分增量之比

$$g_{ms} = \frac{\partial I_{D1}}{\partial V_{GS}}$$

■ **非饱和区**：

$$g_{ms} = \frac{\partial I_{D1}}{\partial V_{GS}} = \frac{3I_{p1}}{V_{p0}} \sqrt{\frac{V_{bi} - V_{GS}}{V_{p0}}} \left\{ \sqrt{\left( \frac{V_{DS}}{V_{Bi} - V_{GS}} \right) + 1} - 1 \right\}$$

■ **饱和区**：

$$G_{01} = \frac{\mu_n (eN_d)^2 Wa^3}{2\epsilon_s L V_{p0}} = \frac{e\mu_n N_d Wa}{L} = \frac{3I_{p1}}{V_{p0}}$$

$$g_{ms} = \frac{\partial I_{D1}(\text{sat})}{\partial V_{GS}} = \frac{3I_{p1}}{V_{p0}} \left[ 1 - \sqrt{\frac{V_{bi} - V_{GS}}{V_{p0}}} \right] = G_{01} \left[ 1 - \sqrt{\frac{V_{bi} - V_{GS}}{V_{p0}}} \right]$$

■ **近似式**：

$$g_{ms} = \frac{-2I_{DSS}}{V_p} \left( 1 - \frac{V_{GS}}{V_p} \right)$$



# 例题

例 13.4 计算一个 n 沟道耗尽型 JFET 工作在饱和区时的最大跨导。

分析例 13.3 中描述的掺杂硅的 JFET, 我们计算得到  $I_{p1} = 0.522 \text{ mA}$ ,  $V_{bi} = 0.814 \text{ V}$ ,  $V_{p0} = 4.35 \text{ V}$ 。

■ 解

$V_{GS} = 0$  时, 跨导值最大。式(13.41a)可以写为

$$g_{m_s}(\text{max}) = \frac{3I_{p1}}{V_{p0}} \left[ 1 - \sqrt{\frac{V_{bi}}{V_{p0}}} \right] = \frac{3(0.522)}{4.35} \left[ 1 - \sqrt{\frac{0.814}{4.35}} \right] = 0.204 \text{ mA/V}$$

■ 说明

饱和跨导是  $V_{GS}$  的函数, 当  $V_{GS} = V_p$  时, 饱和跨导值为零。



## 13.2.4 MESFET特性

### ■ N沟MESFET阈值电压:

$$V_{bi} - V_t = V_{p0} \quad \text{或} \quad V_t = V_{bi} - V_{p0}$$

**$V_p$  这里习惯称为  $V_t$  ( 阈值电压 )**

- 耗尽型  $V_t < 0$  , 增强型  $V_t > 0$
- 耗尽型  $V_{p0}$  绝对值最大 , 增强型  $V_{bi}$  绝对值最大
- 例题 : 13.5 13.6
- 看图13.8理解

**内建电势差  $V_{bi}$  :** 决定结的初始耗尽层厚度 ,  $V_{bi} > 0$

**内建夹断电压  $V_{p0}$ :** 沟道夹断时栅结总电势 ( 总压降 ) ,  $V_{p0} > 0$

**夹断电压  $V_p$  :** 沟道夹断时的栅源电压, 根据沟道类型可正可负



# 增强型MESFET原理示意图

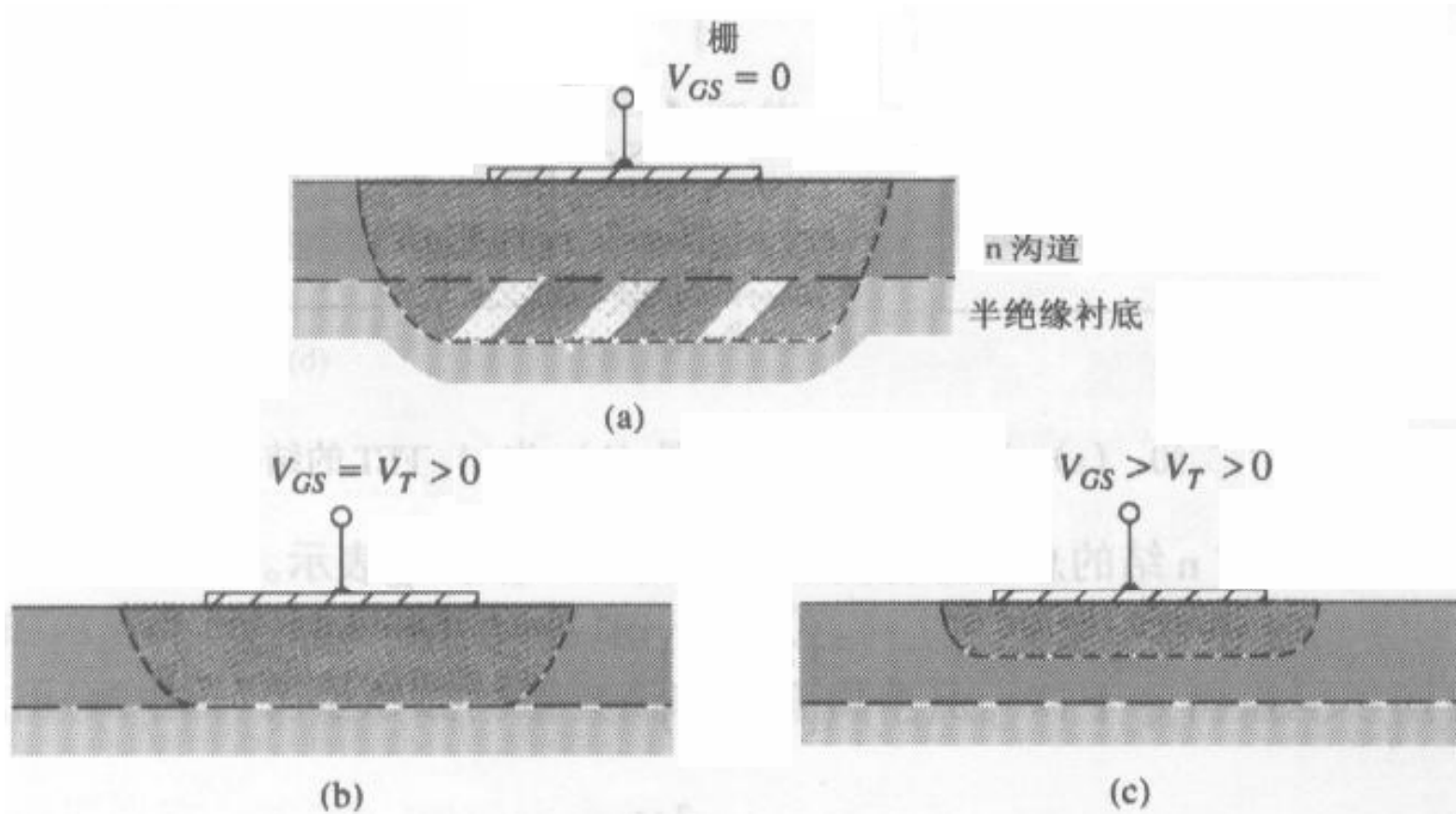


图 13.8 增强型 MESFET 的沟道空间电荷区:(a)  $V_{GS} = 0$ ; (b)  $V_{GS} = V_T$ ; (c)  $V_{GS} > V_T$



# 增强型MESFET例题

例 13.5 计算某一阈电压时, GaAs MESFET 的沟道厚度。

对于一个金肖特基势垒接触的 n 沟道 GaAs MESFET,  $T = 300 \text{ K}$  时, 假定势垒高度  $\phi_{Bn} = 0.89 \text{ V}$ 。n 沟道掺杂浓度为  $N_d = 2 \times 10^{15} \text{ cm}^{-3}$ ,  $V_T = +0.25 \text{ V}$ 。计算其沟道厚度。

■ 解

我们知道

$$\phi_n = V_i \ln \left( \frac{N_c}{N_d} \right) = (0.0259) \ln \left( \frac{4.7 \times 10^{17}}{2 \times 10^{15}} \right) = 0.141 \text{ V}$$

内建电势差为

$$V_{bi} = \phi_{Bn} - \phi_n = 0.89 - 0.141 = 0.749 \text{ V}$$

由式(13.42)得阈电压为

$$V_T = V_{bi} - V_{p0}$$

或

$$V_{p0} = V_{bi} - V_T = 0.749 - 0.25 = 0.499 \text{ V}$$

又

$$V_{p0} = \frac{ea^2 N_d}{2\epsilon_s}$$

或

$$0.499 = \frac{a^2 (1.6 \times 10^{-19}) (2 \times 10^{15})}{2(13.1)(8.85 \times 10^{-14})}$$

那么沟道厚度为

$$a = 0.601 \mu\text{m}$$

增强型器件要设计薄沟道厚度和低掺杂浓度减小  $V_{p0}$

■ 说明



# 13.2.4 MESFET特性

## ■ 电流电压特性

$$I_{D1} = I_{D1}(\text{sat}) = I_{p1} \left\{ 1 - 3 \left( \frac{V_{bi} - V_{GS}}{V_{p0}} \right) \left[ 1 - \frac{2}{3} \sqrt{\frac{V_{bi} - V_{GS}}{V_{p0}}} \right] \right\}$$

$$I_{D1}(\text{sat}) = k_n (V_{GS} - V_T)^2$$

$$k_n = \frac{\mu_n \epsilon_s W}{2aL}$$

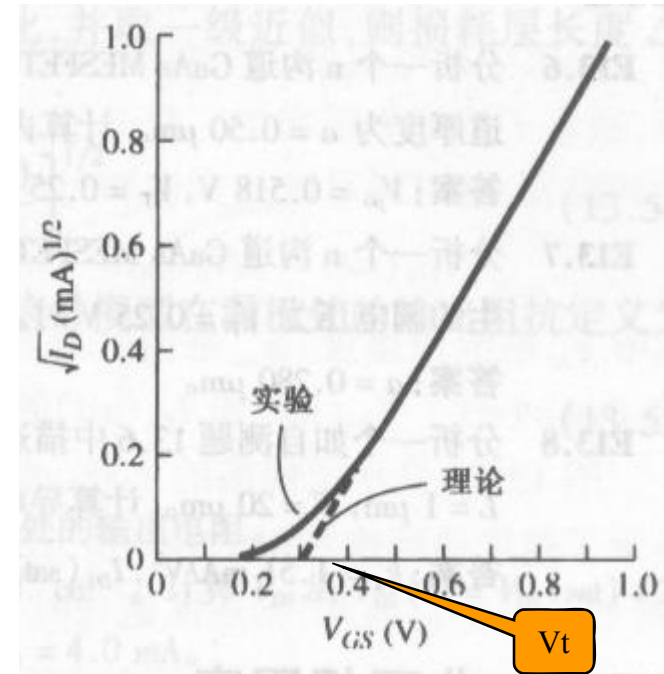


图 13.14 增强型 JFET 的实验和理论的  $\sqrt{I_D} - V_{GS}$  关系图

斜率  $k_n$ : 电导参数



## 13.2.4 MESFET特性

### ■ 跨导（饱和区）

➤ 由式13.47

$$g_{ms} = \frac{\partial I_{D1}(Sat)}{\partial V_{GS}} = 2K_n (V_{GS} - V_T)$$





# 本节要求掌握

## 区别下列概念，以及之间关系

- 内建电势差 $V_{bi}$
- 内建夹断电压 $V_{p0}$
- 夹断电压 $V_p$
- 漏源饱和电压 $V_{DS}(sat)$

## 辅助概念：

- $I_{p1}$  夹断(阈)电流：当 $V_{gs}$ 和 $V_{bi}$ 为0时（沟道没有空间电荷区）的最大漏电流
- $G_{01}$  当 $V_{gs}$ 和 $V_{bi}$ 为0时（沟道没有空间电荷区）的沟道电导
- $I_{DSS} = I_{d1}(max)$ 是 $V_{gs}=0$ 时，考虑 $V_{bi}$ 的空间电荷区耗尽的饱和漏电流



# 场效应器件物理

## 第十四讲 - JFET和MESFET非理想因素

[www.xidian.edu.cn](http://www.xidian.edu.cn)





## 本节要点

---

- **沟道长度调制效应**
- **速度饱和效应**
- **亚阈特性和栅电流**



## 13.3.1 沟道长度调制效应

- 定义：当JFET工作于饱和区时，由于漏极处的耗尽区进入了沟道区，有效沟长随漏压的增大而减小。

公式13.28

$$I_{p1} = \frac{\mu_n (eN_d)^2 W a^3}{6 \epsilon_s L}$$

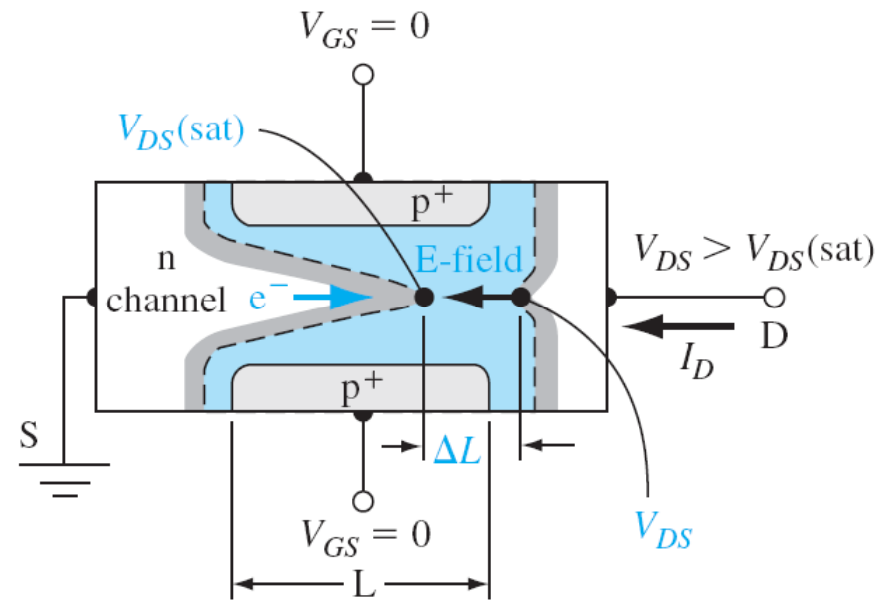
修正为:

$$I'_{p1} = \frac{\mu_n (eN_d)^2 W a^3}{6 \epsilon_s L'}$$

$$L' \approx L - \frac{1}{2} \Delta L$$

$$I'_{D1} = I_{D1} \cdot \frac{I'_{p1}}{I_{p1}} = I_{D1} \left( \frac{L}{L - \frac{1}{2} \Delta L} \right)$$

随着沟道长度的减小漏电流将增大



有效沟长 (  $L - \Delta L/2$  )



## 13.3.1 沟道长度调制效应

- I-V还可以写成：

$$I_{D1}'(sat) = I_{D1}(sat)(1 + \lambda V_{DS})$$

- 空间电荷区为：

$$\Delta L = \left[ \frac{2\epsilon_s (V_{DS} - V_{DS}(Sat))}{eN_d} \right]^{1/2}$$

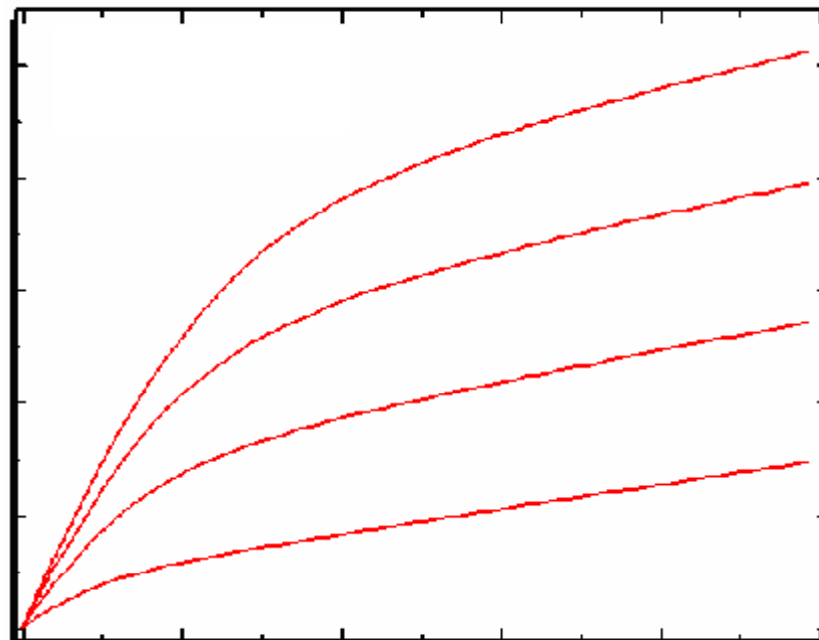
- 输出阻抗：

$$r_{ds} = \frac{\partial V_{ds}}{\partial I'_D} \approx \frac{\Delta V_{ds}}{\Delta I'_D}$$

- 看例题：13.8  $r_{ds} = 18.9k$  ( $I_D$ 如果不随 $V_{DS}$ 变,则按上式 $r_{ds}$ 无穷大)
- 考虑沟道长度调制效应的I-V特性曲线：在饱和区， $I_D$ 随 $V_{DS}$ 的增加而略有增加；有效沟长随漏压的增大而减小，漏电流与沟道长度成反比，成为漏源电压的函数。



## 13.3.1 沟道长度调制效应

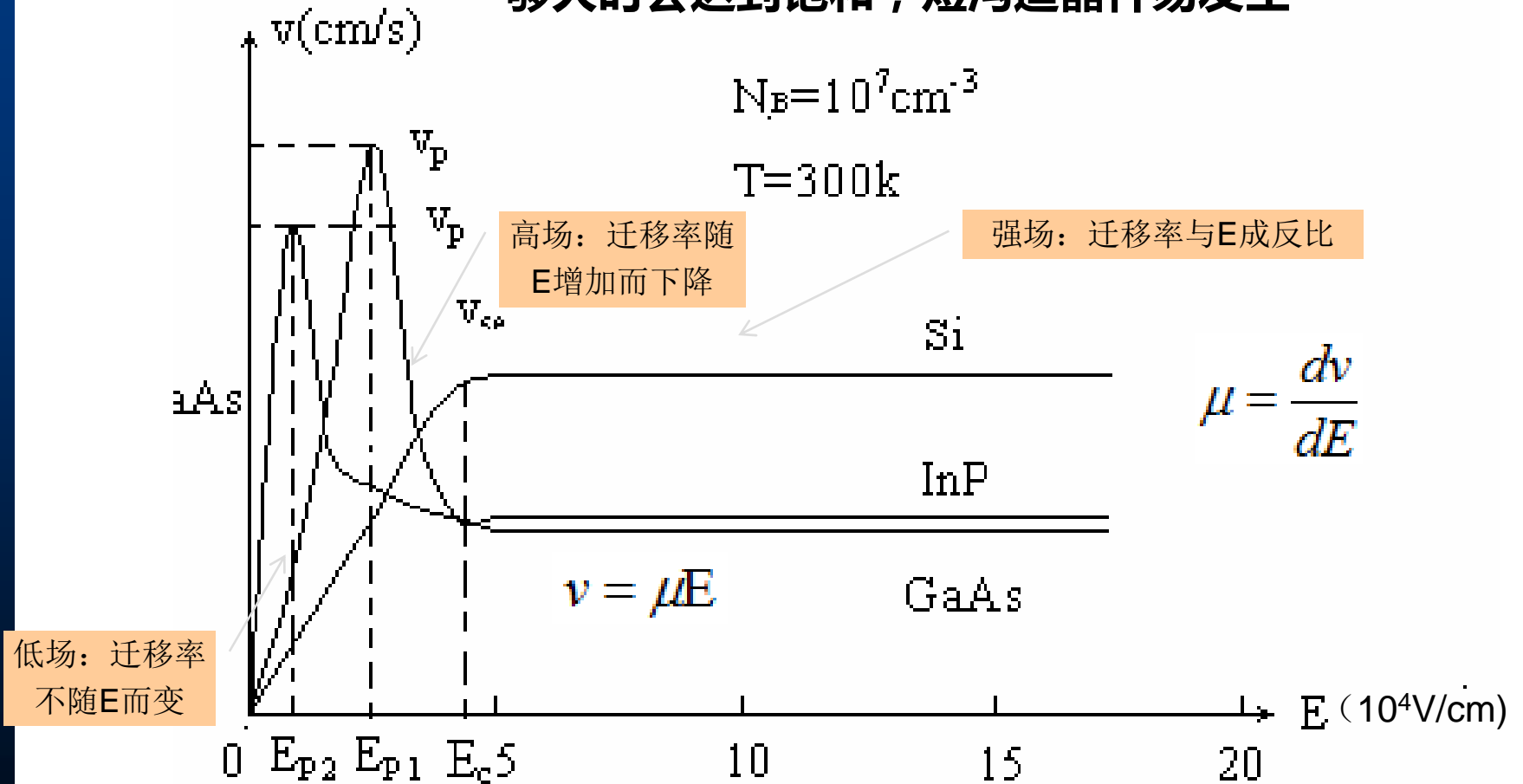


存在沟道长度调制效应的输出曲线



## 13.3.2 饱和速度影响

载流子的漂移速度不会无限增大，电场足够大时会达到饱和，短沟道器件易发生



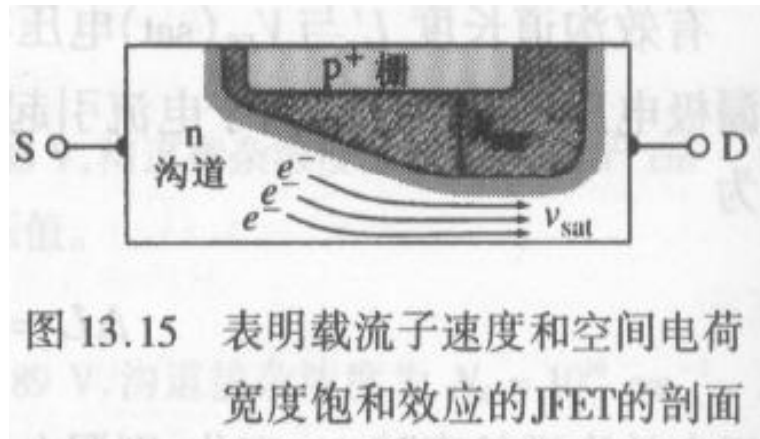
$$E \propto \frac{V_{DS}}{L} \begin{cases} \text{短沟道易饱和} & (V_{DS} = 5\text{V}, L = 1\mu\text{m时}, E = 5 \times 10^4 \text{ V/cm}) \\ \text{高电压易饱和} \end{cases}$$



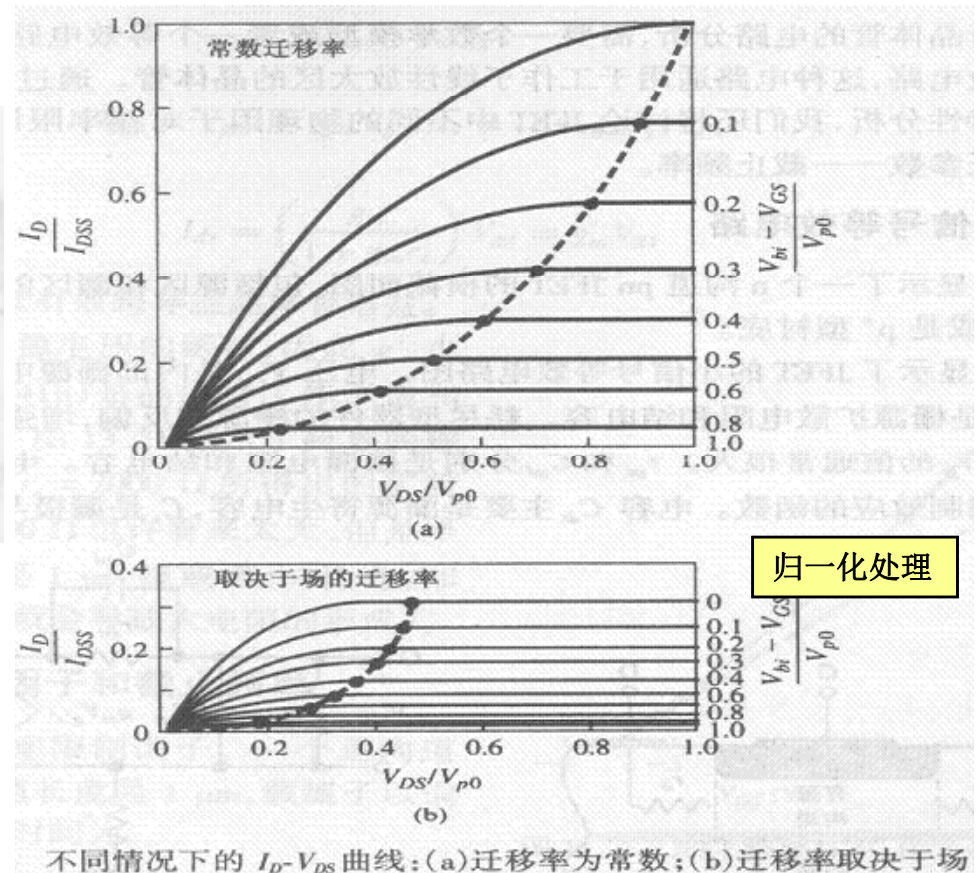


# 13.3.2 饱和速度影响

由于速度饱和：电流变小；跨导变小；增益变小



VDS(sat)还没有达到夹断时电流已经达到饱和（不增加了，近似恒定）





# 两种饱和机制比较

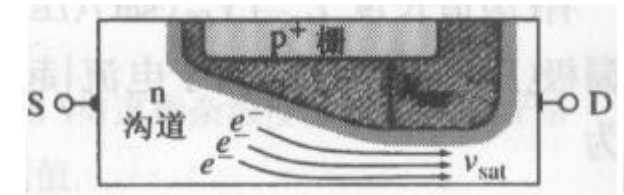
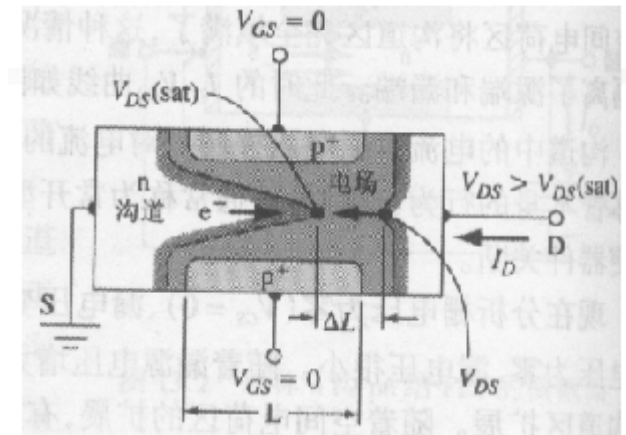
1. **夹断饱和**：迁移率为常数，速度随 $V_{DS}$ 增加而变大，器件饱和是由于 $V_{DS(sat)1}$ 与 $V_{GS}$ 叠加，使漏端 $h=a$ ，得到电流 $I_{D1(sat)}$

2. **速度饱和**： $V_{DS}$ 产生的电场使载流子速度饱和，漏端沟道并未夹断， $V_{DS(sat)2}$ 时， $h < a$ ，漏电流提前饱和，饱和电压和饱和电流均减小。

$$I_{D2(sat)} < I_{D1(sat)} \quad V_{DS(sat)2} < V_{DS(sat)1}$$

**速度饱和对跨导的影响：**

迁移率 $\downarrow$ ，使跨导减小，即器件的有效增益下降。





## 13.3.3 亚阈值特性和栅电流效应

- 当栅电压 $V_{GS}$ 低于夹断电压 $V_p$ 或阈电压( $V_T$ )时 (也就是管子已夹断或未开启时) 的电流叫亚阈值电流
- 饱和区漏电流随栅源电压呈2次方变化
- 亚阈区漏电流随栅源电压呈指数变化
- 阈值点

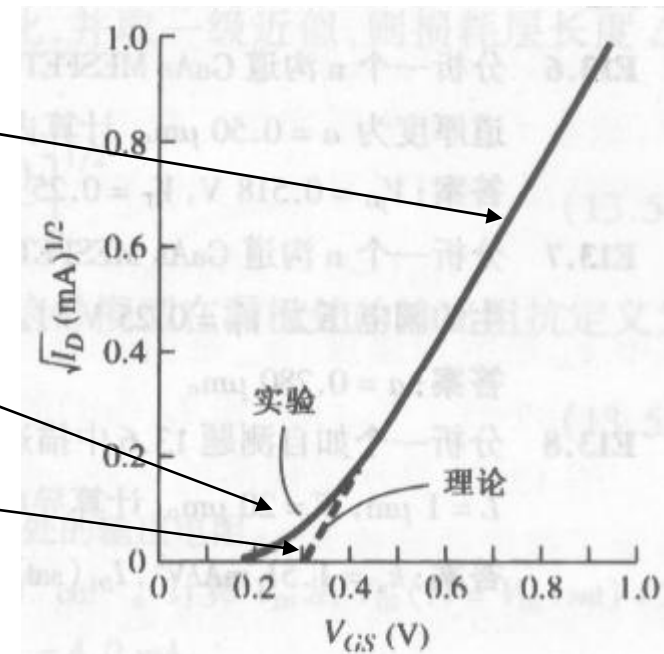


图 13.14 增强型 JFET 的实验和理论的 $\sqrt{I_D}-V_{GS}$ 关系图



# 13.3.3 亚阈值特性和栅电流效应

三个区域：栅电流区域；亚阈值区域；正常区域；

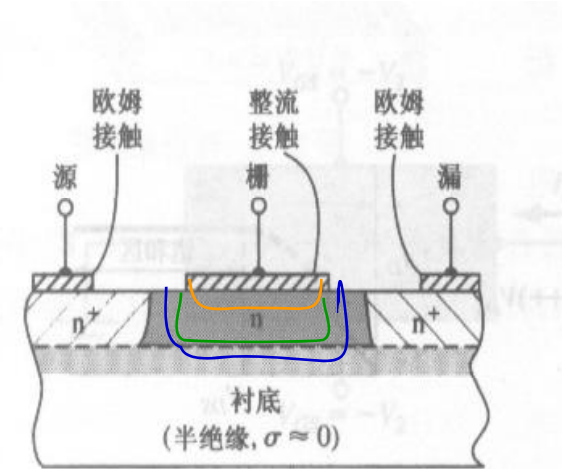
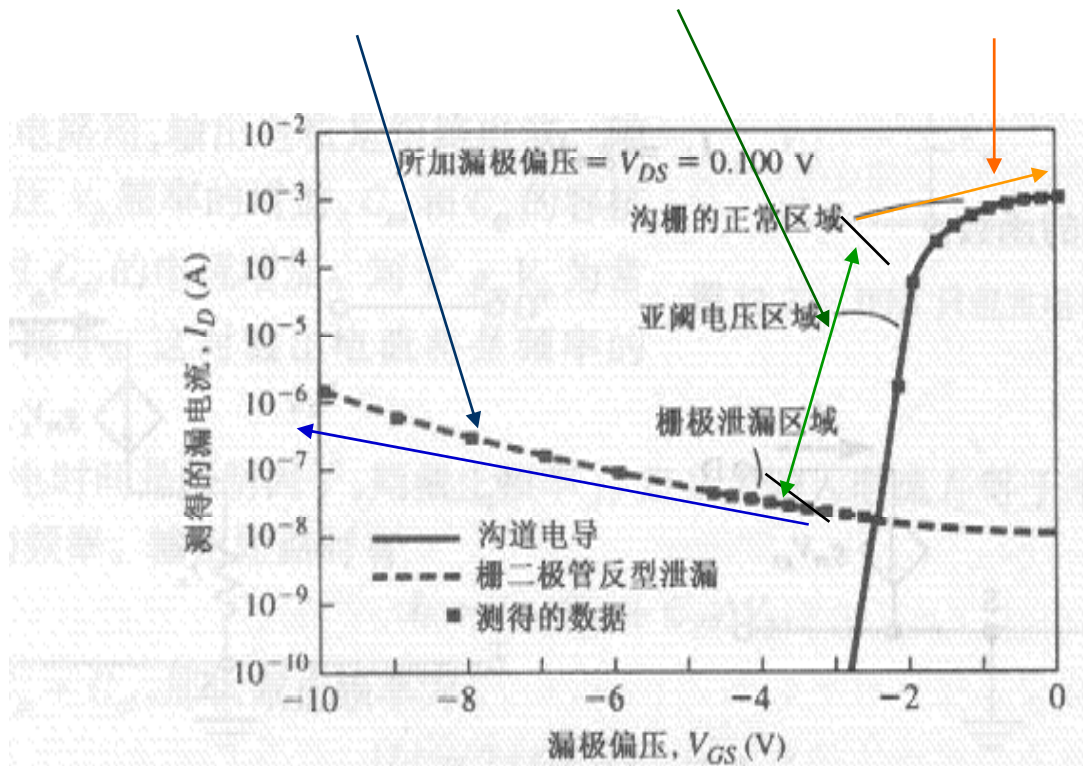
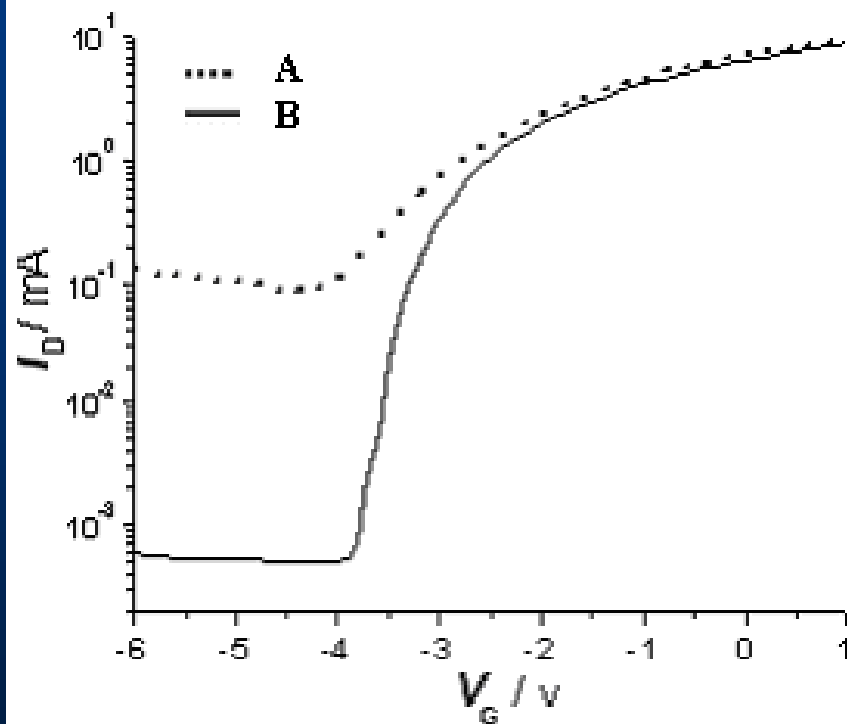


图 13.6 n 沟半绝缘衬底 MESFET 横截面图

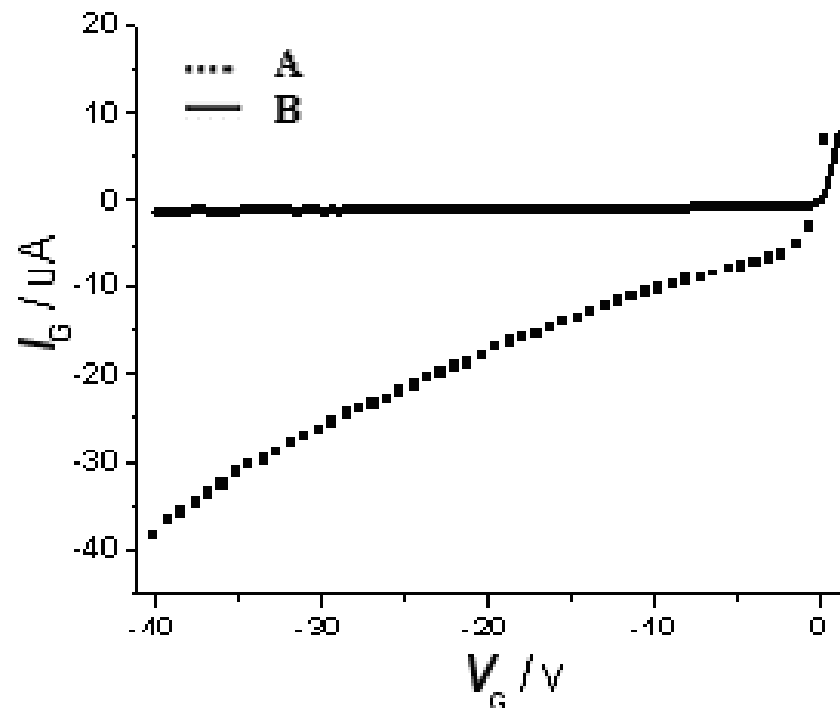
GaAs MESFET 漏极电流随着  $V_{GS}$  变化的曲线, 显示了正常漏电流、亚阈



## 13.3.3 亚阈值特性和栅电流效应



不同器件的关态漏电比较



不同器件栅结反偏泄漏电流





# 复习回顾

- 会画pnJFET和MESFET的剖面图，注意p沟和n沟的区别。

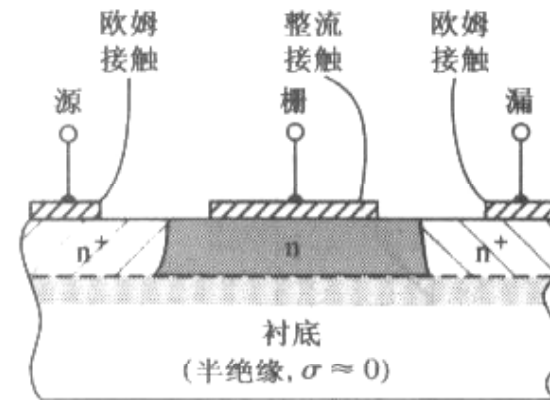
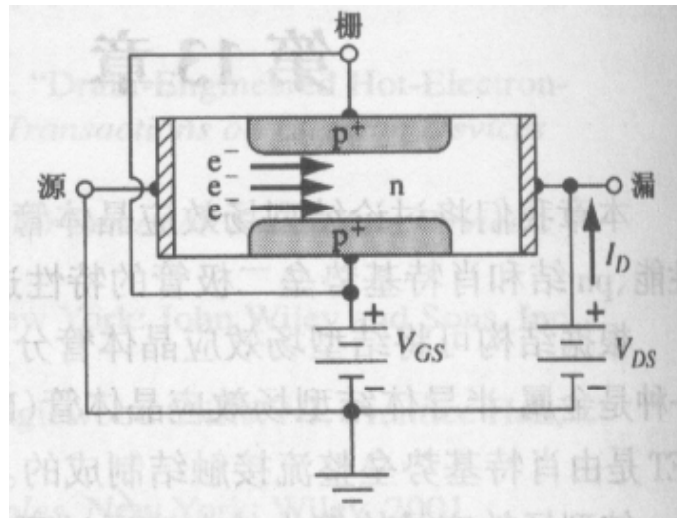


图 13.6 n沟半绝缘衬底 MESFET 横截面图

- MOSFET:的栅极结构为金属氧化物半导体电容 (MOS)，主要通过外加栅压使半导体处于耗尽或反型来调制沟道电导。
- JFET:的栅极结构为pn结，主要通过外加栅压改变沟道区一侧的耗尽层厚度来调制沟道电导。
- MESFET:的栅极结构为肖特基整流结，主要通过外加栅压改变沟道区半导体一侧的耗尽层厚度来调制沟道电导。



## 复习回顾

■ 内建夹断电压  $V_{p0}$  （内建电势差压  $V_{bi}$ ）

■ 夹断电压  $V_p$   $V_t$

■ 漏源饱和电压  $V_{DS(sat)}$

■ IV特性（复杂公式及简化公式）

■ 跨导（复杂公式及简化公式）

■ 辅助概念：

- $I_{p1}$  夹断(阈)电流：当  $V_{gs}$  和  $V_{bi}$  为 0 时（沟道没有空间电荷区）的最大漏电流
- $G_{01}$  当  $V_{gs}$  和  $V_{bi}$  为 0 时（沟道没有空间电荷区）的沟道电导
- $I_{DSS} = I_{d1(max)}$  是  $V_{gs}=0$  时的饱和漏电流





# 复习回顾

- **沟道长度调制效应，概念和特点：**当JFET工作于饱和区时，由于漏极处的耗尽区进入了沟道区，有效沟长 ( $L - \Delta L/2$ ) 随漏压的增大而减小，该效应称为沟道长度调制效应。I-V特性曲线在饱和区， $ID$ 随 $VDS$ 的增加而略有增加；有效沟长随漏压的增大而减小，漏电流与沟道长度成反比，成为漏源电压的函数。
- **速度饱和效应，概念和特点：**漏电压不断增大使载流子的漂移速度达到饱和（短沟更容易发生）。发生速度饱和时，随电场上升迁移率下降；正常饱和时,是由于(sat)使漏端 $h=a$ 夹断饱和，速度饱和时，沟道未夹断，漏端 $h < a$ ,饱和漏源电压值、饱和漏源电流值与正常饱和时的值相比均减小。速度饱和造成迁移率下降，所以跨导减小，即器件的有效增益下降。



## 思考题

- 问题1:书上为什么只画沟道内的空间电荷区而不画P<sup>+</sup>一边的?
- 问题2:为什么说增强型的JFET电压变化范围很小?
- 问题3:为什么说n沟MESFET上的金属可以理解为P<sup>+</sup>型的?



# 场效应器件物理

## 第十五讲—JFET等效电路和频率限制

[www.xidian.edu.cn](http://www.xidian.edu.cn)





## 本节要点

---

- **JFET等效电路**
- **频率限制因子和截止频率**
- **异质结**
- **二维电子气**



# 交流响应

■ JFET的交流响应，一般采用JFET小信号等效电路来表示

➤ 等效电路

将器件等效为一个电路结构，抽象出器件是由一个一个的电阻、电容、电感等基本元器件组成的电路结构



# JFET等效电路

$r_s$  源串联电阻  
 $r_{gs}$  栅源扩散电阻  
 $C_{gs}$  结电容

$r_d$  漏串联电阻  
 $r_{gd}$  栅漏扩散电阻  
 $C_{gd}$  结电容

**扩散电阻：pn结增量电阻，IV曲线斜率的倒数**  
**反偏，反向电流饱和，电阻无穷大；**  
**正偏压很小时，也很大。**

$r_{ds}$  漏源电阻：**沟长调制效应的函数**  
 $C_{ds}$  漏源电容

$C_s$  漏与衬底的电容

$V_{gs}'$  内部栅源电压

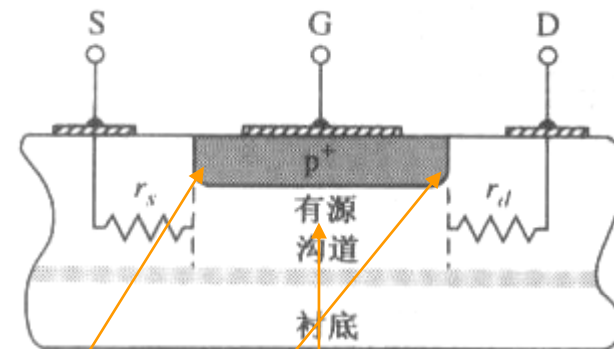


图 13.18 包括源漏串联电阻的 n 沟道 pn JFET 的横截面图

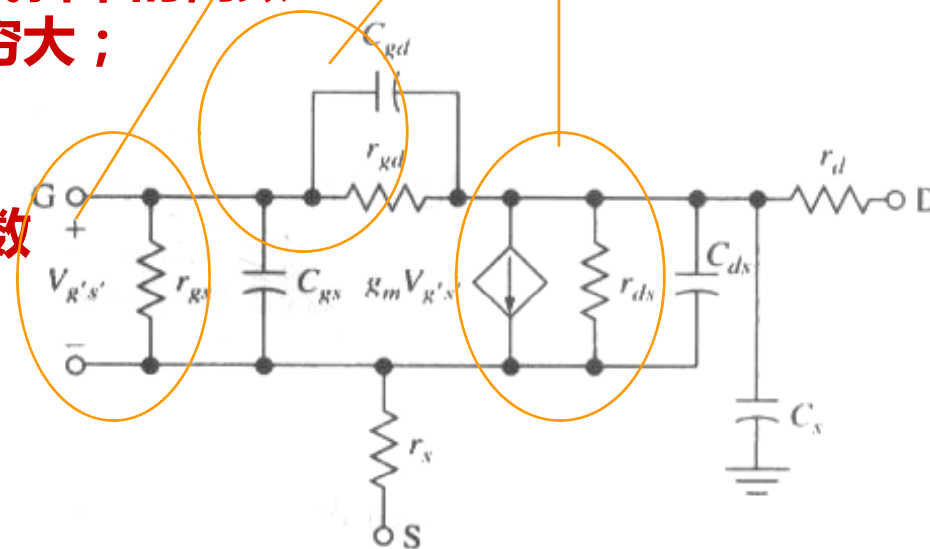


图 13.19 JFET 的小信号等效电路图



# 13.4.1 小信号等效电路

$$I_{ds} = g_m V_{gs}$$

$$I_{ds} = g_m V_{g's'}$$

$$V_{gs} = V_{g's'} + (g_m V_{g's'}) r_s = (1 + g_m r_s) V_{g's'}$$

$$I_{ds} = \left( \frac{g_m}{1 + g_m r_s} \right) V_{gs} = g_m' V_{gs}$$

$g_m' < g_m$

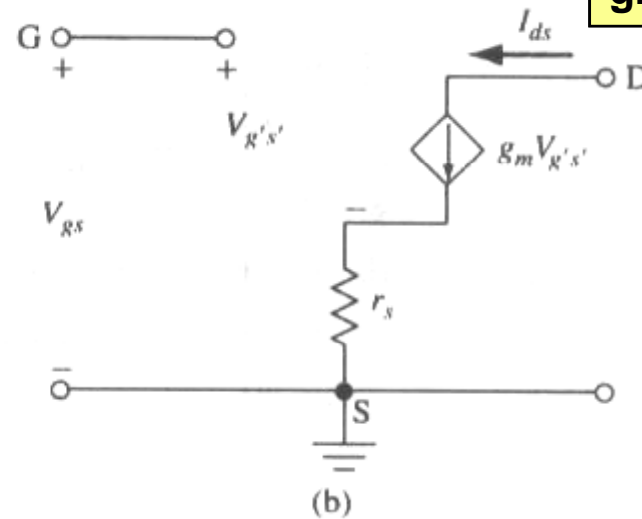
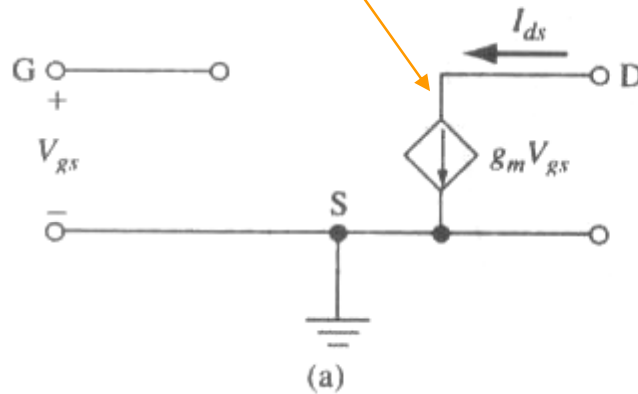
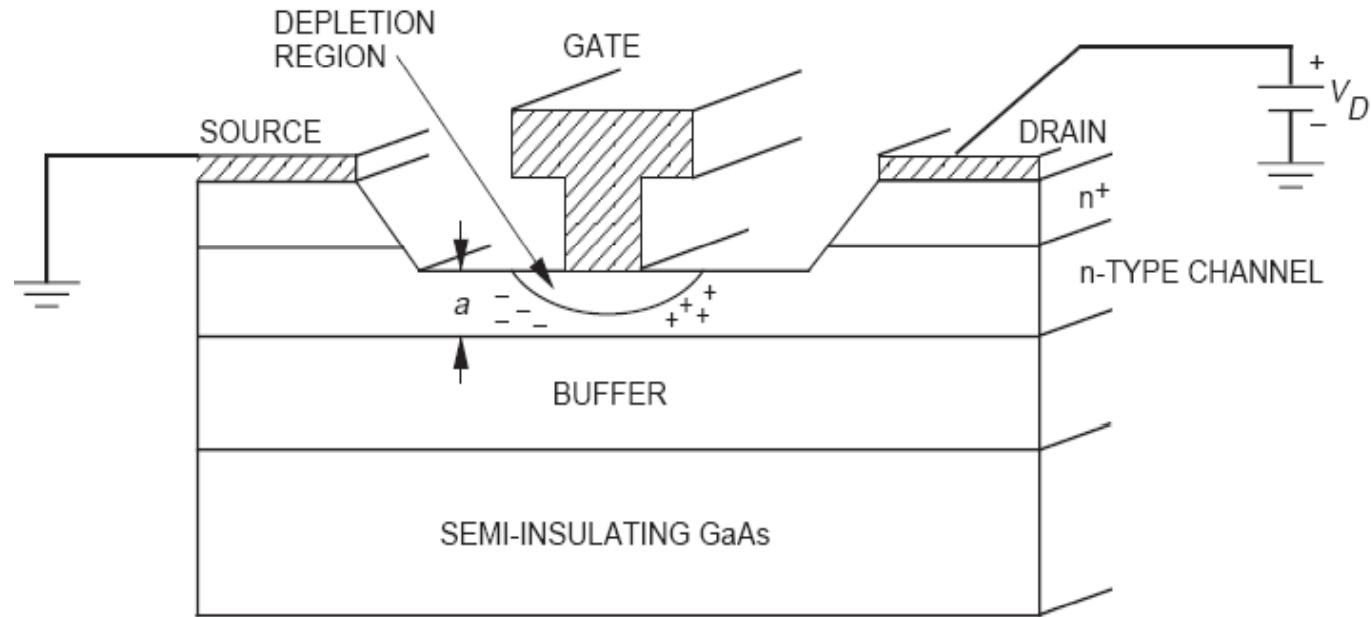


图 13.20 (a)理想的低频小信号等效电路;(b)包括串联电阻  $r_s$  的理想低频小信号等效电路





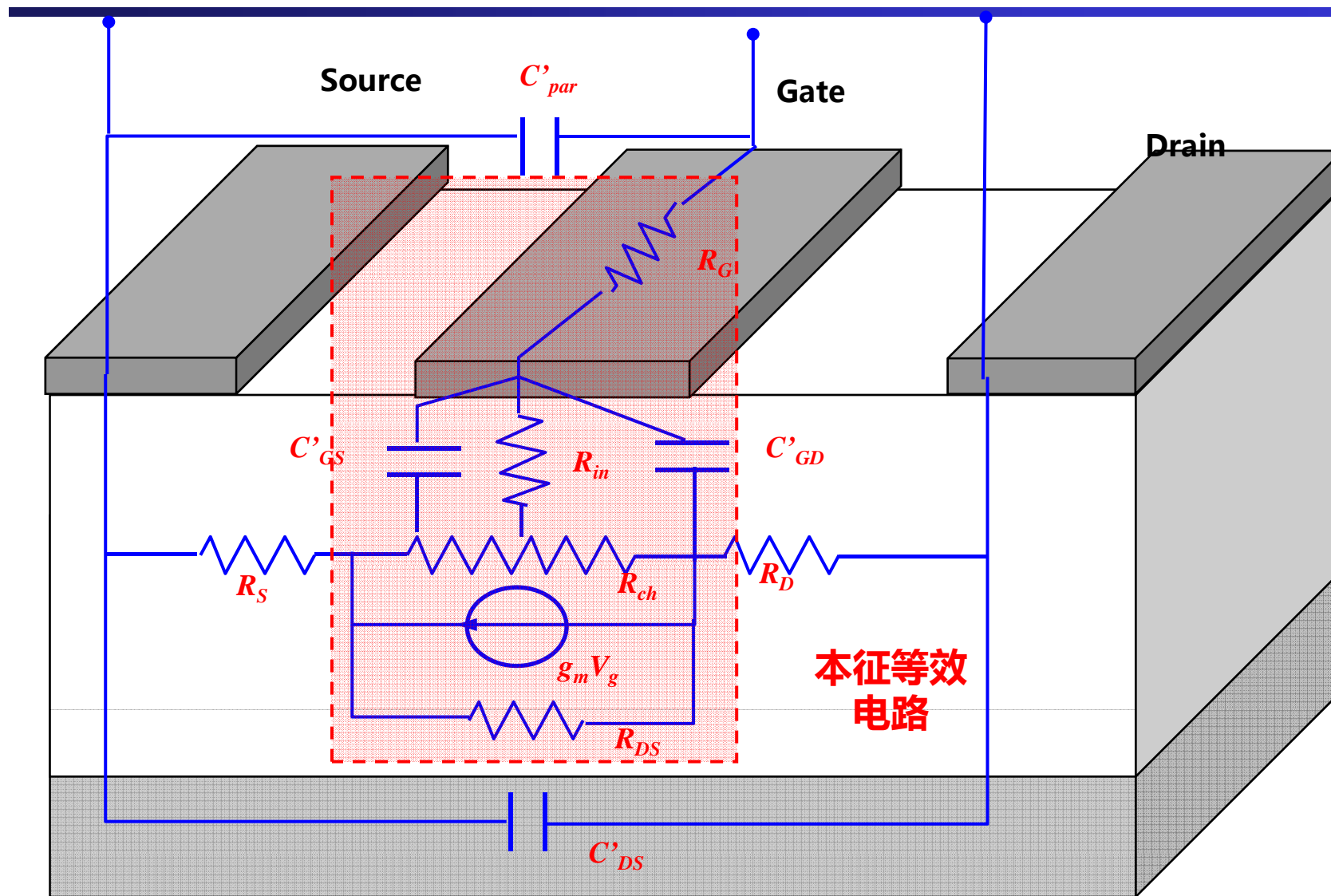
# GaAs MESFET物理结构



砷化镓具有高电子迁移率，所以具有较低的运输时间和较快的反应速度，并且半绝缘的衬底减小了寄生电容的影响。



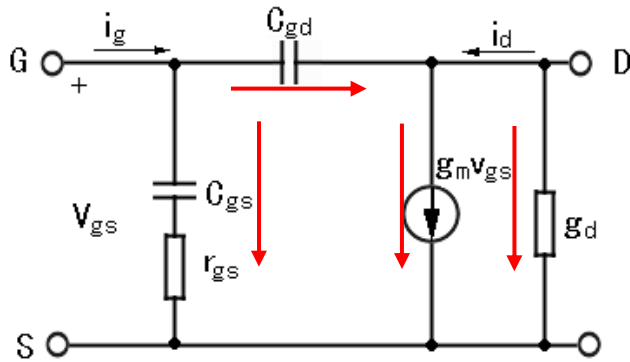
# MESFET等效电路 (1)



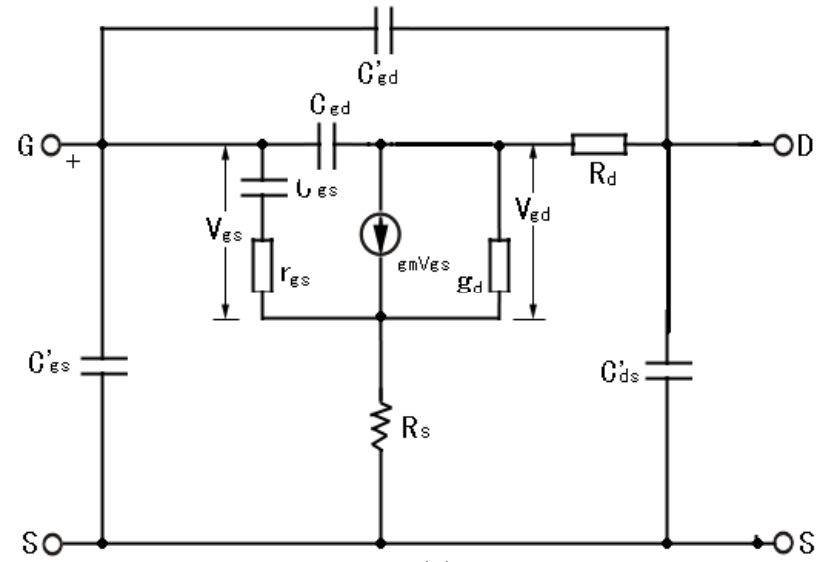


# MESFET等效电路 (2)

## 等效电路



本征等效电路



非本征等效电路

## 电流方程

$$i_d = g_m v_{gs} + v_{ds} g_d - C_{gd} \frac{dv_{gd}}{dt}$$

$$i_g = C_{gs} \frac{dv_{gs}}{dt} + C_{gd} \frac{dv_{gd}}{dt}$$



# 频率限制因子

**限制因素1：对栅电容充电需要时间**

**限制因素2：沟道载流子从源到漏运动  
需要时间**



# $f_T$ & $f_{max}$

## ■ 截止频率 $f_T$ : 单位增益对应的频率

- 在此频率时，小信号输入栅电流等于本征FET的漏电流。
- 对关注速度的数字电路， $f_T$ 更适合作为品质因子。

## ■ 最高振荡频率 $f_{max}$ : 单向增益对应的频率

- 器件能提供功率增益的最大频率
- 对于关注功率放大的模拟电路，更应该关注 $f_{max}$



# 截止频率 $f_T$

■ **截止频率  $f_T$** : 通过输入端的交流电流等于输出交流电流  $g_m v_{gs}$  时的工作频率。即, 电流增益等于1时的工作频率。

根据本征等效电路可得:

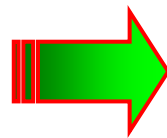
$$i_g = j\omega(C_{gs} + C_{gd}) \cdot v_g \approx j(2\pi f)C_g \cdot v_g$$

器件交流短路输出时的输入电容

$$C_{gs} + C_{gd} \approx C_g$$

根据截止频率定义可得:

$$i_g = g_m v_{gs}$$



$$f_T = g_m / 2\pi C_G$$



# 截止频率 $f_T$

- FET的速度限制同样依赖器件的几何形状和材料特性
  - ◆减小栅长，降低栅电容，增加跨导
  - ◆提高材料的迁移率





# 最高振荡频率 $f_{max}$

$$f_{max} = \frac{f_T}{2 \sqrt{r_1 + f_T \tau_3}}$$

$r_1$ 为输入输出电阻比

$$r_1 \equiv \frac{R_G + R_{ch} + R_s}{R_{DS}}$$

对于较小 $r_1, f_{max}$ 简化为

$$f_{max} \approx \sqrt{\frac{f_T}{8 \pi R_G C'_{GD}}}$$



# 功率—频率限制

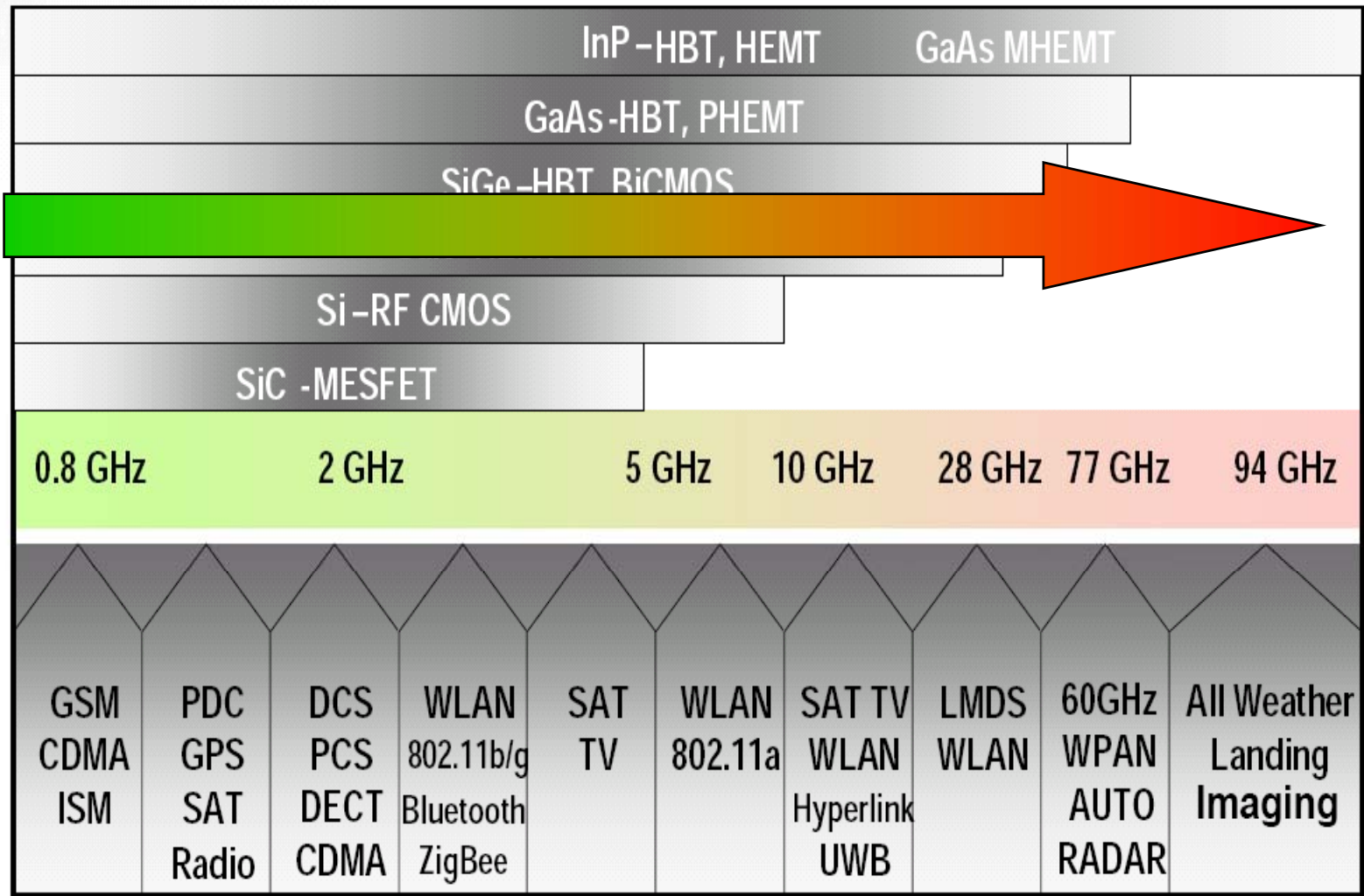
■ 在功率应用中，要求器件承受大电压和通过大电流，同时需要兼顾高速：

- 大电流：沟道掺杂高（ $N_D$ 大）
- 大功率：击穿电压高（ $N_D$ 小）
- 大的 $f_T$ ：沟道长度 $L$ 小（ $N_D$ 增加）

■ 现代功率器件中，功率和频率是矛盾的



# Wireless Communication Application Spectrum



International Technology Roadmap for Semiconductors (ITRS) (2008)

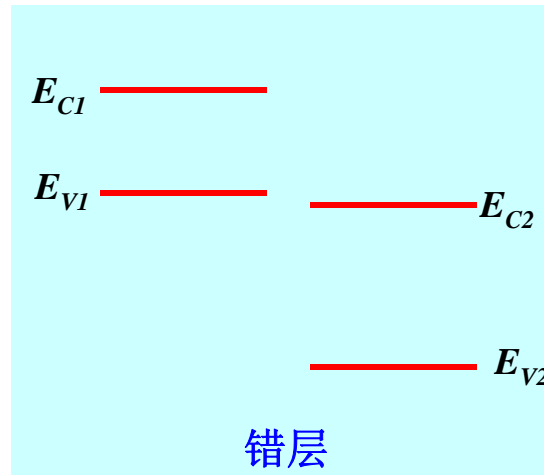
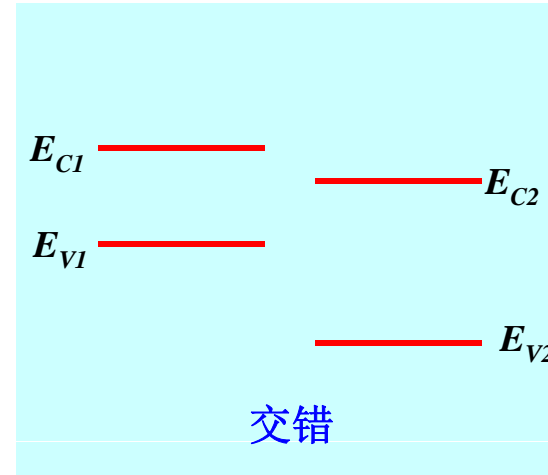
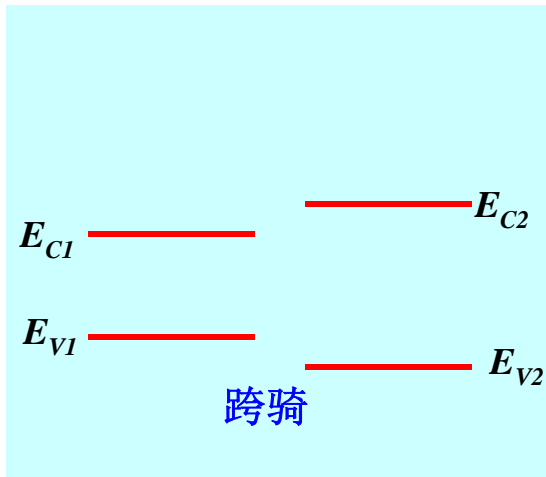


# 异质结

- **同质结**：由同种半导体材料接触形成的结。
- **异质结**：两种禁带宽度不同的半导体材料接触形成的结，结表面的能带是不连续的。
- **同型异质结**：导电类型不同的不同半导体组成。
- **反型异质结**：导电类型相反的不同半导体组成。

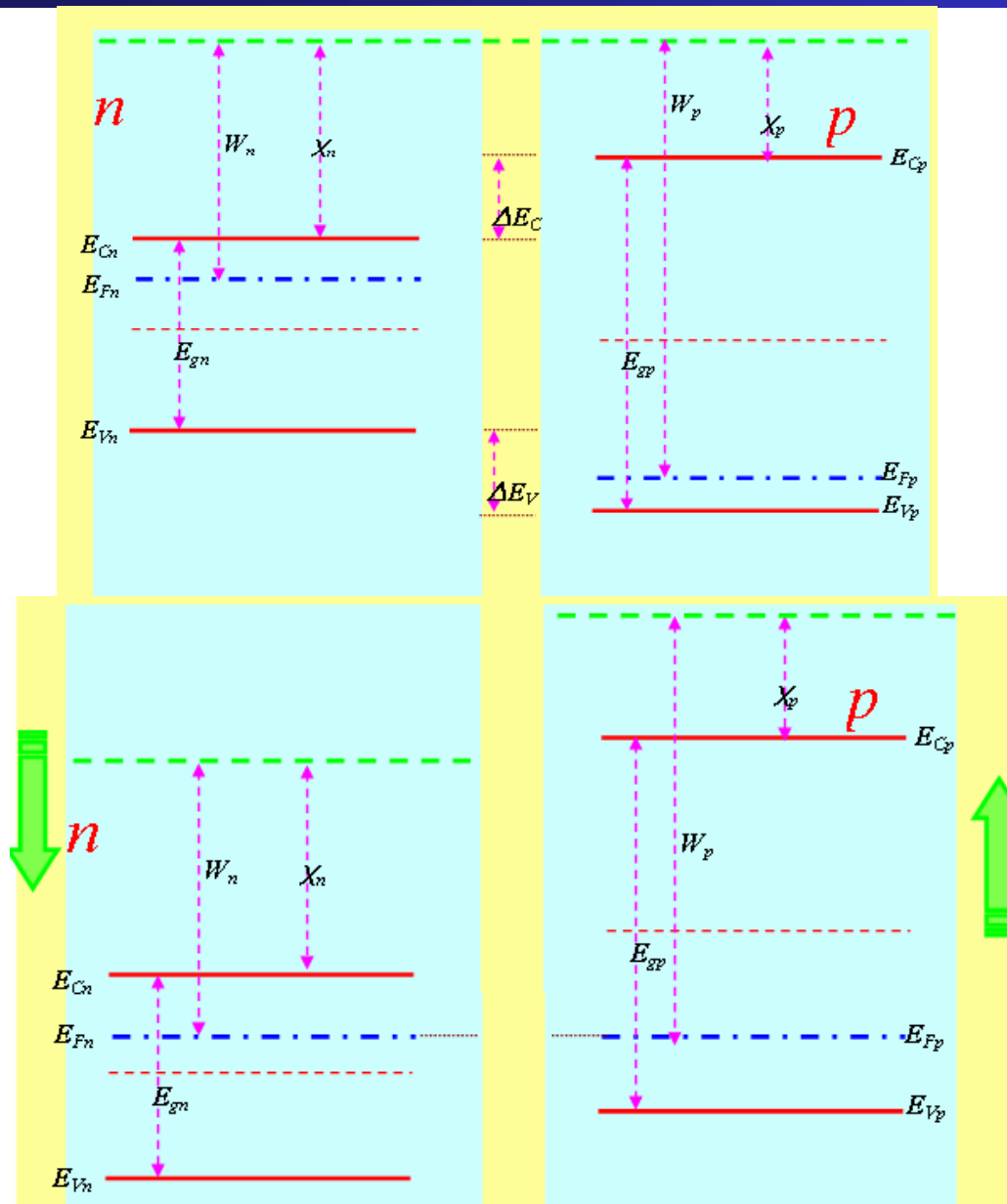


# 异质结分类





# 异质结的形成过程

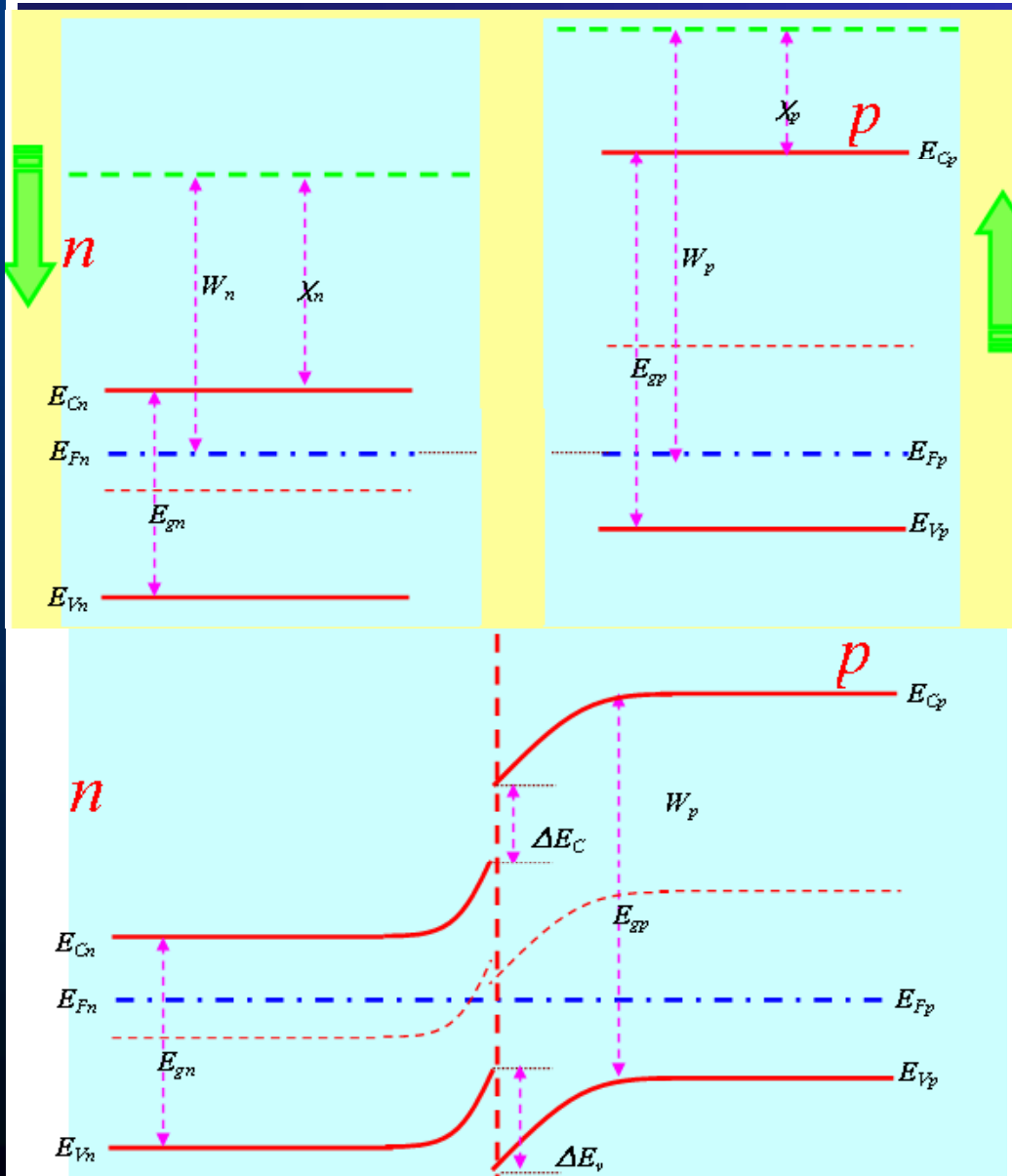


两种材料未构成异质PN结之前的能级  
 $E_g(n) < E_g(p)$

两种半导体材料构成异质PN结之后的能级图



# 异质结的形成过程



1. 电子从高费米能级材料流向低费米能级材料。
2. 形成异质结时，能带在界面处间断，在势垒的一侧出现尖峰，另一侧出现凹口，界面处两种材料的能带不连续性不变。体内能带结构不变。
3. 能带的弯曲量和空间电荷区宽度由掺杂浓度决定。

$$\Delta E_c = \chi_n - \chi_p$$

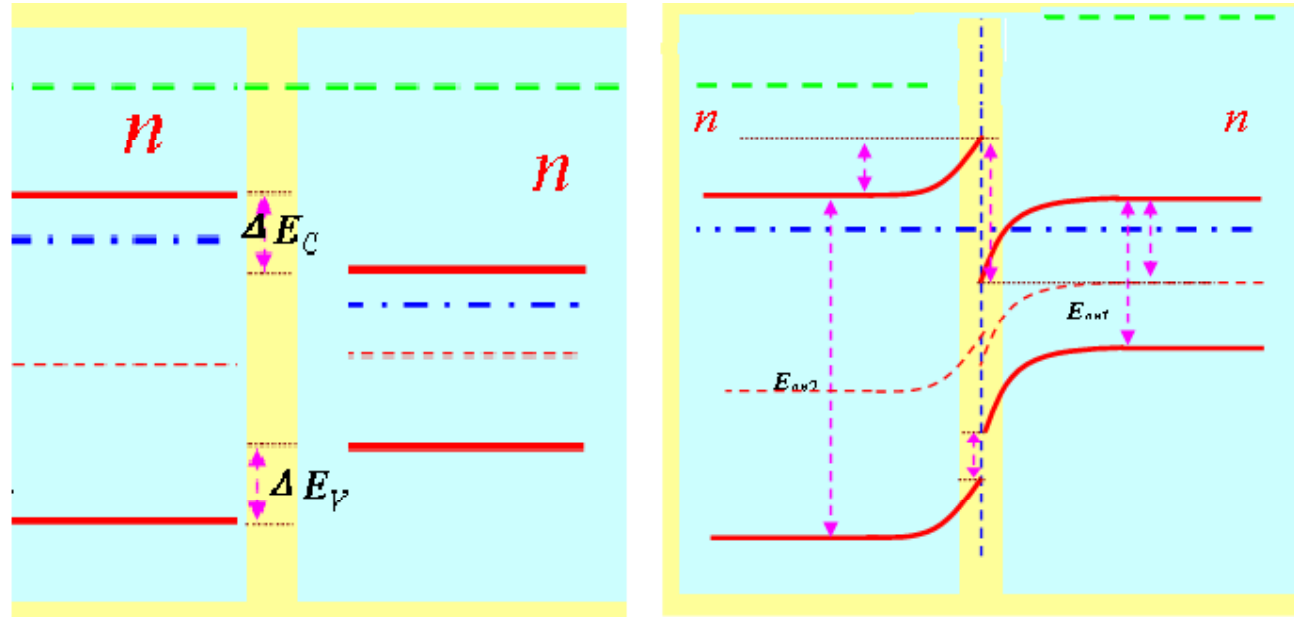
$$\Delta E_v = (\chi_n + E_{gn}) - (\chi_p + E_{gp})$$

两种半导体材料构成异质PN结之后的能级图

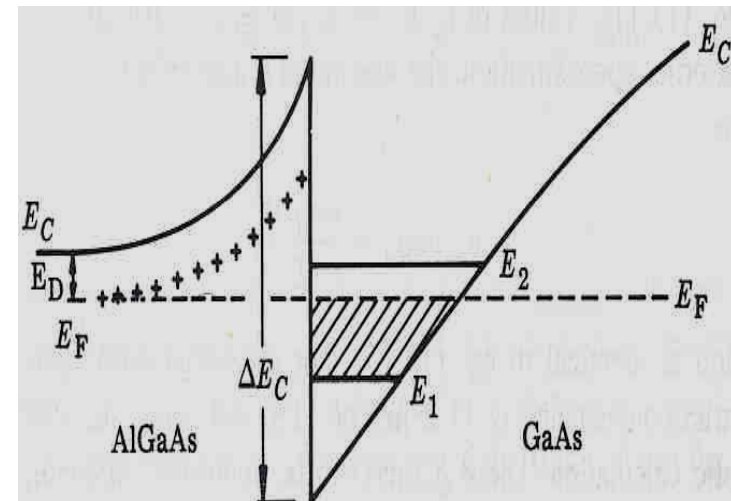




# 二维电子气 (2DEG)



- 二维电子气 (two dimension electron gas)：电子在一个空间方向（与表面垂直方向）有量子化能级，同时也可以向其他两个空间方向自由移动。

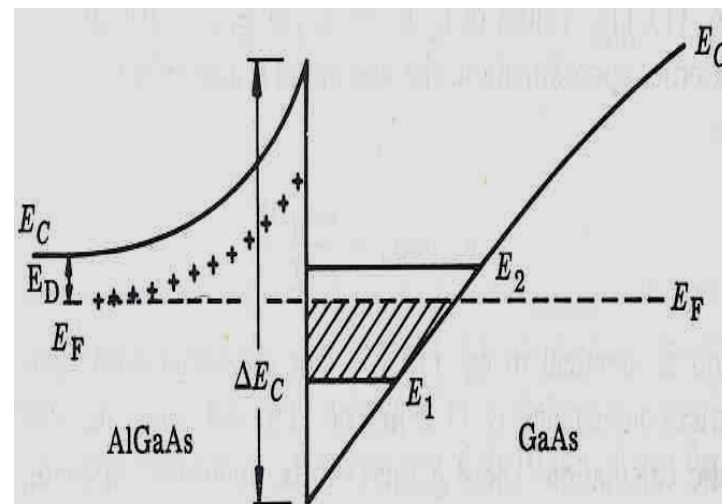




## 二维电子气 (2DEG)

- 2DEG指在两个方向上可以自由运动，而在第三个方向上的运动受到限制的电子群。2DEG形成的关键因素是半导体能带在某个方向形成宽度可以和电子的德布罗意波长相比的势阱，从而在那个方向上限制电子的运动。因此，2DEG是量子效应的产物；由势阱中粒子运动的特性可知，其能量在运动受到限制的方向上是量子化的分立能级，而在另外两个方向则是连续的。

AlGaAs层通常制作成n型掺杂层，作为二维电子气的电子来源。而沟道层在未掺杂的GaAs层中。GaAs层中没有掺杂的杂质，所以电子的迁移率可以大幅度提高。





## 本节要求掌握

- 串联电阻影响的有效跨导的计算
- JFET的两个频率限制因子
- JFET截止频率的定义和影响因素
- 2DEG的基本概念



# 场效应器件物理

## 第十六讲—高电子迁移率晶体管

www.xidian.edu.cn



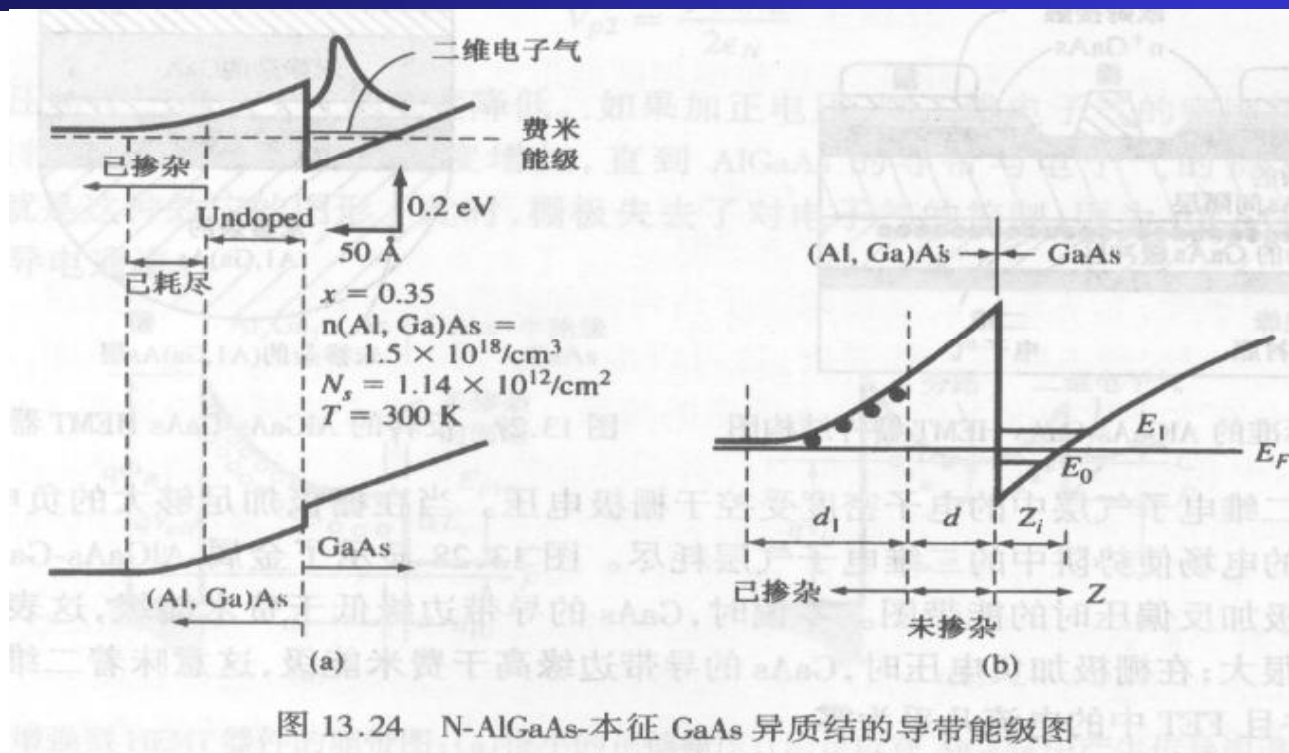


## 本节要点

- 量子阱结构
- HEMT工作机理
- AlGaAs/GaAs HEMT与AlGaN/GaN HEMT
- AlGaN/GaN HEMT工艺和新结构简介



# 量子阱结构



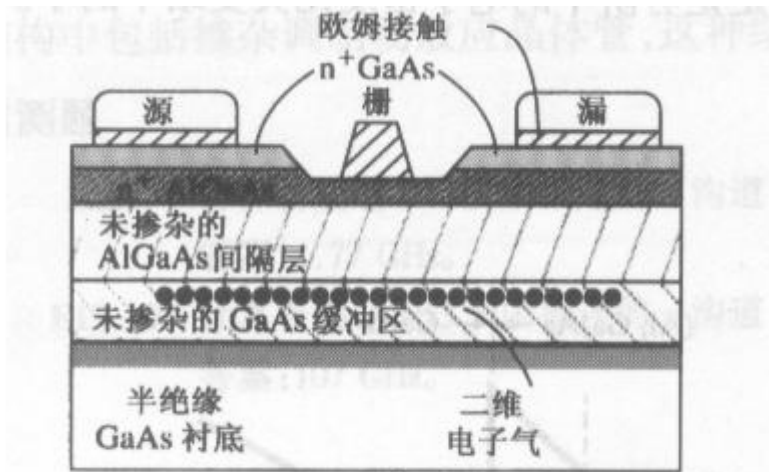
AlGaAs层通常制作成n型掺杂层，作为二维电子气的电子来源。而沟道层在未掺杂的GaAs层中。GaAs层中没有掺杂的杂质，所以电子的迁移率可以大幅度提高。有时在掺杂的AlGaAs层和未掺杂的GaAs层中插入为掺杂的AlGaAs薄层作为隔离层（spacer），减弱电离杂质的库仑力对电子的影响，这样能更进一步提高电子迁移率。



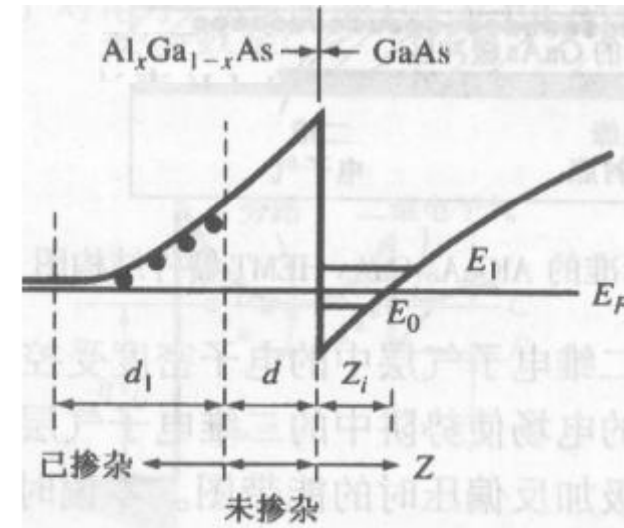


# 调制掺杂

- 通过掺杂调节材料的禁带宽度控制导带不连续性和二维电子气密度。



13.26 标准的 AlGaAs-GaAs HEMT 器件结构图



通过调节 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 中的 $x$ 来调节Al的组分，Al组分越高禁带宽度越大，导带不连续性也越大



# 多层掺杂异质结结构

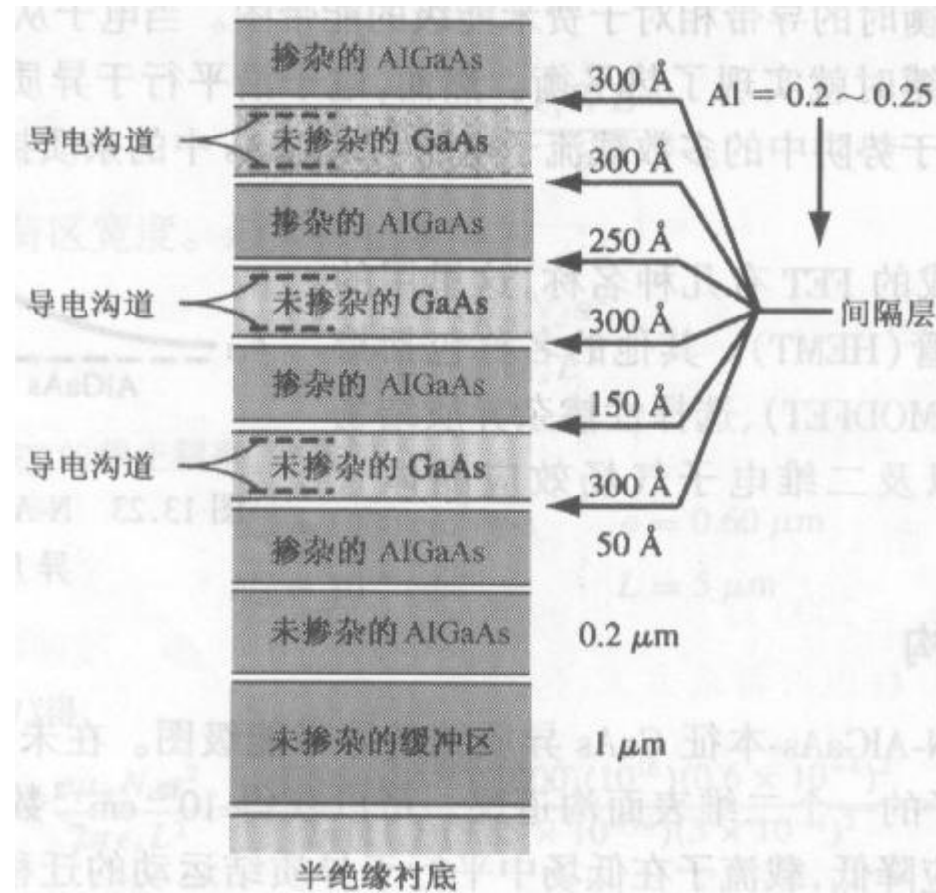


图 13.25 多层结构异质结

相当于并联输出，可以增加输出电流，增强负载能力





# 高电子迁移率器件 (HEMT)

- HEMT (high electron mobility transistor)
- HFET (Heterostructure field effect transistor)
- MODFET (Modulate Doping field effect transistor )



# HEMT性能

■ 栅压控制二维电子气的密度（存在或耗尽）

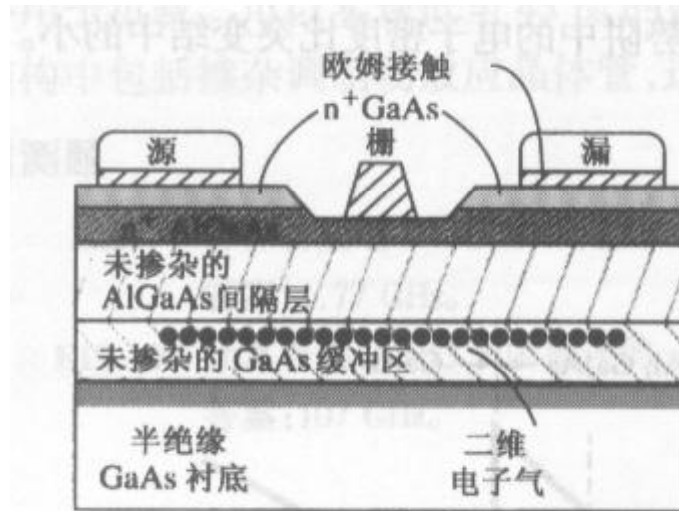


图 13.26 标准的 AlGaAs-GaAs HEMT 器件结构图

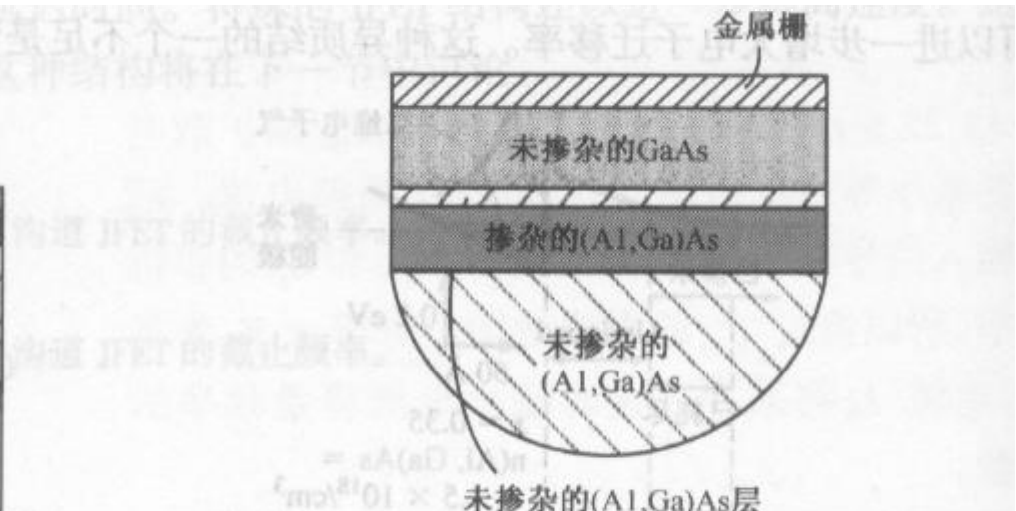


图 13.27 反转的 AlGaAs-GaAs HEMT 器件结构图



# 有电子气和耗尽时的情况

- 低于费米能级和高于费米能级

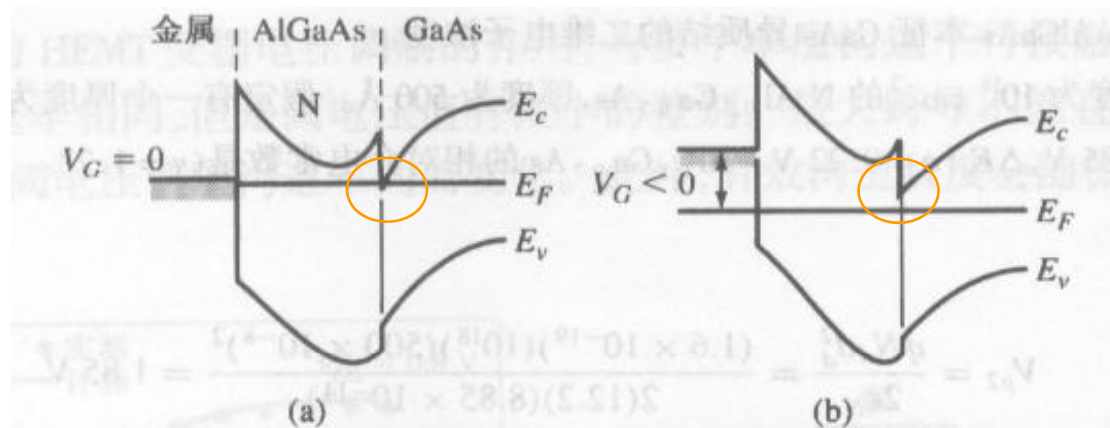


图 13.28 标准 HEMT 器件的能带图:(a)零偏栅压;(b)负偏栅压



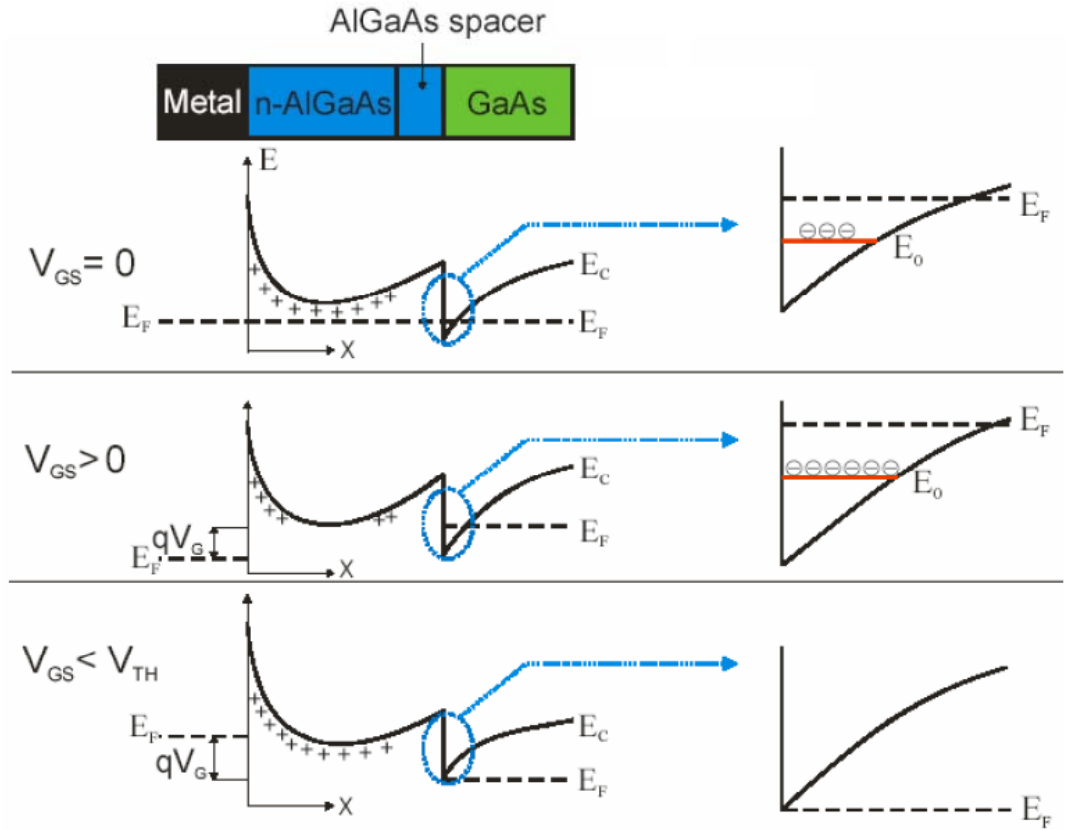
# HEMT的工作机理

2DEG密度表达式:

$$n_s = \frac{\epsilon_N}{q(d + \Delta d)} (V_g - V_{off})$$

阈值电压表达式:

$$V_{off} = \Phi_B - \frac{\Delta E_c}{q} - \frac{qN_d d_d^2}{2\epsilon_N}$$





# I-V特性

假定迁移率为常数，对于低V<sub>ds</sub>，有非饱和区电流：

$$I_D = \frac{\epsilon_N \mu W}{2L(d + \Delta d)} [2(V_g - V_{off})V_{DS} - V_{DS}^2]$$

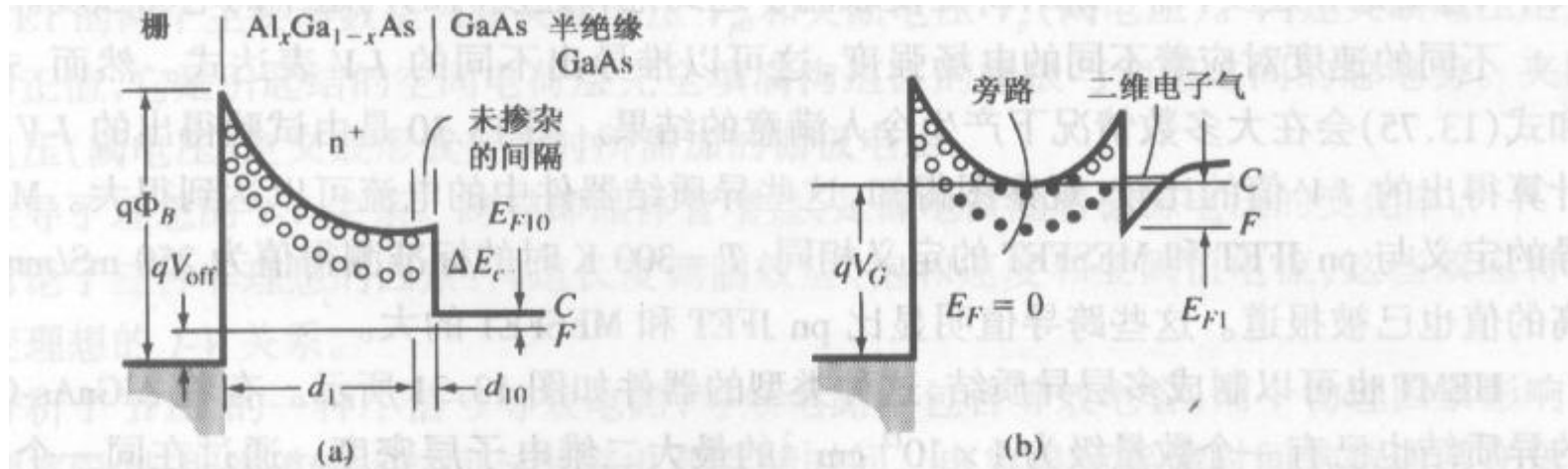
若V<sub>ds</sub>增大到使得载流子以饱和速度运动：

$$I_{D(sat)} = \frac{\epsilon_N W}{(d + \Delta d)} (V_g - V_{off} - V_0) V_{sat}$$



# 增强型器件

## 正压导通

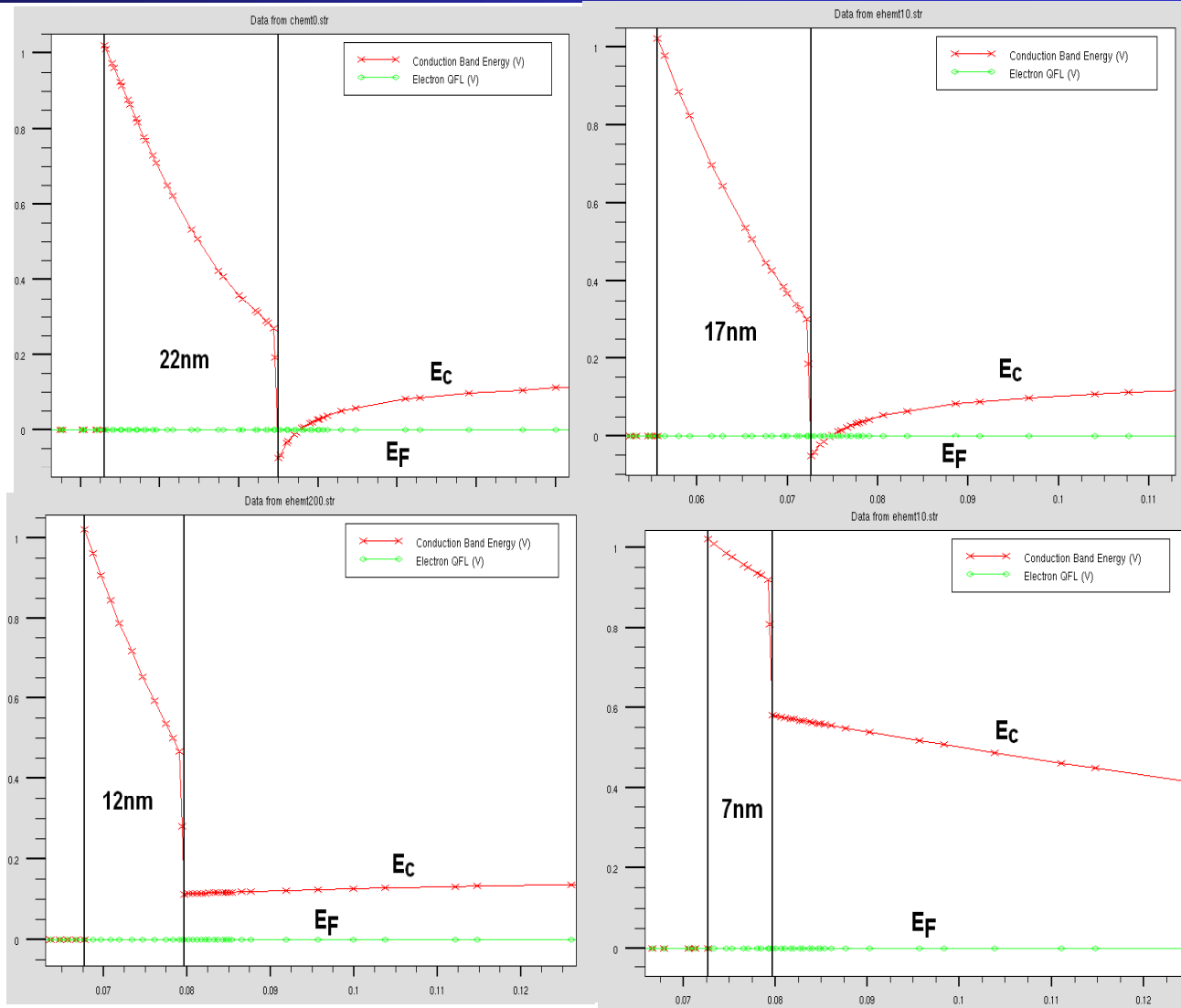


增强型 HEMT 器件的能带图:(a)很小的正偏栅压;(b)足以在 AlGaAs 中产生传导沟道的大正偏栅压

增强型器件AlGaAs厚度较小，肖特基栅形成的内建电势差使得沟道2DEG完全耗尽，只有在栅加正压才能开启



# 不同势垒层厚度的异质结能带图

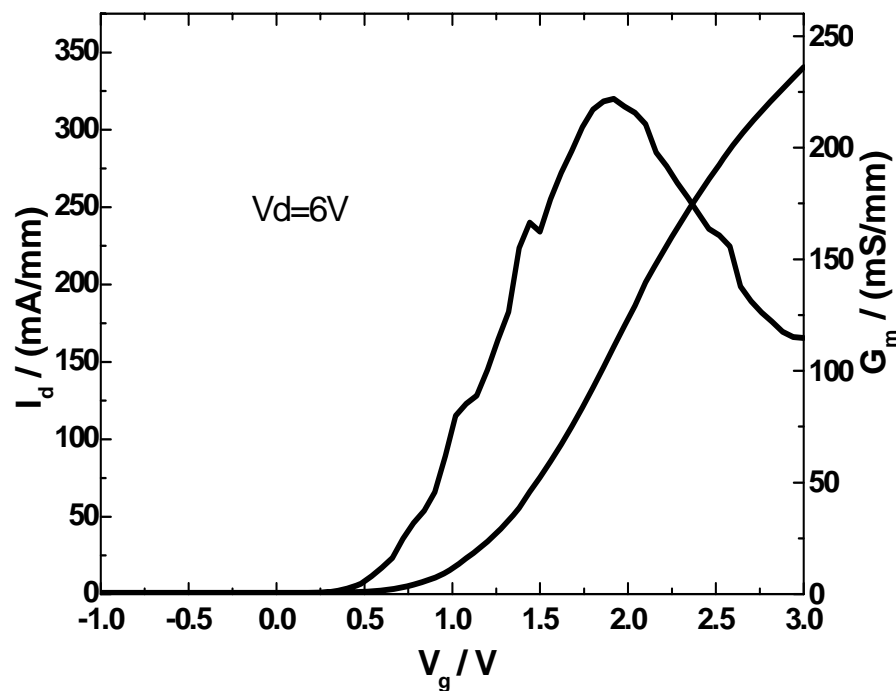
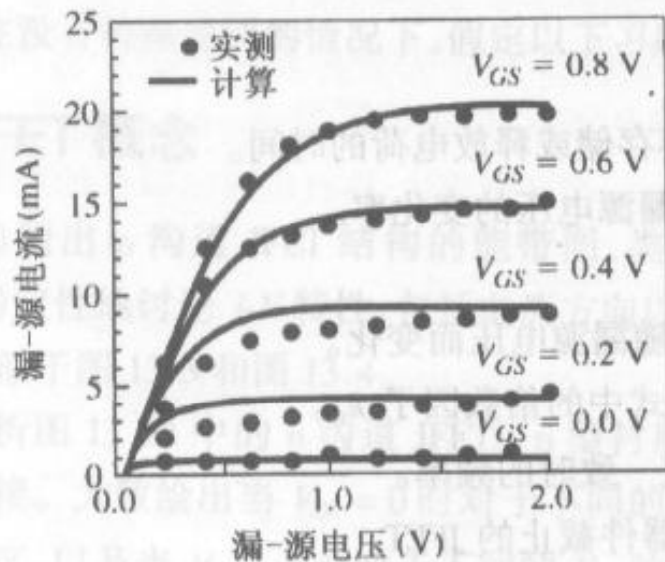




# 增强型器件设计

HEMT通常是耗尽型器件，2DEG在材料生长完成就存在。增强型设计需要减小栅到沟道的距离，同时增大肖特基势垒高度。

$$V_{off} = \Phi_B - \frac{\Delta E_c}{q} - \frac{qN_d d_d^2}{2\epsilon_N}$$



13.30 增强型 HEMT 器件的电流-电压曲线，实线为理论计算值，圆点是实测值





# 多层结构HEMT

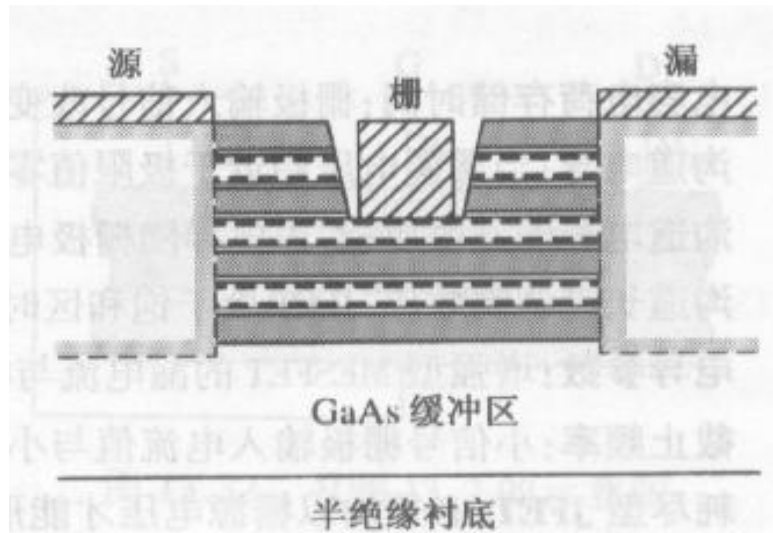
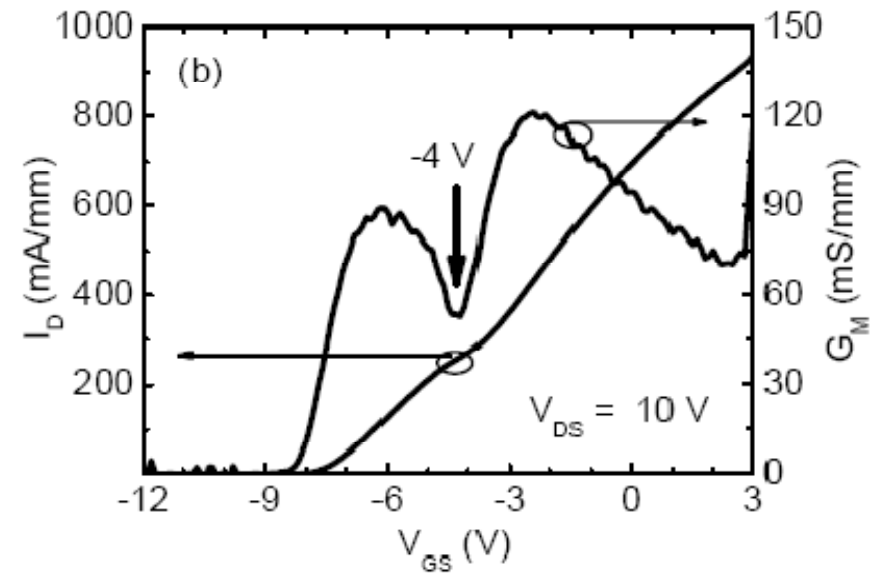


图 13.31 多层结构 HEMT 器件

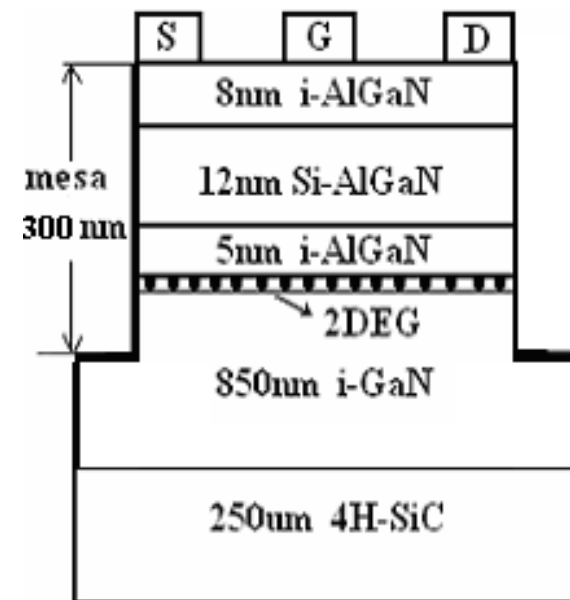
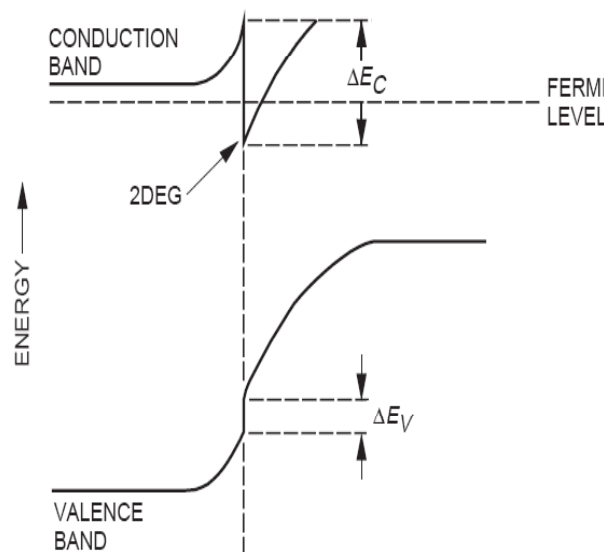


GaN双沟道HEMT转移特性



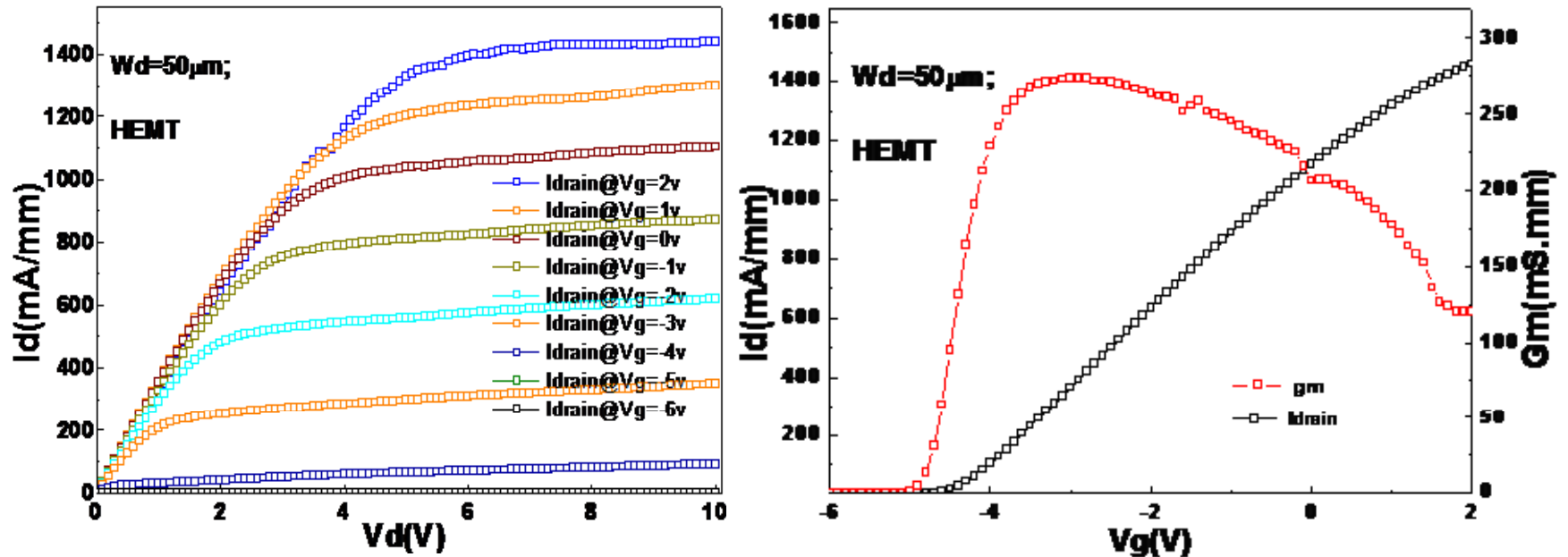
# AlGaN/GaN HEMT

$\text{GaN}:E_g = 3.4 \text{ eV}$ ;  $\text{AlN}:E_g = 6.2 \text{ eV}$ 。AlGaN的禁带宽度随Al组分的不同而可调。相比砷化镓器件，氮化镓器件有更大的导带不连续性。同时由于氮化镓材料独特的晶体结构非对称性，异质界面会存在大量极化电荷。氮化镓异质结电子面密度 ( $10^{13}\text{cm}^{-2}$ ) 比砷化镓 ( $10^{12}\text{cm}^{-2}$ ) 高一个数量级。而且氮化镓材料击穿电压很高，非常适合制作大功率器件。





# AlGaIn/GaN HEMT特性曲线

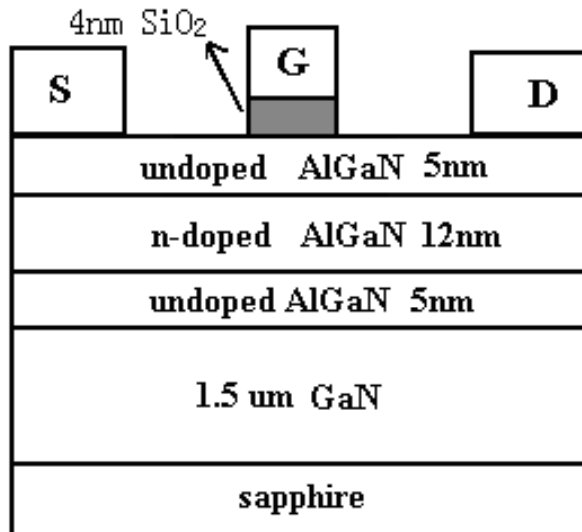


半绝缘SiC衬底上AlGaIn/GaN HEMT输出转移特性

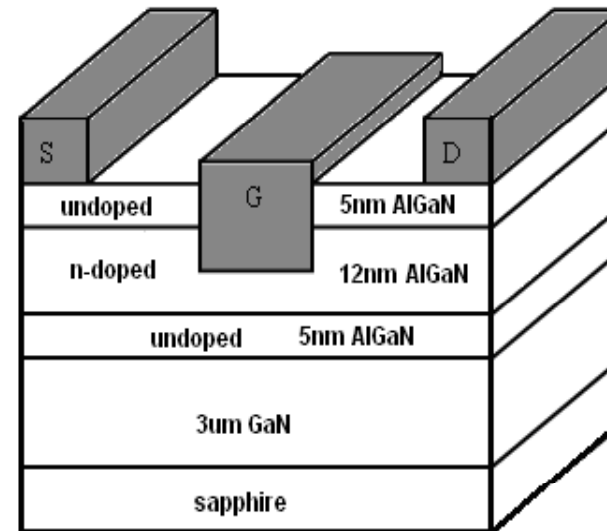
采用场板结构的器件击穿电压接近200V，每毫米栅宽功率密度  
8GHz下接近10W



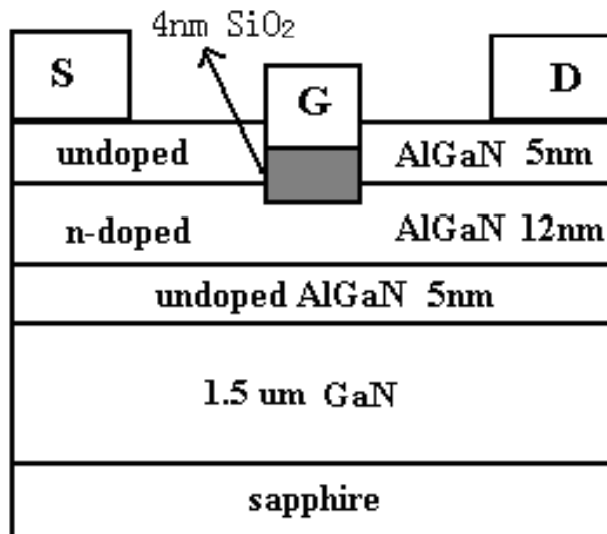
# 不同结构AlGaN/GaN HEMT



MOS结构GaN HEMT



槽栅结构 GaN HEMT



槽栅MOS结构GaN HEMT

通过控制槽栅深度或注入F离子可实现增强型HEMT



## 第13章小结

- 我们讨论了结型场效应晶体的性质以及特性曲线,三种普通的 JFET 是 pn JFET、MES-FET 以及 HEMT。
- JFET 中的电流由垂直于电流方向的电场控制,电流存在于源极和漏极接触之间的沟道区中。在 pn JFET 中,沟道形成了 pn 结的一边,用于调制沟道电导。
- JFET 的两个主要参数是内建夹断电压  $V_{p0}$  和夹断电压  $V_p$  (阈电压)。内建夹断电压定义为正值,它是引起结的空间电荷层完全填满沟道区的栅极与沟道之间的总电势。夹断电压(阈电压)定义成形成夹断时所需加的栅极电压。
- 推导了理想的  $I-V$  关系。跨导即晶体管增益,是漏电流随着栅源电压的变化率。
- 讨论了三种非理想的因素:沟道长度调制效应、饱和速度和亚阈值电流,这些效应将改变理想的  $I-V$  关系。
- 分析了 JFET 的一种小信号等效电路,等效电路中包含等效电容;两个物理因素影响到频率限制,即沟道输运时间与电容电荷存储时间。电容电荷存储时间常数通常在短沟道器件中起作用。
- 高电子迁移率晶体管(HEMT)中用到了异质结结构。在异质结表面,二维电子气被限制在势阱中。电子可以平行于表面运动。这些电子与电离了的空穴分离,以减小电离杂质散射效应,形成高的迁移率。





# 重要术语解释

电容电荷存储时间:栅极输入信号改变使栅极输入电容存储或释放电荷的时间。

沟道电导:当漏源电压趋近于极限值零时,漏电流随着漏源电压的变化率。

沟道电导调制效应:沟道电导随栅极电压的变化过程。

沟道长度调制效应:JFET处于饱和区时,有效沟道长度随漏源电压而变化。

电导参数:增强型 MESFET 的漏电流与栅源电压的表达式中的倍数因子  $k_n$ 。

截止频率:小信号栅极输入电流值与小信号漏极电流值一致时的频率。

耗尽型 JFET:必须加以栅源电压才能形成沟道夹断使器件截止的 JFET。

增强型 JFET:栅极电压为零时已经夹断,必须加以栅源电压以形成沟道,以使器件开启的 JFET。

内建夹断电压:沟道夹断时栅结上的总电压降。

输出电阻:栅源电压随漏极电流的变化率。

夹断:栅结空间电荷区完全扩展进沟道,以至于沟道被耗尽的自由载流子充满的现象。





# 知识点

- 叙述 pn JFET 和 MESFET 的基本工作原理。
- 讨论具有半绝缘衬底的 GaAs MESFET 的沟道区中电流的分布情况。
- 大致绘出耗尽型 JFET 的  $I-V$  特性曲线。
- 讨论内建夹断电压和夹断电压是怎样定义的。
- 确定 JFET 的跨导。
- 讨论增强型 MESFET 的概念。
- 讨论 JFET 中的三种非理想情况：沟道长度调制效应、饱和速度和亚阈值电流。
- 大致绘出 JFET 的小信号等效电路。
- 讨论频率限制因子，定义截止频率。
- 大致绘出一个典型的 HEMT 的截面图。
- 列举 HEMT 相对于 MESFET 的优点。



# 复习题

1. 大致绘出 p 沟道 pn JFET 的截面图, 标明器件工作时的电压极性。
2. 大致绘出 p 沟道 pn JFET 的截面图, 分别标明工作于非饱和区和饱和区时的耗尽区。
3. 大致绘出 n 沟道 GaAs MESFET 的截面图。
4. 详细说明 pn JFET 的内建夹断电压和夹断电压。
5. 详细说明 MESFET 的阈电压。
6. 大致绘出 JFET 的小信号等效电路。
7. 详细说明 JFET 的两个频率限制因子, 以及截止频率的条件。
8. 大致绘出 AlGaAs-GaAs HEMT 的截面图, 以及异质结的导带能带图。
9. HEMT 相对于 MESFET 的优势是什么?





# 谢谢!



www.xidian.edu.cn