

场效应器件物理

西安电子科技大学

XIDIAN UNIVERSITY

绪论

现代集成电路人才的知识结构

- 物理知识：量子力学→固体物理→半导体物理→半导体器件物理
- 电路知识：数字电路→模拟电路→数字集成电路→模拟集成电路
- 系统知识：信号与系统→计算机体系结构，通信系统原理，信息处理
- 工艺知识：半导体工艺原理→材料与封装
- 工具知识：**Cadence/Synopsys/Mentor**等开发出的**EDA**软件工具
 - ◆ 逻辑电路级：**VHDL**、**Verilog HDL** 硬件描述语言和分析综合工具
 - ◆ 晶体管级：**SPICE**等电路分析工具

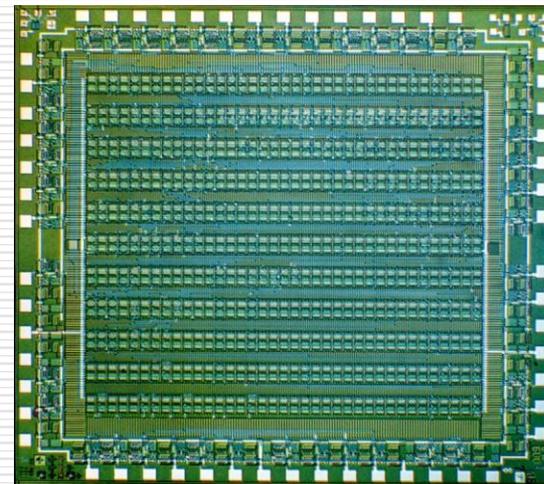
本课程要求

- 听课要求 预习教材，记好记录
 注重概念原理，兼顾公式数据
- 先期基础 半导体物理：能带论，载流子输运
 双极型器件物理：pn结
- 教材 **D.A Neamen** 《半导体物理与器件》
- 参考书 施敏 《半导体器件物理》、
 Richard S. Muller 《集成电路器件电子学》、
 Robert F. Pierret 《半导体器件基础》
 Chenming Calvin Hu 《现代集成电路半导体器件》

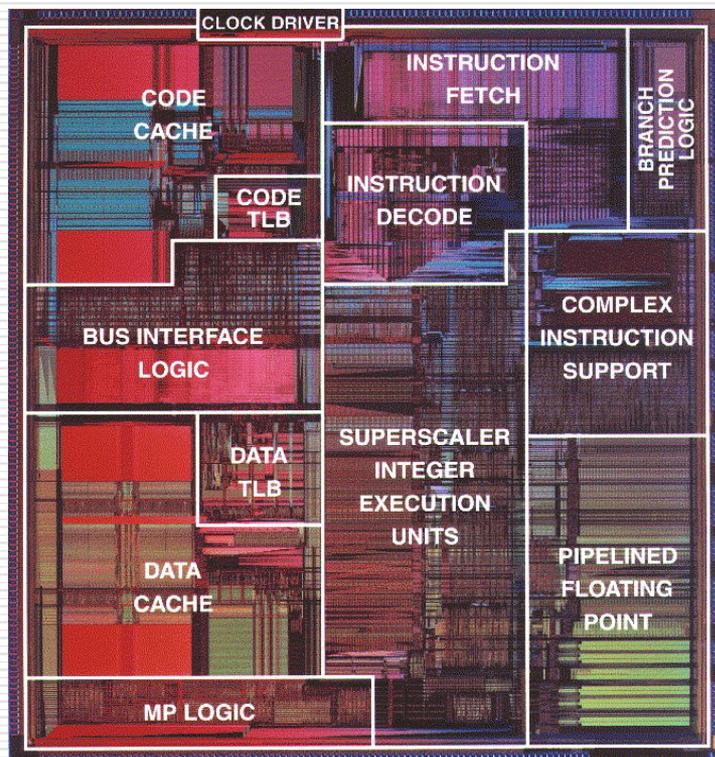
- ❑ 集成电路（**IC, Integrated Circuits**）：微电子技术的核心，**IC**是电路的**单芯片**实现
- ❑ 集成电路：通过一系列特定的加工工艺，将晶体管、二极管等有源器件和电阻、电容、电感等无源器件，按照一定的电路互连，“集成”在一块半导体晶片上，并封装在一个外壳内，执行特定电路或系统功能的微结构。



封装好的集成电路



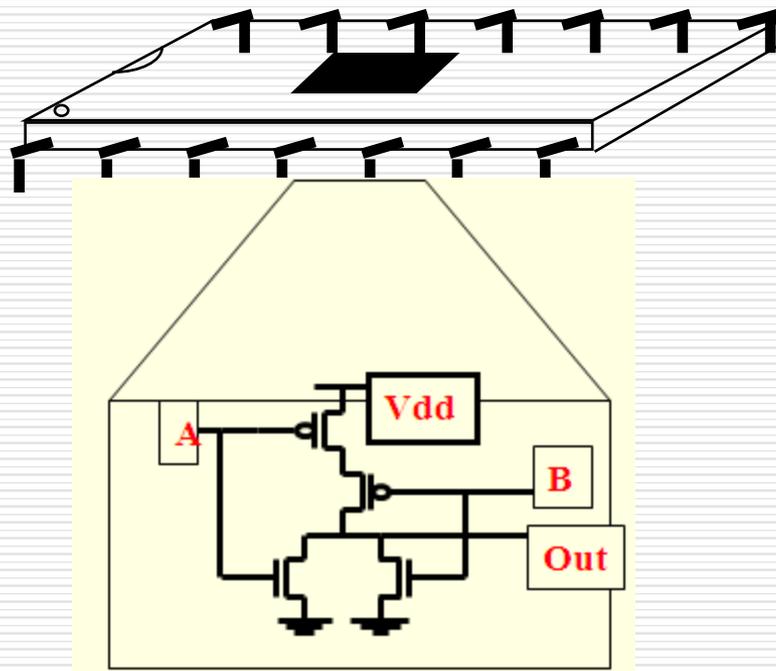
集成电路芯片的显微照片

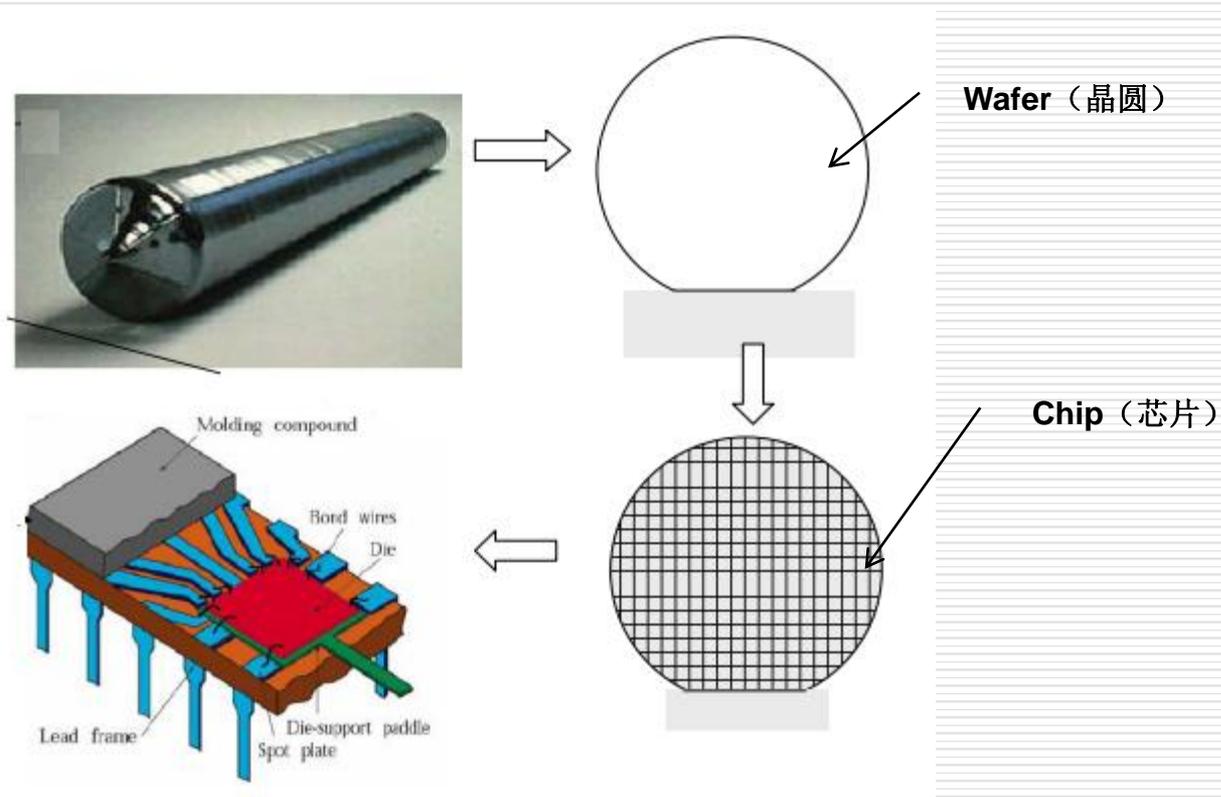


酷睿2双核处理器:

65nm工艺, 4.1亿MOSFET, 1cm²

- ❑ IC是元器件、互连线的集合
- ❑ IC的内部电路
- ◆ 或简单或复杂的电路结构



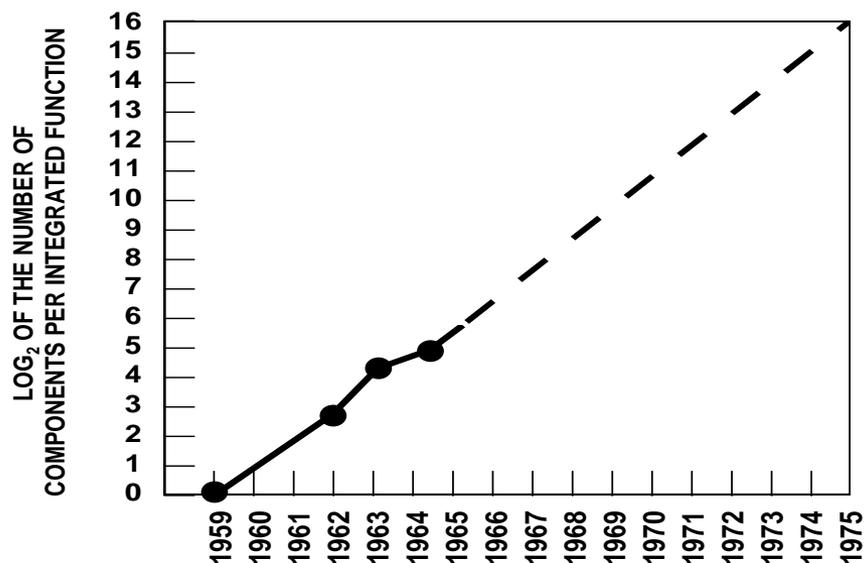


◆单晶制备 ◆晶圆制备 ◆芯片制备 ◆测试封装

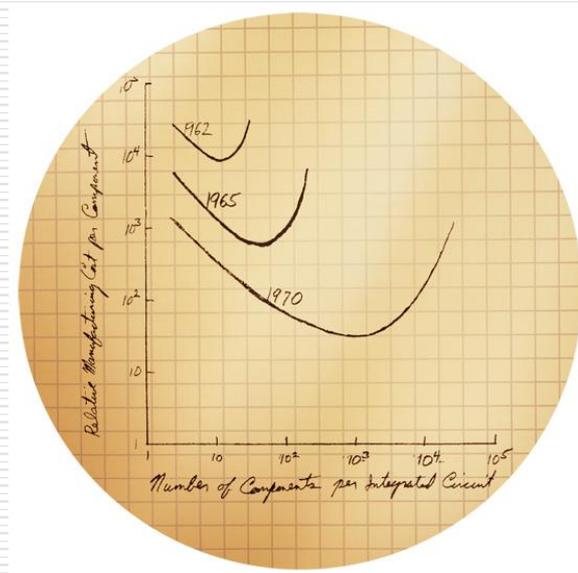
集成电路概况

发展：摩尔定律

- **Moore's Law**: Intel公司创始人之一，**Gorden E. Moore**博士在研究存储器芯片上晶体管增长数的时间关系预测
 - ◆ 半导体芯片上集成的晶体管和电阻数量将每年翻一番
 - ◆ **1975**年又提出修正说，芯片上集成的晶体管数量将每两年翻一番



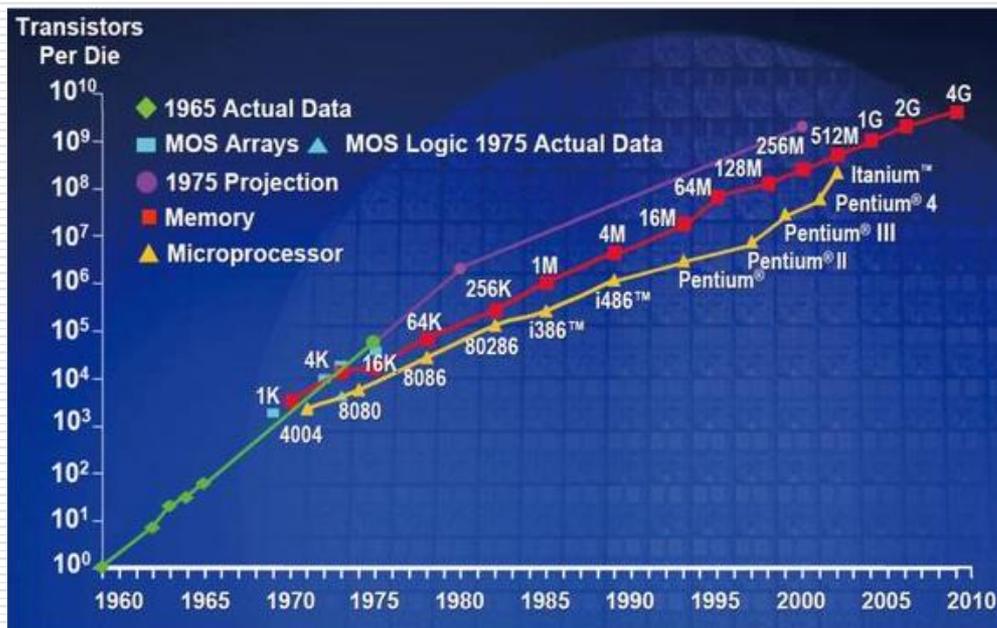
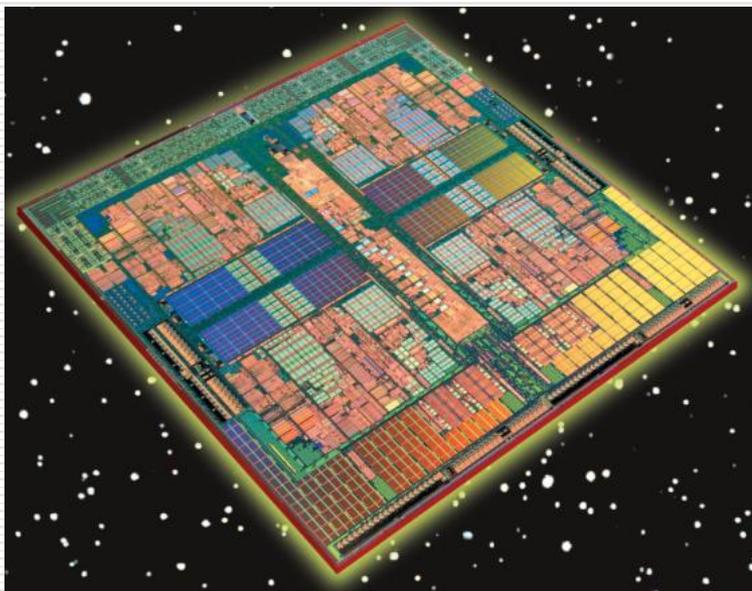
引自*Electronics*, April 19, 1965.



Moore预测曲线的原始手稿

集成电路概况

发展：摩尔定律



□ 实际发展规律：

- ◆ 芯片上集成的晶体管数量，每隔**18个月**翻一番
- ◆ 器件尺寸减小，晶圆尺寸增加。

集成电路概况

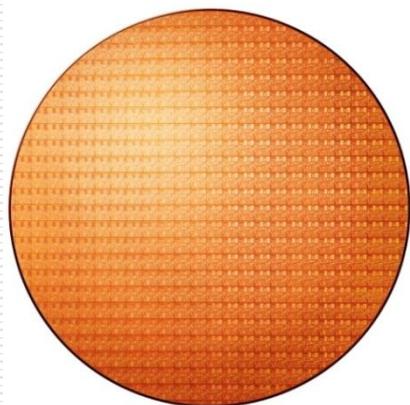
发展：趋势

年度	1999	2001	2004	2008	2014
工艺(μm)	0.18	0.13	0.09	0.06	0.014
晶体管(M)	23.8	47.6	135	539	3500
时钟频率(GHz)	1.2	1.6	2.0	2.655	10
面积(mm^2)	340	340	390	468	901
连线层数	6	7	8	9	10
晶圆直径(英寸)	12	12	14	16	18
引脚数目	700		957		3350
功耗(W)	90		130		183

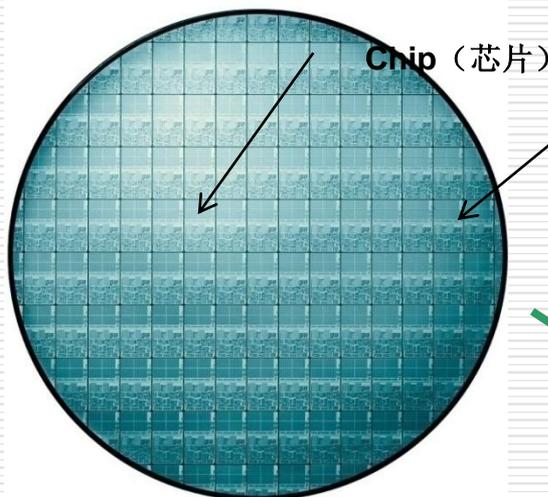
- 特征尺寸越来越小，单位面积晶体管数目越来越多
- 时钟频率越来越快
- 布线层数越来越多
- 圆片面积越来越大
- 引脚数目（I/O引线）越来越多
- 电源电压越来越低

集成电路概况

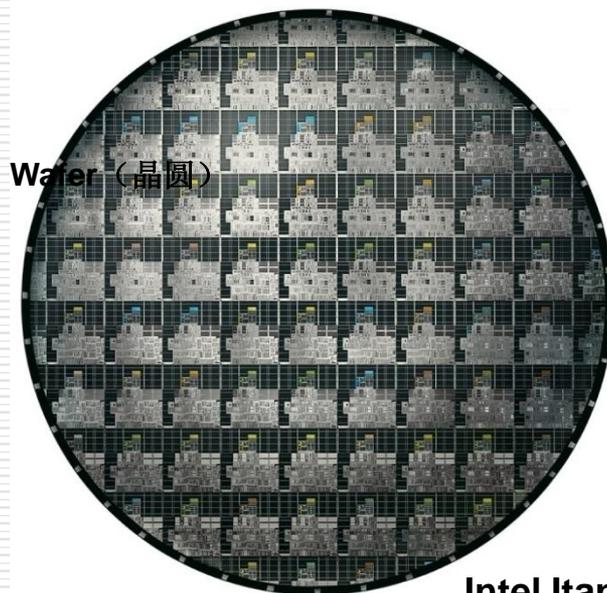
发展： 集成电路圆片(Wafer)



Intel Pentium 4



Intel Xeon™

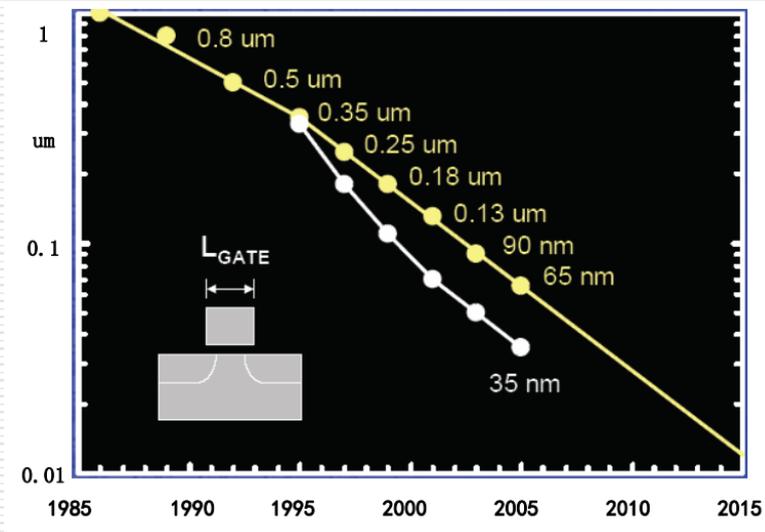


Intel Itanium

□ 追求大尺寸：

- ◆ 晶圆尺寸大，晶圆上的芯片数越来越多，产量高，成本低。
- ◆ 300mm硅片相对于200mm硅片，直径为1.5倍，面积为 $1.5^2=2.25$ 倍，芯片数为2.64倍

□ 晶圆尺寸越大， 工艺要求高



□ 特征尺寸：

- ◆ 芯片中最小线条宽度，**最小栅宽**
- ◆ 工艺**技术水平**的标志：特征尺寸由**光刻精度**决定
- ◆ 由**um**量级减小到了**nm**量级
- ◆ 器件尺寸减小，单位面积芯片上的器件数越来越多，功能越来越强大

硅基IC发展的可能极限

- ◆ **1nm**是研究的极限：**1nm**相当于**13**个硅原子并排放在一起的尺度，再往下就没有理论研究的意义了；
 - ◆ **1-4nm**是物理极限：量子效应已经很明显，会使器件无法工作，即使有新型器件结构出现，也将无法用于超大规模集成电路；
 - ◆ **4nm**是制造极限：工艺水平无法实现更小的尺寸需求，在这个极限以下就只能做理论研究，而无法制作样品了；
 - ◆ **9nm**是成本效益的极限：这种器件即使能研制出来，它的成本已经超过尺寸减小带来的好处，性价比下降，没有实用价值。
- 发展共识：
- ◆ 单纯依靠尺寸的**等比例缩小**，不足以满足硅器件性能的持续增长
 - ◆ 需引入元素周期表中的**新元素**，研发**新结构**，驱动器件性能提高

关于距离量级的感性认识

□ 微电子学：

研究电子在半导体和**IC**中的物理现象、物理规律，并致力于这些现象规律的应用，包括器件物理、器件结构、材料制备、集成工艺、电路与系统设计、测试封装等。

□ $1\text{m}=10^2\text{cm}=10^3\text{mm}=10^6\mu\text{m}=10^9\text{nm}=10^{10}\text{\AA}=10^{12}\text{pm}=10^{15}\text{fm}$



- ◆ IGFET Insulator Gate FET
- ◆ MISFET Metal- Insulated-Semiconductor FET
- ◆ MOSFET Metal- Oxide -Semiconductor FET
- ◆ pn-JFET pn Junction FET
- ◆ MESFET Metal-Semiconductor FET (Schottly Barrier Gate)

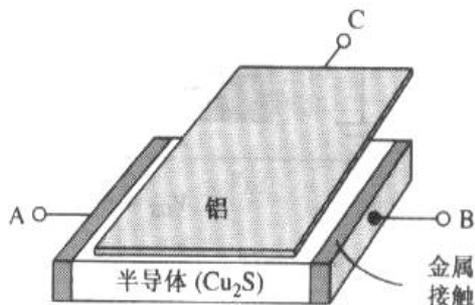
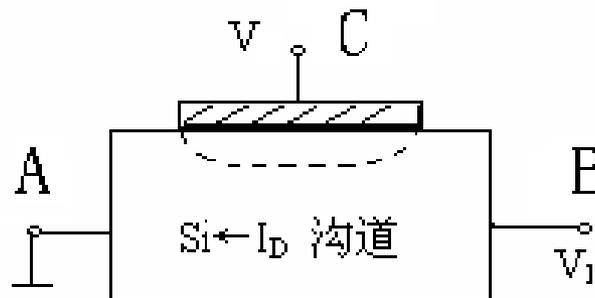


图 13.1 理想晶体管



□ 第一个理想FET:

- ◆ 半导体左右两端，利用M和S欧姆接触引出AB电极，
- ◆ 半导体上金属板引出C控制电极
- ◆ MOSFET: 电阻型沟道。

□ 基本工作原理：加在金属板上的电压调节下面半导体的电导（沟道电阻），从而实现对AB两端的电流控制。

□ 场效应：加在半导体表面上的垂直电场调制半导体电导率的现象。

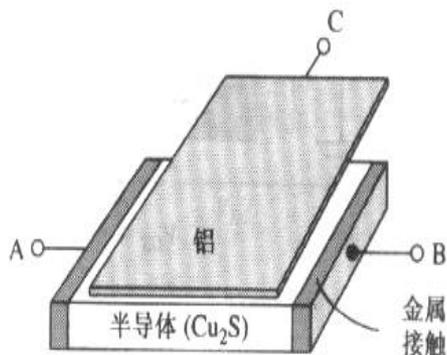


图 13.1 理想晶体管

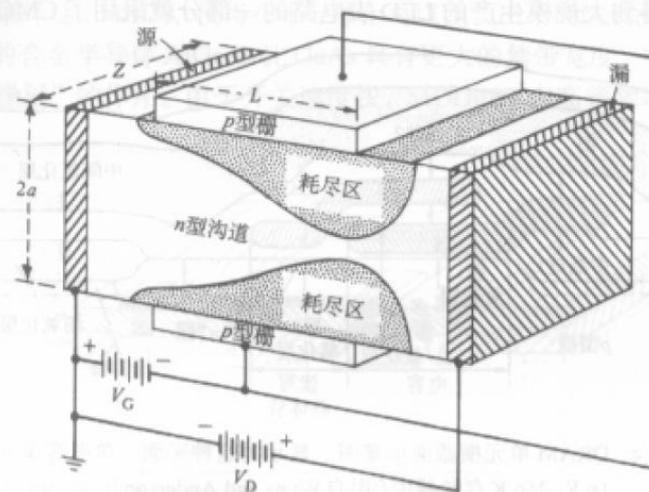


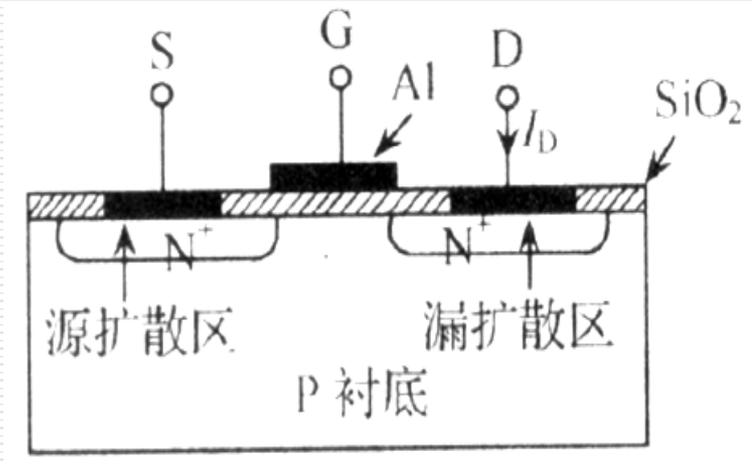
图 15.2 结型场效应晶体管示意图 (引自 Dacey and Ross^[3], © 1955 AT&T)

□ FET中最先发展起来的是JFET:

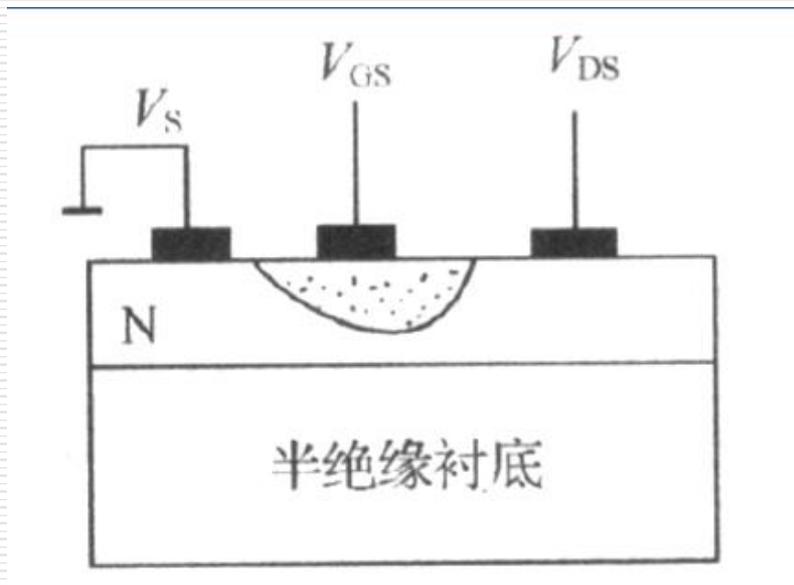
◆ JFET工艺与双极型晶体管工艺兼容

□ JFET: pn结代替了金属平板, A、B变为源漏, 场效应电极称为栅。

□ 基本工作原理: 上下耗尽区之间为导电沟道。通过改变pn结偏压, 改变pn结耗尽层厚度, 改变沟道区的电导, 控制输出电流。



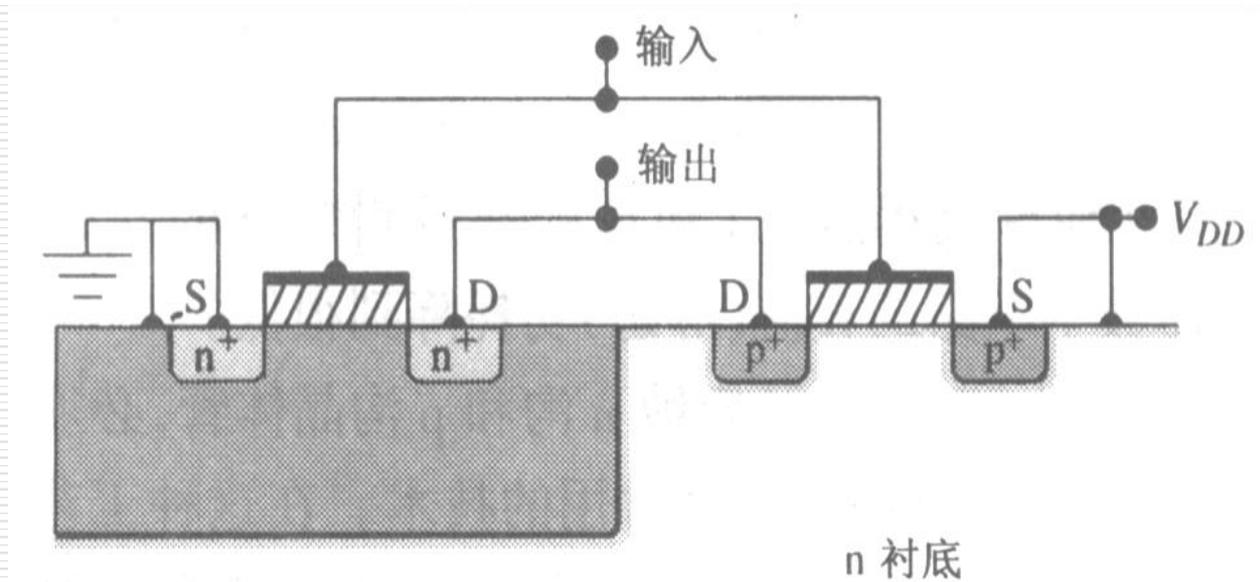
- **MOSFET发展比JFET滞后:**
 - ◆ 工艺问题，无法生长高质量的氧化层介质薄膜
- **60年代生产出的MOSFET:**
 - ◆ 具有热生长的 SiO_2 绝缘层栅、源、漏三电极，
与衬底掺杂类型相反的SD区
- **MOSFET结构简单，尺寸小，功耗低，是现今IC的核心器件**



□ MESFET:

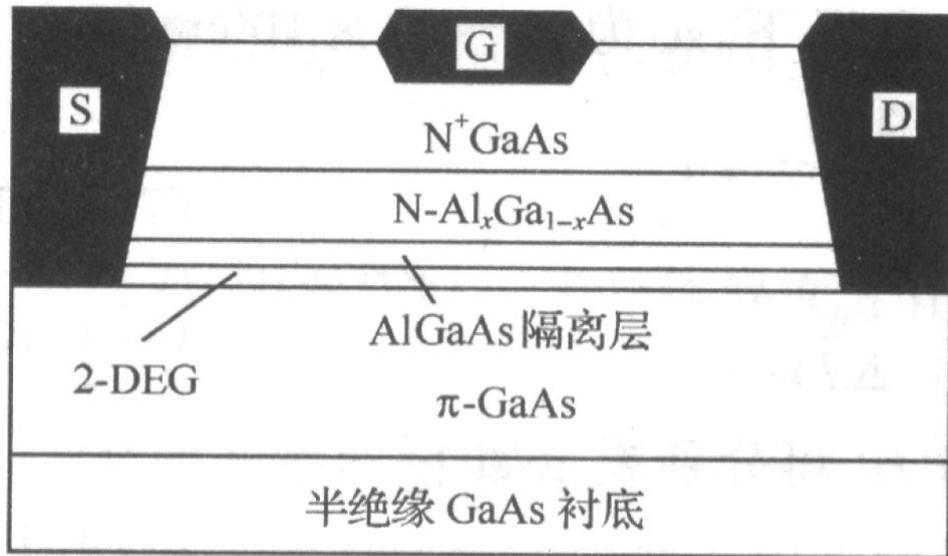
- ◆ 肖特基栅FET，66年发明
- ◆ 半导体材料一般为GaAs

电子迁移率比Si大5倍，峰值漂移速度比Si大1倍，速度快



□ CMOS电路:

- ◆ 20世纪80年代发展起来
- ◆ 利用PMOS与NMOS的互补特性
- ◆ 具有低功耗及全摆幅等优点，应用比较广泛



□ HEMT:

◆ 1980年发明

◆ 利用异质结形成的二维电子气，作为沟道，

把导电的多数载流子与电离的杂质分离

→载流子受电离杂质散射↓→迁移率↑

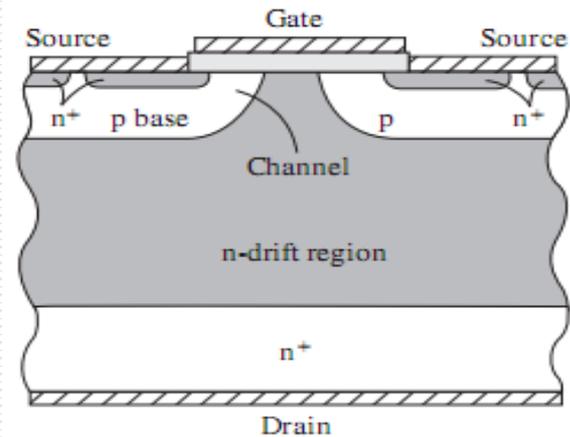
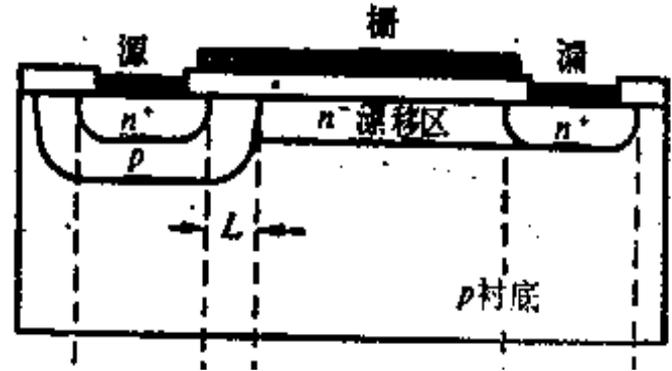
◆ 开关速度快，截止频率高，在高频领域广泛应用

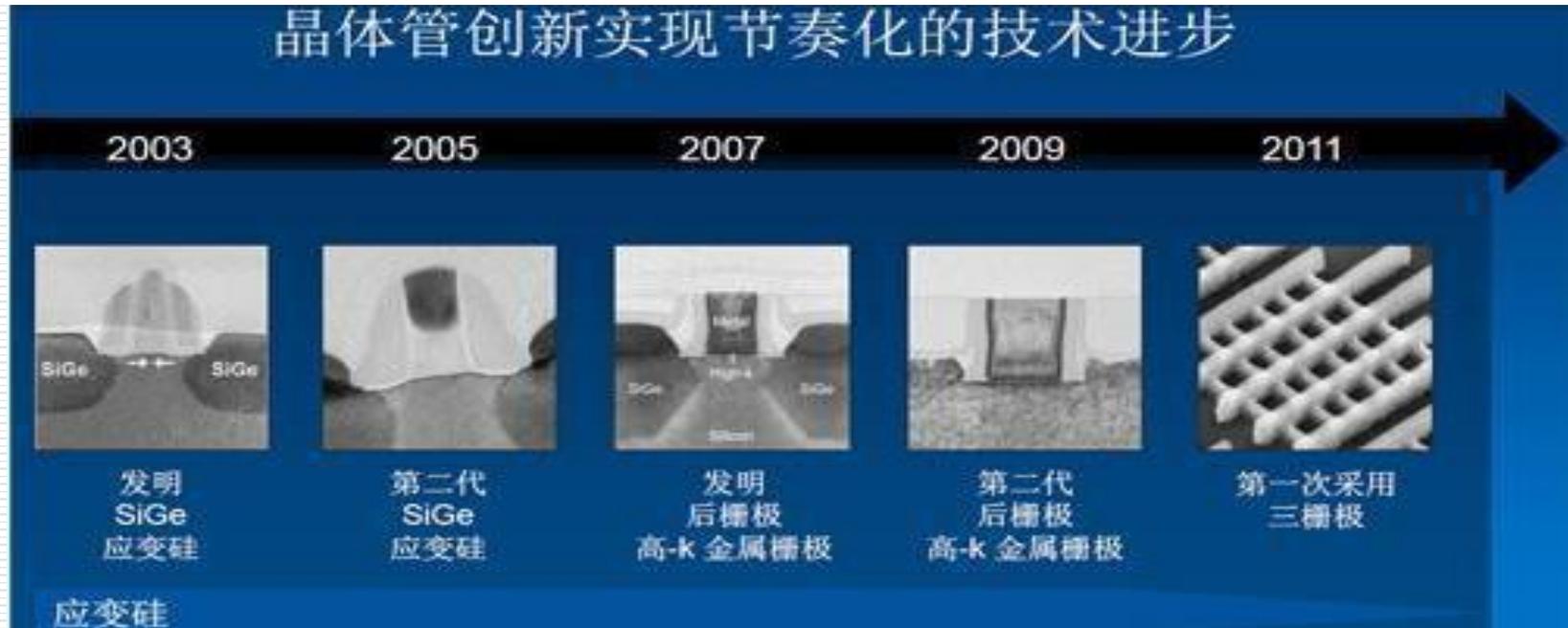
场效应器件发展 DMOS (LDMOS+VDMOS)

- DMOS:
 - ◆ Double Diffusion 双扩散MOSFET
 - ◆ 功率MOSFET: 高电压大电流应用
- LDMOS:

在沟道和漏之间增加了一个较长的低浓度N漂移区，器件耐压增加
- VDMOS:

电子从源极穿过水平沟道，经过栅极下面的积累层，再通过垂直N-漂移区流到漏极。





- ❑ intel公司微处理器的发展代表了晶体管新材料和新结构的发展
- ◆ 应变硅(Strained Silicon)技术（90nm开始）
- ◆ High-K和金属栅极（45nm开始）
- ◆ 三栅3-D晶体管（22nm开始）

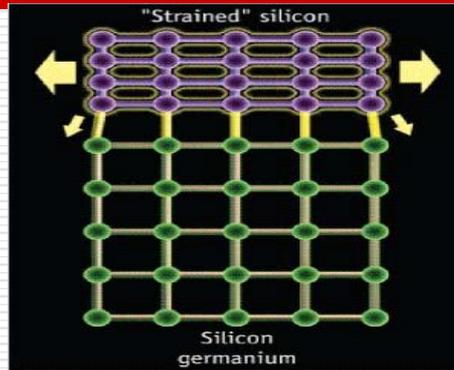
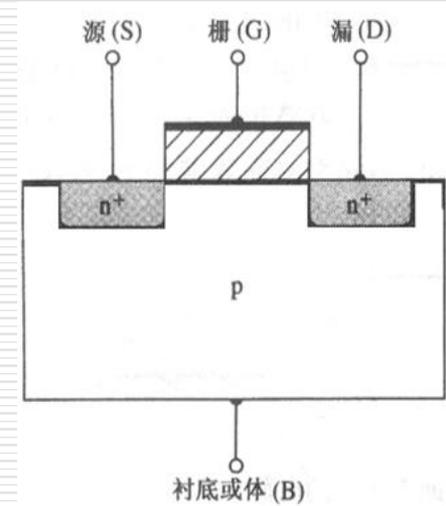


图1. 应变硅的结构示意图 (图片来源: www.istis.cn)

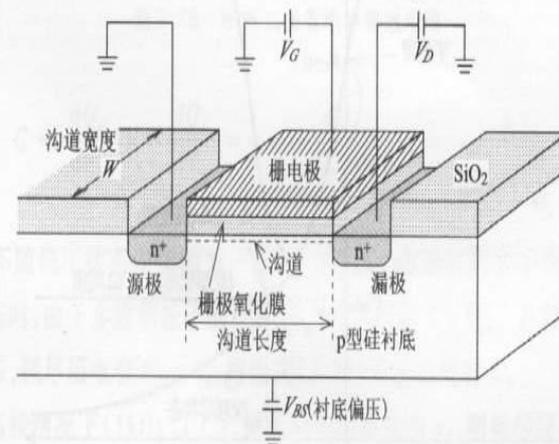
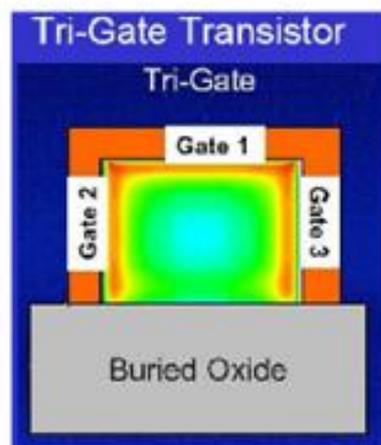
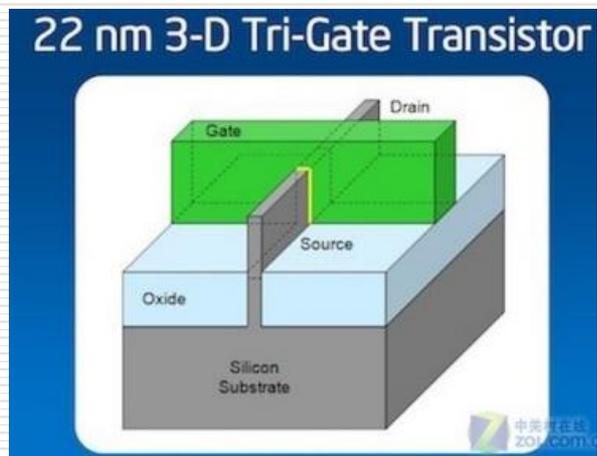
- 应变硅(**Strained Silicon**)技术 (90nm开始)
 - ◆ 在原子间距大的**锗硅**上外延一层薄的原子间距小的**硅**
 - ◆ 硅原子在锗原子之间力的作用下发生应变, 在平行衬底平面的方向**扩张了原子间距**----- “应变硅”
- 载流子 u 及饱和速度均增加:
 - ◆ 晶体管的电流强度、运行速度、芯片工作频率提高
- 应变硅是满足**65nm**以下工艺要求的一种高端硅基新材料

- High-K和金属栅极（45nm开始）
- 60nm工艺，CMOS的SiO₂厚度=1.2nm
 - ◆ 隧穿电流非常严重，10³A/CM²,
- 45nm采用高K新材料+金属栅技术
 - ◆ 栅极高k绝缘介质，可提高栅极电容
 - ◆ High-K材料与多晶硅与栅兼容性差：
用硅化金属电极 (Metal Gate)取代多晶硅。
- 45nm高k +金属栅制程技术，跟65nm工艺相比，
 - ◆ 将晶体管数量提高近2倍，产品面积小了25%



场效应器件发展

新器件4



- 22nm工艺：采用**三栅3D**晶体管
 - ◆ 比平面栅结构多了两个栅电极，
 - ◆ 栅对沟道的静电控制增强

场效应器件发展

新器件5

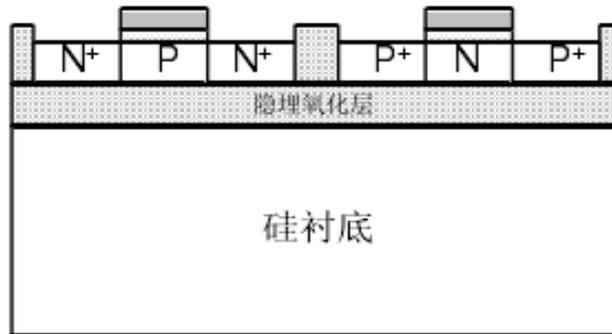
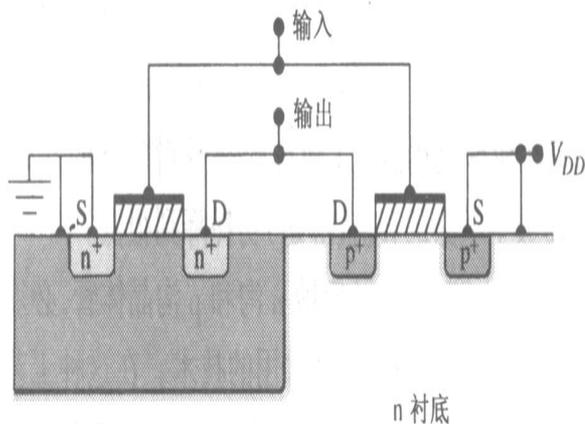


图 1.7 典型的 SOI CMOS 结构

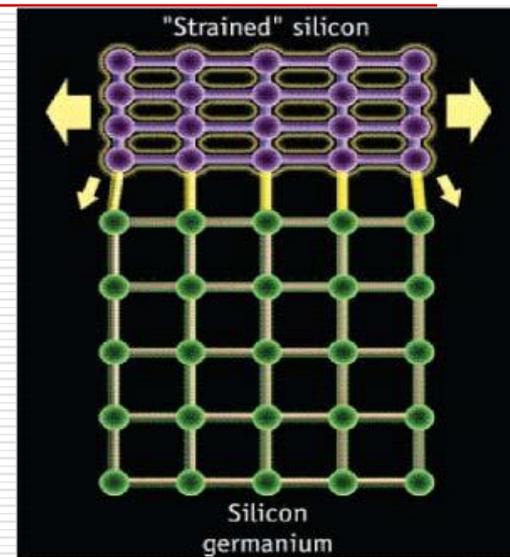


图1. 应变硅的结构示意图 (图片来源: www.istis.cn)

□ 衬底的变化:

◆ 体硅CMOS

◆ SOI (Silicon-On-Insulator, 绝缘衬底上的硅) CMOS:

可实现IC中元器件的介质隔离, 彻底消除了体硅CMOS闩锁效应

◆ 应变硅技术:

提高晶体管的电流强度、运行速度、芯片工作频率

场效应器件发展

新器件6

□ 栅的变化:

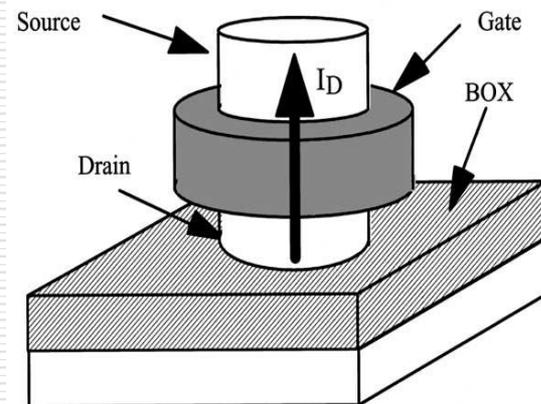
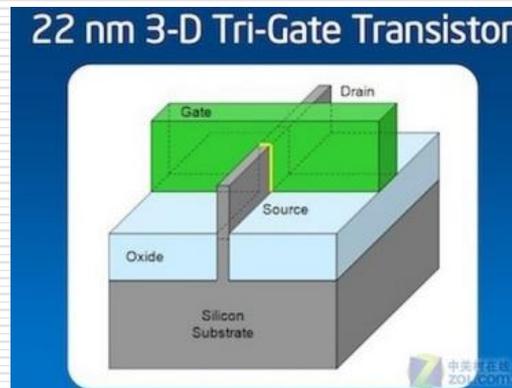
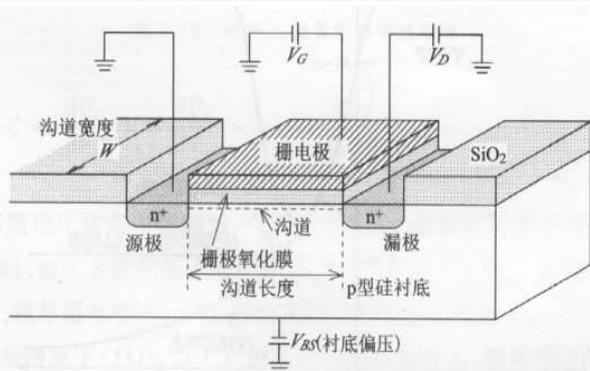
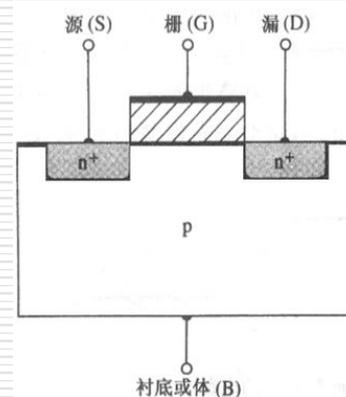
◆ 栅材料: $\text{SiO}_2 + \text{Al}$ 栅, $\text{SiO}_2 + \text{poly-Si}$ 栅, 高K栅介质+金属栅

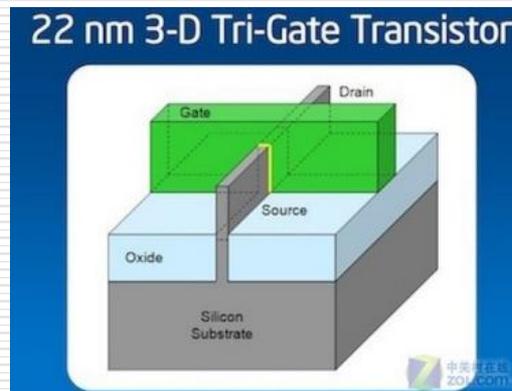
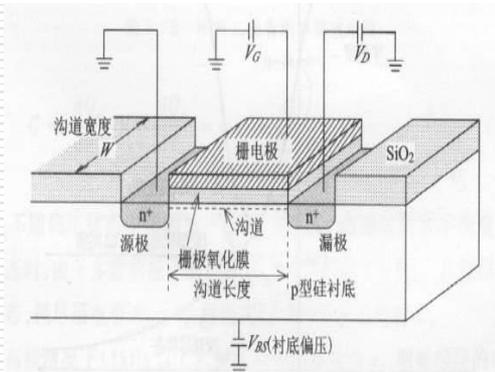
◆ 栅的结构: 单栅器件, 三栅器件; 围栅器件

□ 围栅MOSFET:

◆ 栅环绕着一个柱形硅条, 整个沟道区被栅极完全包围,

◆ 栅控能力大大增强, 有效抑制短沟道效应和泄漏电流





- 器件新结构、新材料的出现，使得摩尔定律继续发展
- 大量研发工作需进行：
 - ◆ 加工工艺层次：如光刻技术、互连技术等
 - ◆ 电路技术层次：低电压、低功耗等
 - ◆ 器件：小尺寸器件输运理论、器件模型、结构、可靠性等
 - ◆ 材料：新材料导电性兼容性等

本门课主要内容

- 第**11**章 金属氧化物半导体场效应晶体管基础
- 第**12**章 金属氧化物半导体场效应晶体管：
概念的深入
- 第**13**章 结型场效应晶体管

FET区别于BT的特性 (1)

- **FET**为高输入阻抗， 10^{10} 欧姆：
 - ◆ 驱动功率小，易与标准的微波系统匹配
- **FET**为电压控制器件，**BT**为电流控制器件
 - ◆ **FET**通过 V_G 控制沟道开闭 $\rightarrow I_D=0, \max$ ，用作数字开关器件
 - ◆ **FET**通过 ΔV_G 控制沟道厚度 $\rightarrow \Delta I_D$ ，用作模拟放大器件
- **FET**用跨导 g_m 表征放大能力，**BT**用 β 表征放大能力
 - ◆ **FET**: $g_m \equiv \Delta I_D / \Delta V_G$
 - ◆ **BT**: $\beta \equiv \Delta I_C / \Delta I_B$
- **FET**中只有多子参与导电，**BT**中少子、多子同时参与导电

FET区别于BT的特性（2）

- FET的电流形成机构以漂移为主，BT的电流形成机构以扩散为主
 - ◆ FET无正偏PN结，所以无少子存储效应
 - ◆ FET的大信号开关速度较高
- FET具有负电流温度系数，BT具有正电流温度系数

爱因斯坦关系 $\frac{D}{\mu} = \frac{kT}{q}$

BT: 少子扩散电流 $I \propto D \propto T$

FET: 多子漂移电流 $I \propto \mu \propto \frac{1}{T}$

- ◆ FET整个器件温度分布更均匀，不会出现BT中发生的二次击穿

END

绪论