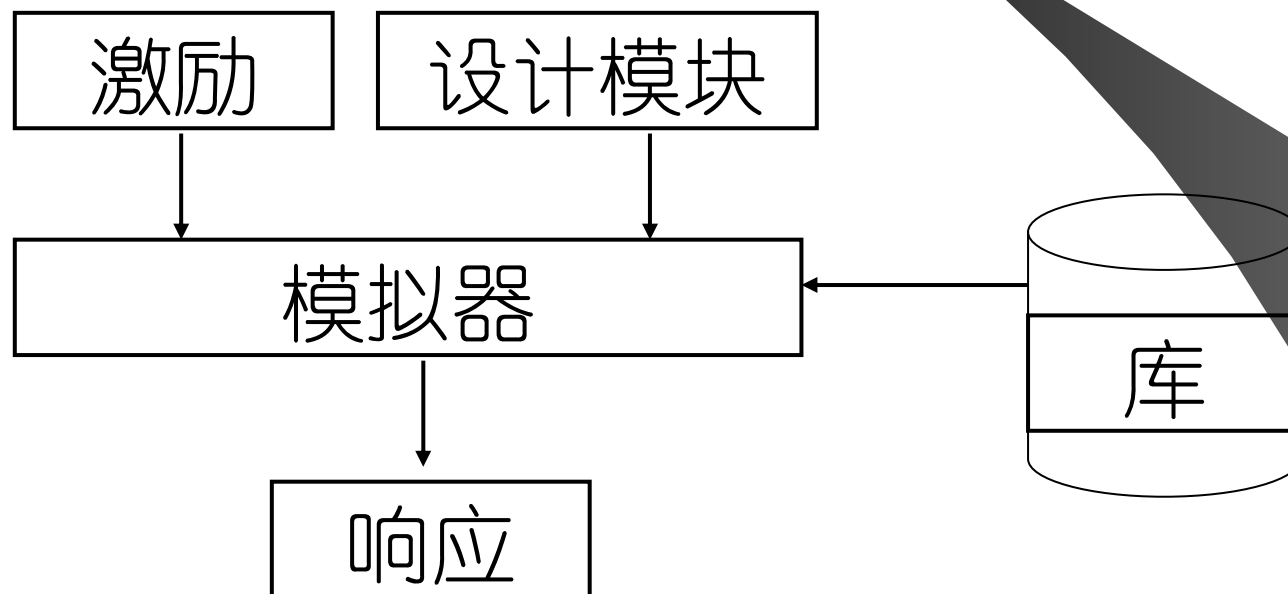


第4章 模拟 simulation

- 功能模拟、时间模拟
- 软件模拟、硬件加速器、硬件仿真器
- 模拟器 simulator
- 模拟电路需要的信息
 - 原形设计模型、元器件库、激励信号、理想响应
 - 激励信号格式：逻辑值、波形图、伪随机测试图形、testbench

模拟过程



4.1 大规模设计模拟

- 后端模拟
 - 门级模拟
 - RTL级模拟
 - 行为级模拟
- 

4.1.1 testbench

- 对HDL语言描述的数字电路模型，采用testbench施加测试图形，进行响应分析

移位寄存器设计

testbench

4.1.2 基于设计阶段的模拟

元件级设计

结构级设计

采用同步时钟模拟

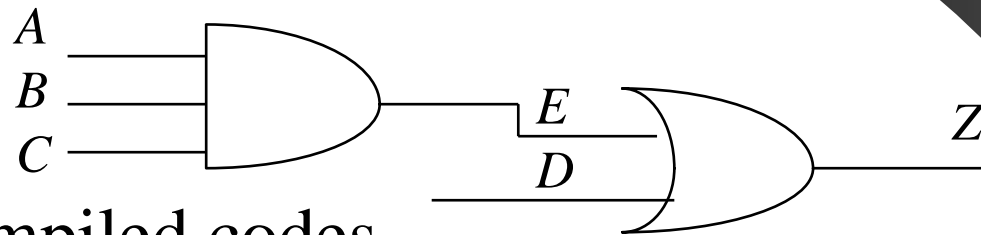
4.2 逻辑模拟

编译模拟

解释模拟（事件驱动）

4.2.1 编译模拟

- 电路网表 \rightarrow 机器指令码序列



- Compiled codes

- LDA A /* load accumulator with value of A */
- AND B /* calculate A and B */
- AND C /* calculate $E = AB$ and C */
- OR D /* calculate $Z = E$ or D */
- STA Z /* store result of Z */

优点：速度快 缺点：改变导致重新编译
适用于组合电路/同步时序电路

4.2.2 事件驱动模拟

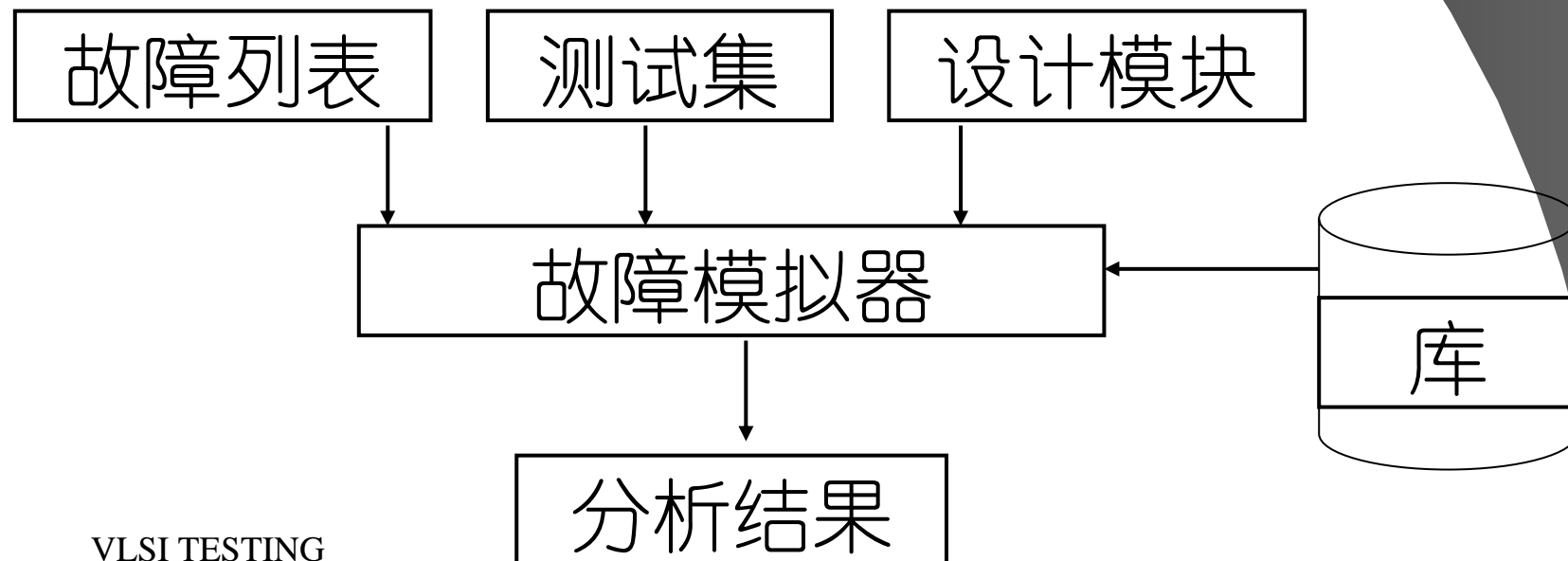
- 事件指信号逻辑值改变
- **While** (event list not empty) **begin**
 - $t =$ next time in the list
 - **for every** event (i, t) **begin**
 - update value of gate i
 - schedule fanout gates of i in the event list if value changes are expected
 - **end**
- **end**

4.2.3 延迟模型

- 静态时间分析STA
 - 关注关键路径的延迟，元件的数据表计算
- 模拟测试生成、测试分析、测试施加

4.3 故障模拟

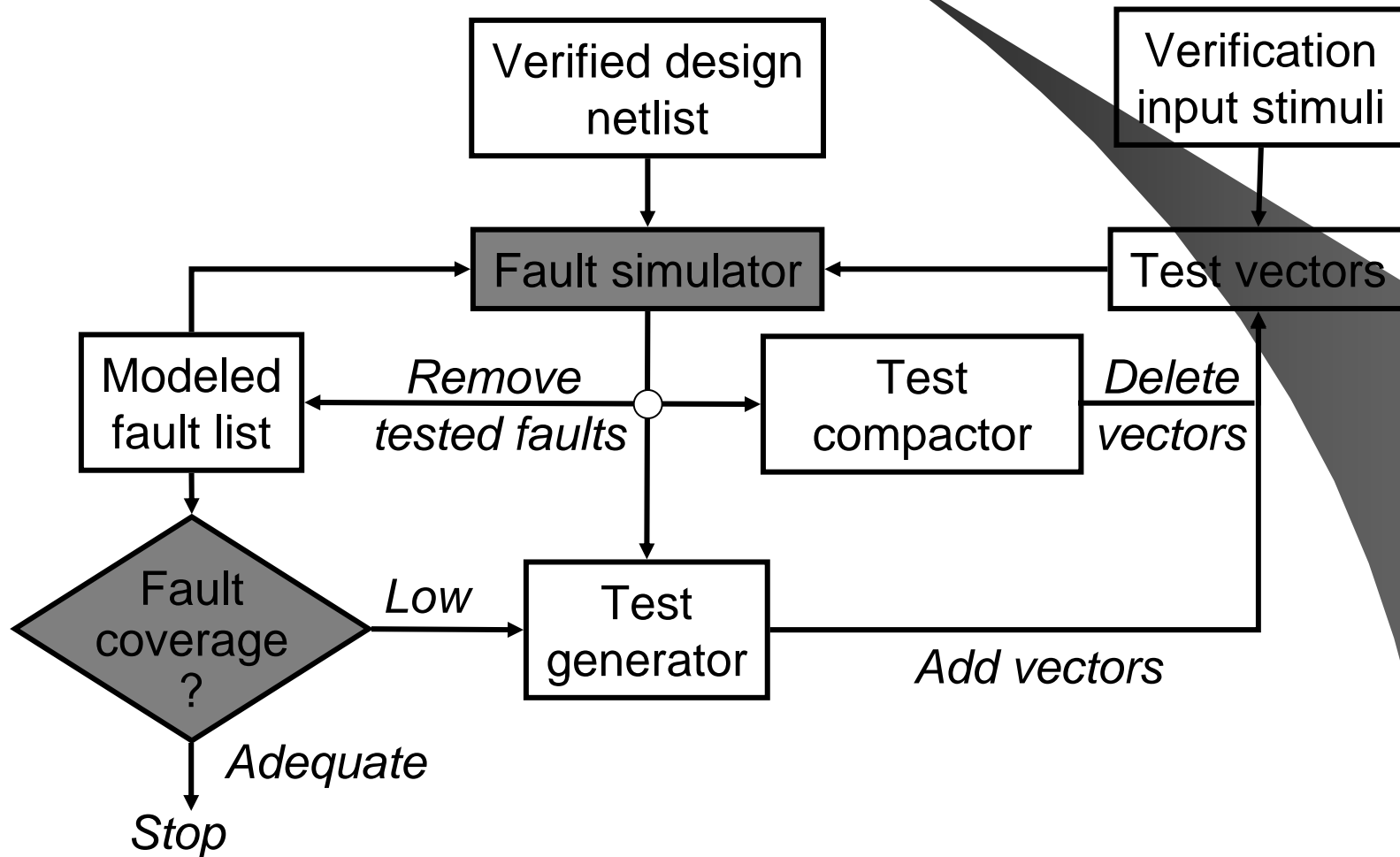
- 定义：面向一个电路求一组故障测试集，并检验这些测试矢量在检测或定位故障时的有效性，确定测试集的故障覆盖率



故障模拟的作用

- 给定
 - 被测电路
 - 测试图形
 - 故障模型
- 确定
 - 故障覆盖率
 - 未检测的故障

VLSI 设计流程中的故障模拟



- 故障模拟器分类： 编译驱动模拟器
表格驱动模拟器
- 主要方法： 并行故障模拟、演绎故障模拟、并发故障模拟

4.3.1 并行故障模拟

- 故障注入与处理都是并行的，位式处理的模拟
- 故障注入：把逻辑故障的作用注入到故障元件的计算中

$M(s) = 1$ 故障有效 $= 0$ 故障无效

$f_v(s) = 1$ 故障 $s-a-1$ $= 0$ 故障 $s-a-0$

S点故障注入： $s' = s \overline{M(s)} + M(s) f_v(s)$

并行故障模拟过程

- 1) 输入电路的拓扑关系和元件的功能
- 2) 对电路各元件进行逻辑级别化
- 3) 给电路每一节点分配一组内存的位
- 4) 注入故障参数 $M(s)$ 和 $f_v(s)$
- 5) 从测试集取一个测试矢量，做初始化
- 6) 对原始输入进行屏蔽化处理，按级别做逻辑运算，每次输出应做屏蔽化
- 7) 检查原始输出矢量与正常值不同的位

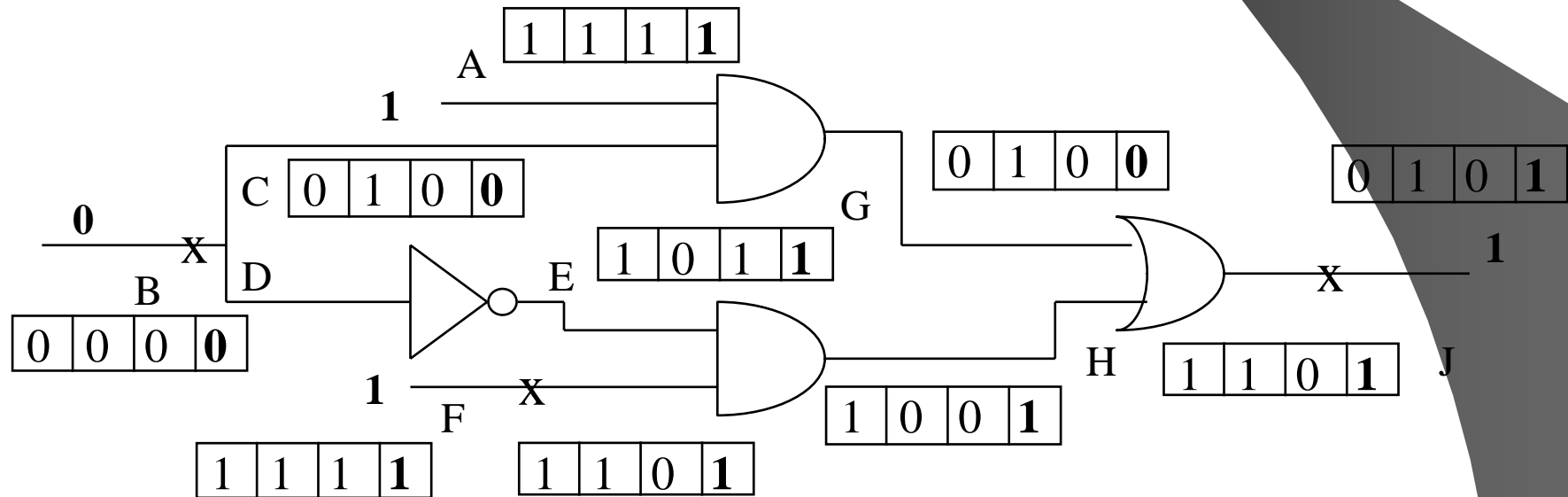
并行故障模拟举例

- 3 faults: B/1, F/0, and J/0

— Bit-space:

J/0	B/1	F/0	FF
-----	-----	-----	----

 where **FF** = Fault-free



4.3.2 演绎故障模拟

1、故障表的计算

- 故障表：单个故障使节点A逻辑值与正常不同，这些故障的故障集 L_A
- 门级电路故障表计算
- 存储元件输出端故障表计算

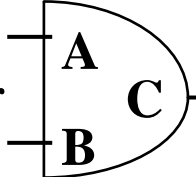
2、故障表的传输与故障模拟

- 把各个元件的故障表向原始输出端传输，计算出与电路原始输出端连接的元件的故障表，就是在给定测试矢量条件下可测的电路故障集

3、功能级模拟

- 功能块故障表的传输
- 功能块内部故障的故障计算

故障表传播

Consider  a two-input AND gate

Case 1: $A=1, B=1, C=1$ at fault-free,

$$LC = LA + LB + \{C/0\}$$

Case 2: $A=1, B=0, C=0$ at fault-free,

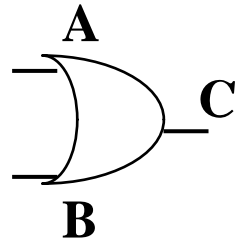
$$LC = \overline{LA} * LB + \{C/1\}$$

Case 3: $A=0, B=0, C=0$ at fault-free,

$$LC = LA * LB + \{C/1\}$$

\overline{LA} is the set of all faults not in LA

故障表传播



- 两输入或门

Case 1: A=1, B=1, C=1 at fault-free,

$$LC = LA * LB + \{C/0\}$$

Case 2: A=1, B=0, C=1 at fault-free,

$$LC = LA * \overline{LB} + \{C/0\}$$

Case 3: A=0, B=0, C=0 at fault-free,

$$LC = LA + LB + \{C/1\}$$

故障表传播规则

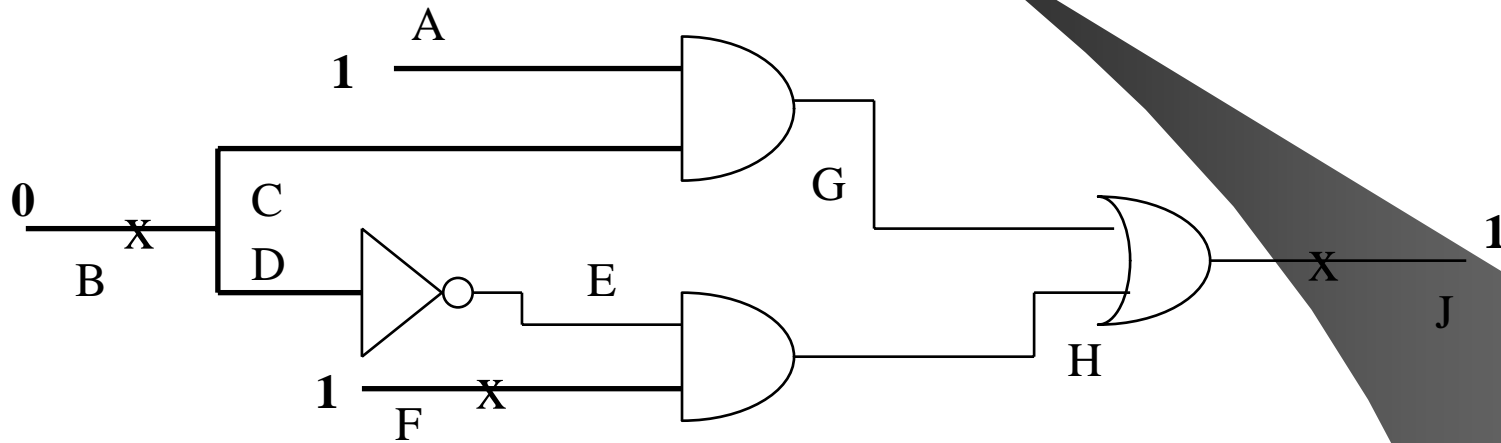
- Let I be the set of inputs of a gate Z with controlling value c and inversion i . Let S be the set of inputs with value c .

$$\text{if } S = \emptyset \text{ then } L_z = \left\{ \bigcup_{j \in I} L_j \right\} \cup \{Z \text{ s-a-}(c \oplus i)\}$$

$$\text{else } L_z = \left\{ \bigcap_{j \in S} L_j \right\} - \left\{ \bigcup_{j \in I-S} L_j \right\} \cup \{Z \text{ s-a-}(\bar{c} \oplus i)\}$$

演绎故障模拟举例I

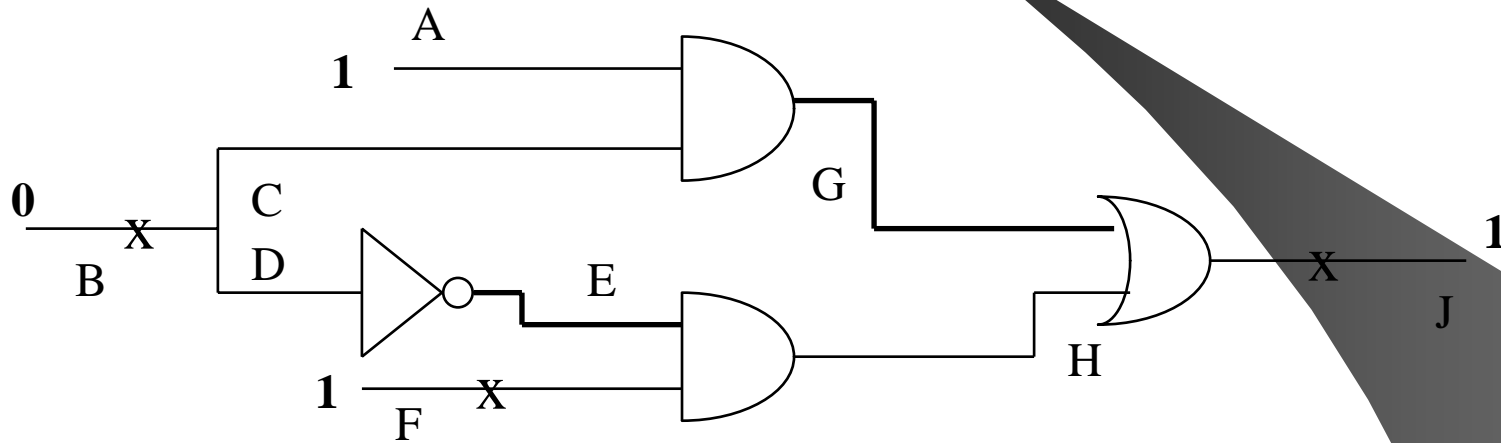
- Consider 3 faults: B/1, F/0, and J/0



LB = {B/1}, LF = {F/0}, LA = 0
LC=LD = {B/1}

演绎故障模拟举例II

- Consider 3 faults: B/1, F/0, and J/0



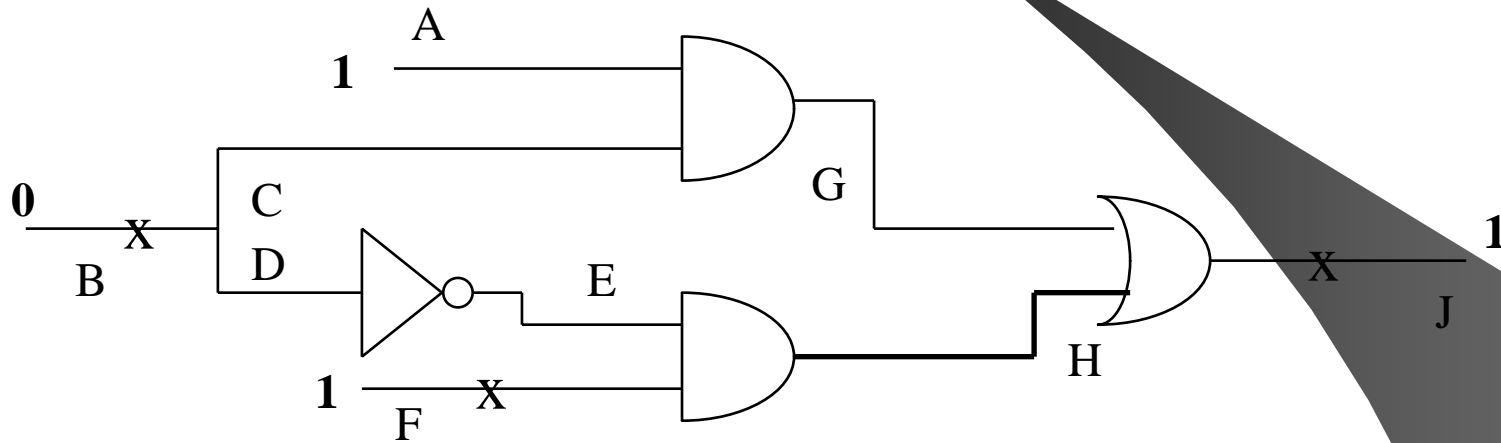
$$LB = \{B/1\}, \quad LF = \{F/0\},$$

$$LC=LD = \{B/1\},$$

$$LG = \{B/1\}, \quad LE = \{B/1\}$$

演绎故障模拟举例III

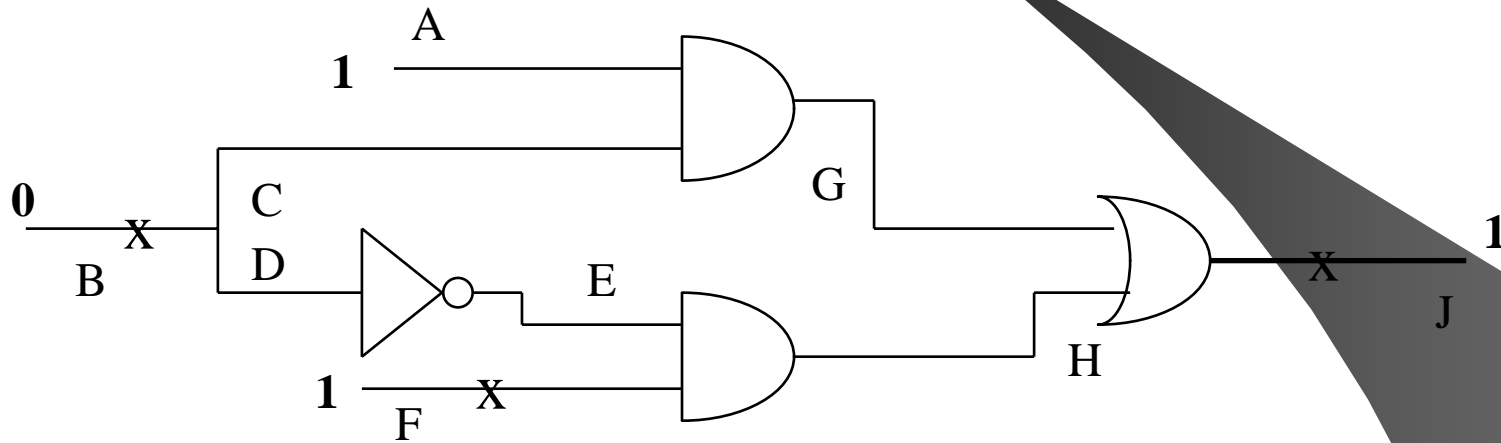
- Consider 3 faults: B/1, F/0, and J/0



$$\begin{aligned} \mathbf{LB} &= \{\mathbf{B/1}\}, & \mathbf{LF} &= \{\mathbf{F/0}\}, \\ \mathbf{LC} &= \mathbf{LD} = \{\mathbf{B/1}\}, & \mathbf{LG} &= \{\mathbf{B/1}\}, \\ \mathbf{LE} &= \{\mathbf{B/1}\}, & \mathbf{LH} &= \{\mathbf{B/1, F/0}\} \end{aligned}$$

演绎故障模拟举例IV

- Consider 3 faults: B/1, F/0, and J/0



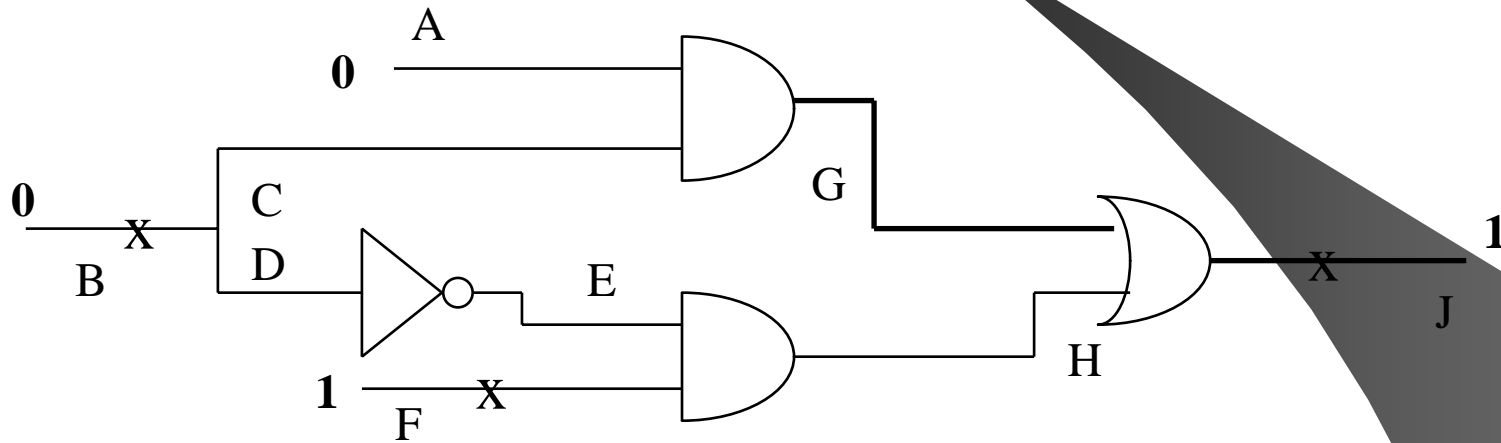
$$LB = \{B/1\}, \quad LF = \{F/0\},$$

$$LC=LD = \{B/1\}, \quad LG = \{B/1\},$$

$$LE = \{B/1\}, \quad LH = \{B/1, F/0\}, \quad \mathbf{LJ = \{F/0, J/0\}}$$

演绎故障模拟举例V

- When A changes from 1 to 0



$$LB = \{B/1\}, \quad LF = \{F/0\},$$

$$LC=LD = \{B/1\}, \quad LG = 0,$$

$$LE = \{B/1\}, \quad LH = \{B/1, F/0\}, \quad LJ = \{B/1, F/0, J/0\}$$

4.3.3 并发性故障模拟

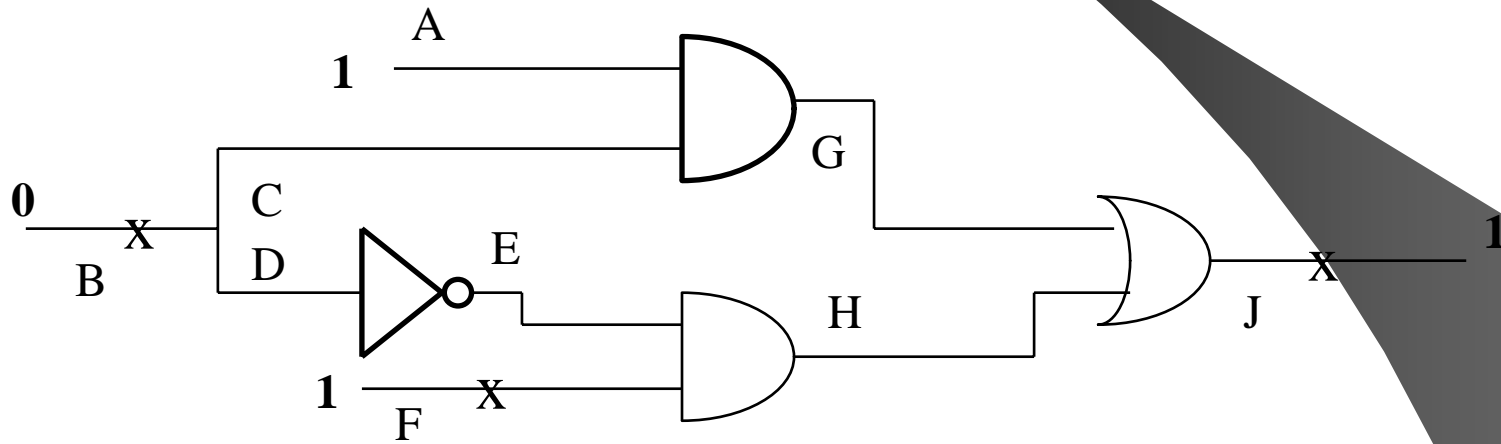
- 采用故障表，基本思路同演绎法
- 结合同行与演绎法
- 故障表的组成及传输

并行性模拟仿真步骤

- 根据给出的测试码列出改变门电路的输入和输出的全部故障
- 对该门的正常响应和故障响应进行逻辑模拟，求出其故障表
- 若改变测试码，在上一步只需模拟改变了的门输入的正常响应和故障响应

并发性模拟仿真I

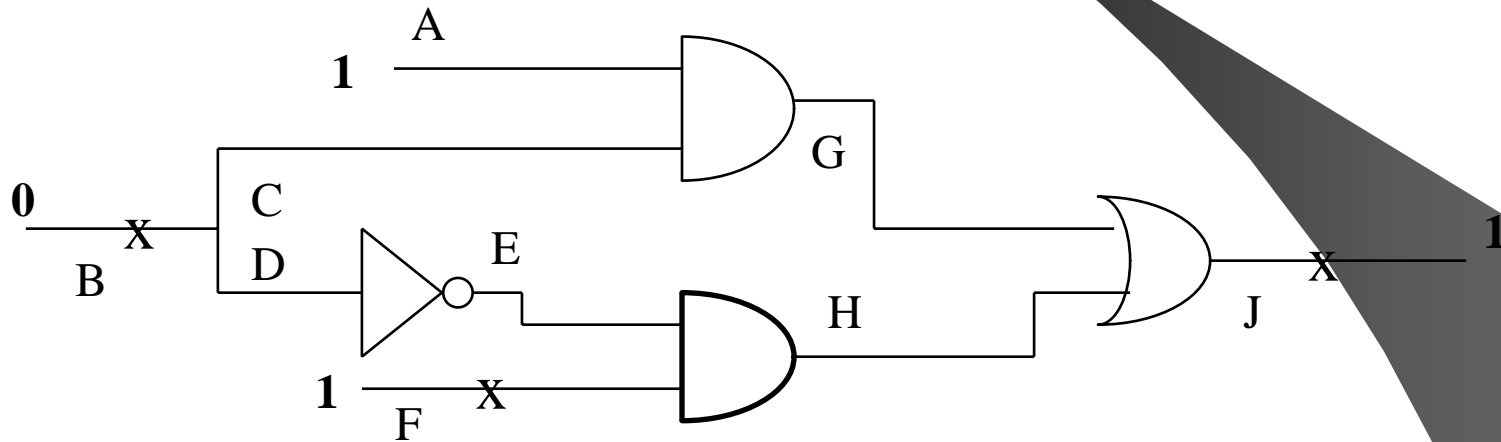
- Consider 3 faults: B/1, F/0, and J/0



$$\mathbf{LG = \{10_0, B/1:11_1\} \quad LE = \{0_1, B/1:1_0\}}$$

并发性模拟仿真II

- Consider 3 faults: B/1, F/0, and J/0

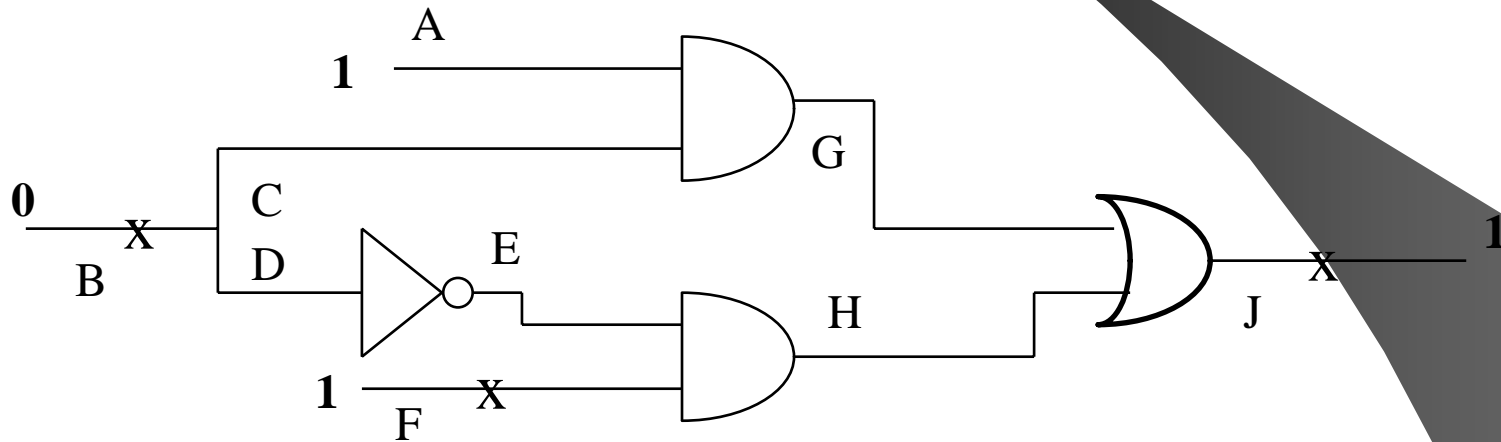


$$LG = \{10_0, B/1:11_1\} \quad LE = \{0_1, B/1:1_0\}$$

$$LH = \{11_1, B/1:01_0, F/0:10_0\}$$

并发性模拟仿真III

- Consider 3 faults: B/1, F/0, and J/0



$$LG = \{10_0, B/1:11_1\} \quad LE = \{0_1, B/1:1_0\}$$

$$LH = \{11_1, B/1:01_0, F/0:10_0\}$$

$$LJ = \{01_1, B/1:10_1, F/0:00_0, J/0:01_0\}$$

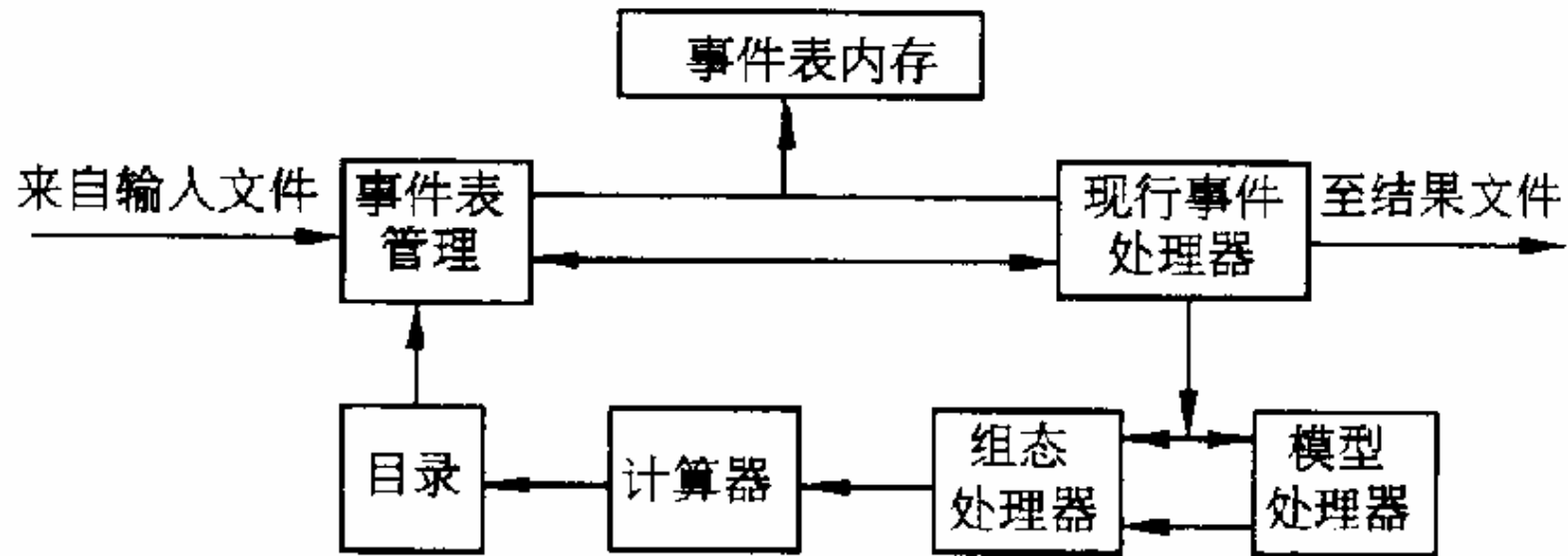
4.3.4 故障模拟结果分析

- 可测与不可测
- 不可测故障
 - 冗余电路
 - 上拉、下拉型非稳定故障
 - 震荡型故障、亢奋型故障

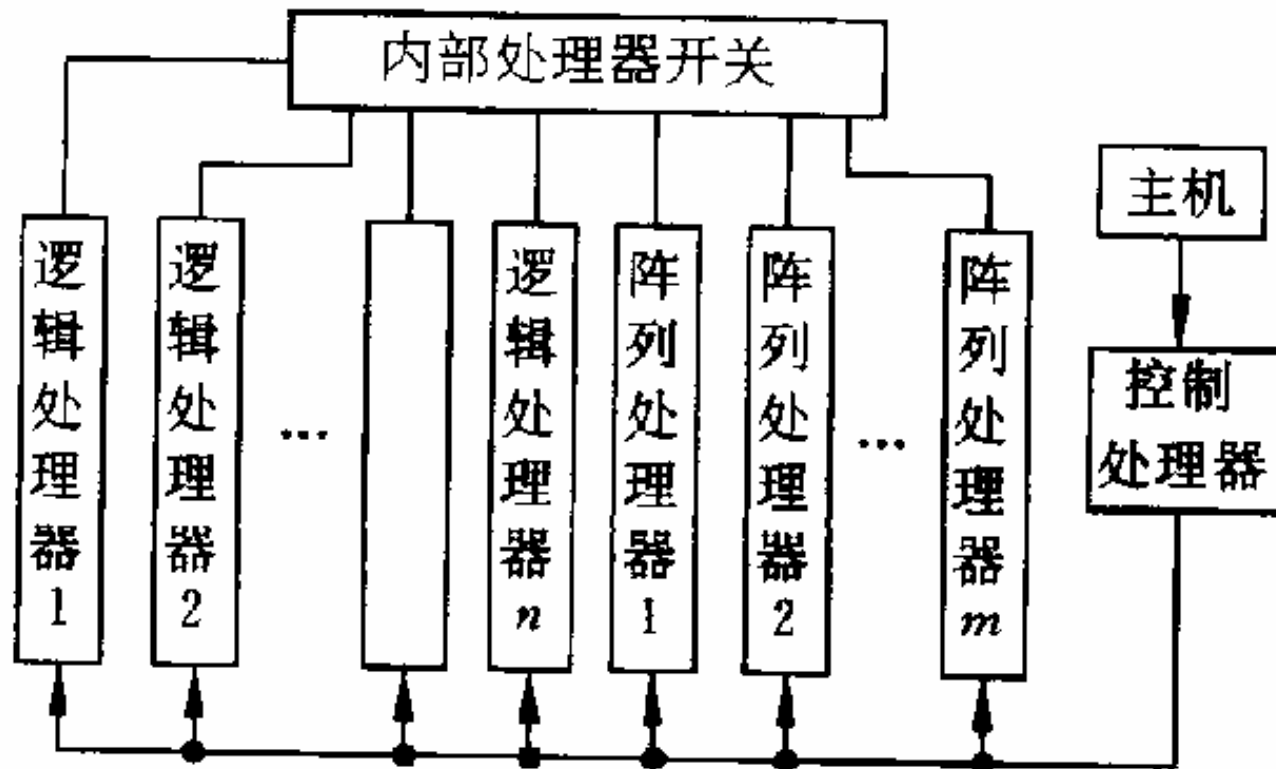
4.3.5 硬件模拟器

- 运行并行模拟或并发性模拟算法的专用计算机
- 比软件速度快，精确

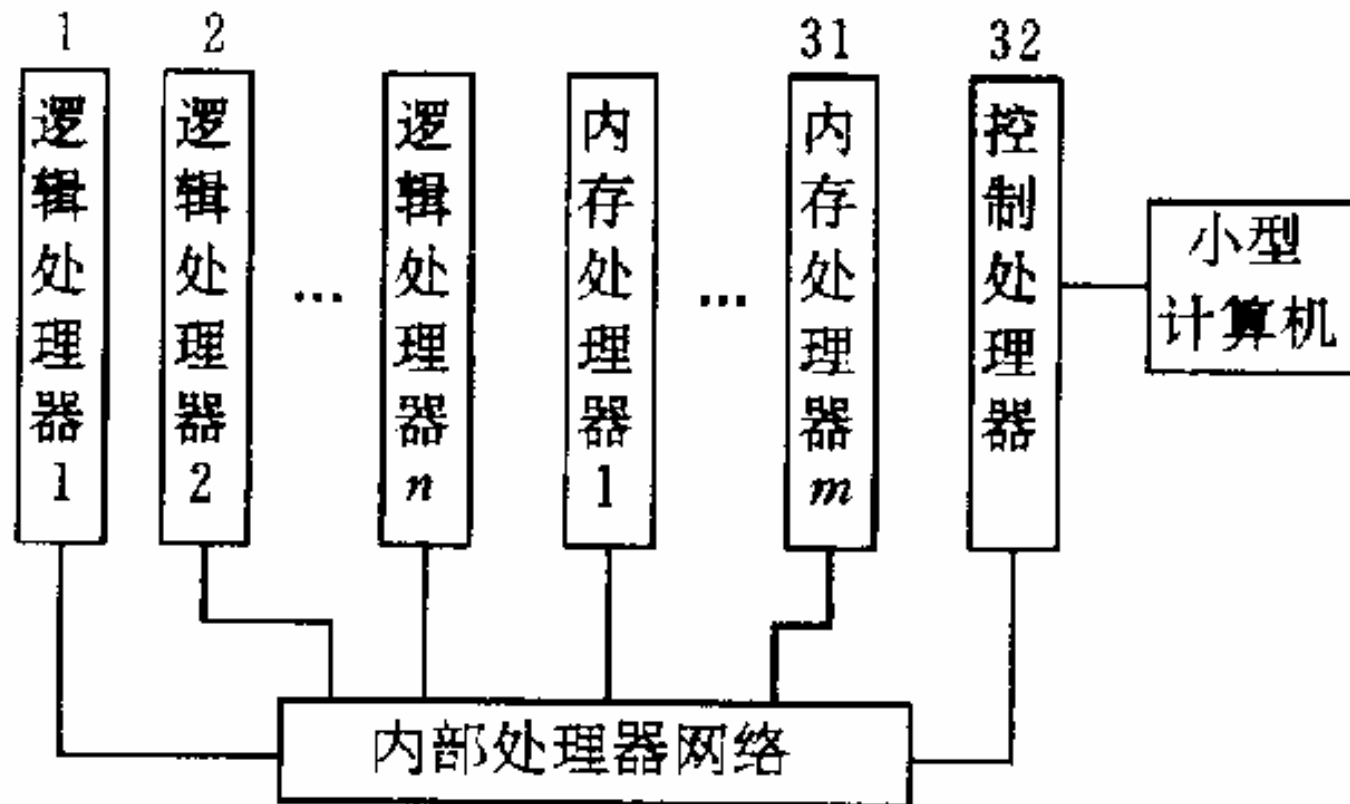
一、阿氏罗模拟器



二、YSE模拟器



三、HAL模拟器



故障模拟仿真小结

- 是测试开发中重要环节
- 需要很大存储空间，计算量大
- 需要高效算法