

长沙理工大学

2015 年硕士研究生入学考试试题

考试科目: 计算机组成原理考试科目代码: 852

注意: 所有答案(含选择题、判断题、作图题等)一律答在答题纸上; 写在试题纸上或其他地点一律不给分。作图题可以在原试题图上作答, 然后将图撕下来贴在答题纸上相应位置。

一、选择题(每小题 2 分, 共 20 分)

1. 下面是有关反映计算机中存储器容量的计量单位的叙述, 其中错误的是 ()。
 - A. 最小的计量单位为位 (bit), 表示一位“0”或“1”
 - B. 最基本的计量单位是字节 (Byte), 一个字节等于 8bit
 - C. 一台计算机的编址单位、指令字长和数据字长都一样, 且是字节的整数倍
 - D. 主存容量为 1KB, 其含义是主存能存放 1024 个字节的二进制信息

2. 下面有关计算机各部件功能的叙述中, 错误的是 ()。
 - A. 运算器用来完成算术运算
 - B. 存储器用来存放指令和数据
 - C. 控制器通过执行指令来控制整个机器的运行
 - D. 输入/出设备用来完成用户和计算机系统的信息交换

3. CPU 中决定指令执行顺序的是 ()
 - A. 标志寄存器
 - B. 指令寄存器
 - C. 数据缓冲器
 - D. 程序计数器

4. 在定点运算器中, 无论采用双符号位还是单符号位, 必须有 (), 一般采用 () 实现。

A. 译码电路 与非门	B. 编码电路 或非门
C. 溢出判断电路 异或门	D. 移位电路 与或非门

5. 总线接口的功能不包括 ()
 - A. 数据缓存
 - B. 数据转换
 - C. 状态设置
 - D. 数据运算

6. 双端口存储器在 () 情况下会发生读/写冲突
 - A. 左右端口的地址码不同
 - B. 左右端口的地址码相同
 - C. 左右端口的数据码相同
 - D. 左右端口的数据码不同

7. 采用虚拟存储器的主要目的是 ()
- A. 提高主存储器的存取速度
 - B. 提高外存储器的存取速度
 - C. 扩大主存储器的存储空间, 并能进行自动管理和调度
 - D. 扩大外存储器的存储空间
8. 采用多种寻址方式的目的是 ()。
- A. 实现存储程序和程序控制
 - B. 缩短指令长度, 扩大寻址空间, 提供编程灵活性
 - C. 可直接访问外存
 - D. 提供扩展操作码的可能并降低指令译码的难度
9. 下面 () 部件不包含在中央处理器 CPU 中。
- A. ALU
 - B. 控制器
 - C. 寄存器
 - D. DRAM
10. 周期挪用方式常用于 () 方式的输入/输出中。
- A. DMA
 - B. 中断
 - C. 程序传送
 - D. 通道

二、判断题 (每小题 2 分, 共 20 分)

1. 执行指令时, 指令在内存中的地址存放在指令寄存器中。
2. 浮点数的乘除运算需要进行对阶操作。
3. 扩展操作码是一种优化技术, 它使操作码的长度随地址码的减少或使用频率的降低而增加, 不同地址的指令可以具有不同长度的操作码。
4. 外部设备一旦申请中断, 便能立即得到 CPU 的响应。
5. 软件和硬件在逻辑上是等价的, 在性能上不完全相同。
6. 奇偶检验码只能发现并纠正数据代码中一位出错的情况。
7. DMA 设备的中断级别比其他外设高, 否则可能引起数据丢失。
8. 在计算机的指令系统中, 真正必须的指令是不多的, 其余的指令都是为了提高机器速度和便于编程而引入的。

9. 转移类指令能改变指令执行顺序, 因此, 执行这类指令时, PC 和 SP 的值都将发生变化。

10. 控制存储器是用来存放微程序的存储器, 它应该比主存速度快。

三、简答题 (从下面 6 个小题中选做其中任意 5 个, 多做不加分, 每小题 10 分, 共 50 分)

- 1、主存储器的技术指标有哪些? 其含义是什么?
- 2、CPU 中有哪些主要寄存器? 各自的主要功能是什么? 至少写出 5 个寄存器。
- 3、何谓中断方式? 它主要应用在什么场合? 请举二例。
- 4、简述高速缓冲存储器和虚拟存储器两个存储层次之间的异同点。
- 5、指令和数据都以二进制形式存放在存储器中, 简述计算机是如何区分它们的。
- 6、除了采用高速芯片外, 分别指出存储器、CPU 各采用什么方法提高机器速度。

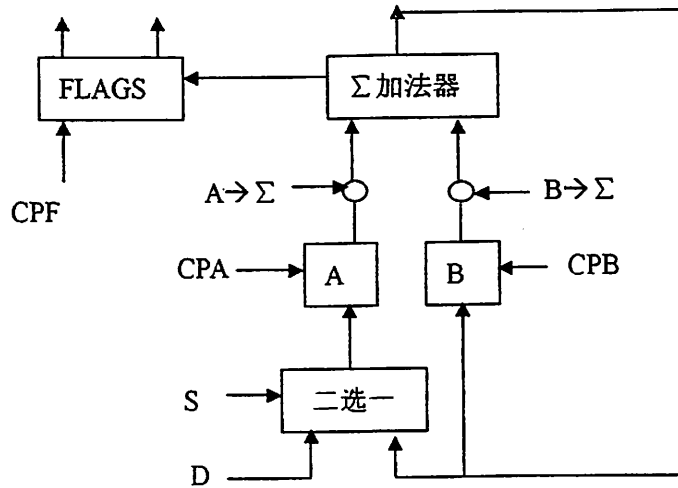
四、计算题与分析设计题 (从下面 6 个小题中选做其中任意 5 个, 多做不加分, 每小题 12 分, 共 60 分)

1、设 $X = 2^7 \times (29/32)$, $Y = 2^5 \times (5/8)$, 阶码为 3 位, 尾数为 5 位 (均不包含符号位), 要求按照计算机中浮点数的运算方法写出详细运算步骤。

2、设有若干片 $256K \times 16$ 位的 SRAM 芯片, 问如何构成 $2048K \times 32$ 位的存储器? 需要多少片 RAM 芯片? 该存储器需要多少根地址线? 有各种门电路和 3:8 译码器, 写出各芯片的地址范围, 并画出该存储器与 CPU 连接的结构图, 设 CPU 的接口信号有地址信号、数据信号、控制信号 \overline{MREQ} (低电平有效) 和 R/\overline{W} (低电平为写, 高电平为读)。

3、设某运算器只由一个加法器和 A, B 两个 D 型边沿寄存器组成, A, B 均可接加法器输出, A 还可接收外部数据, 如图所示, 请给出实现以下功能的控制信号:

- (1) 外部数据如何才能传送到 B?
- (2) 如何实现 $A+B \rightarrow A$ 和 $A+B \rightarrow B$?



4、某计算机系统的内存储器由 Cache 和主存构成，Cache 的存取周期为 5 纳秒，主存的存取周期为 20 纳秒。已知在一段给定的时间内，CPU 共访问内存 4500 次，其中 340 次访问主存。问：

- (1) Cache 的命中率是多少？
- (2) CPU 访问内存的平均时间是多少纳秒？
- (3) Cache-主存系统的效率是多少？

5、某微程序控制器中，采用水平型直接控制（编码）方式的微指令格式，后续微指令地址由微指令的下地址字段给出。已知机器共有 28 个微命令，6 个互斥的可判定的外部条件，控制存储器的容量为 512×40 位。试设计其微指令格式，并说明理由。

6、某加法器进位链小组信号为 $C_4C_3C_2C_1$ ，低位来的进位信号为 C_0 ，请按并行进位方式写出 $C_4C_3C_2C_1$ 的逻辑表达式。