

2.1 总体结构

2.1.1 51系列单片机一般总体结构

与**80C51**内核相同的单片机及**MCS-51**系列单片机统称为**51**系列单片机。

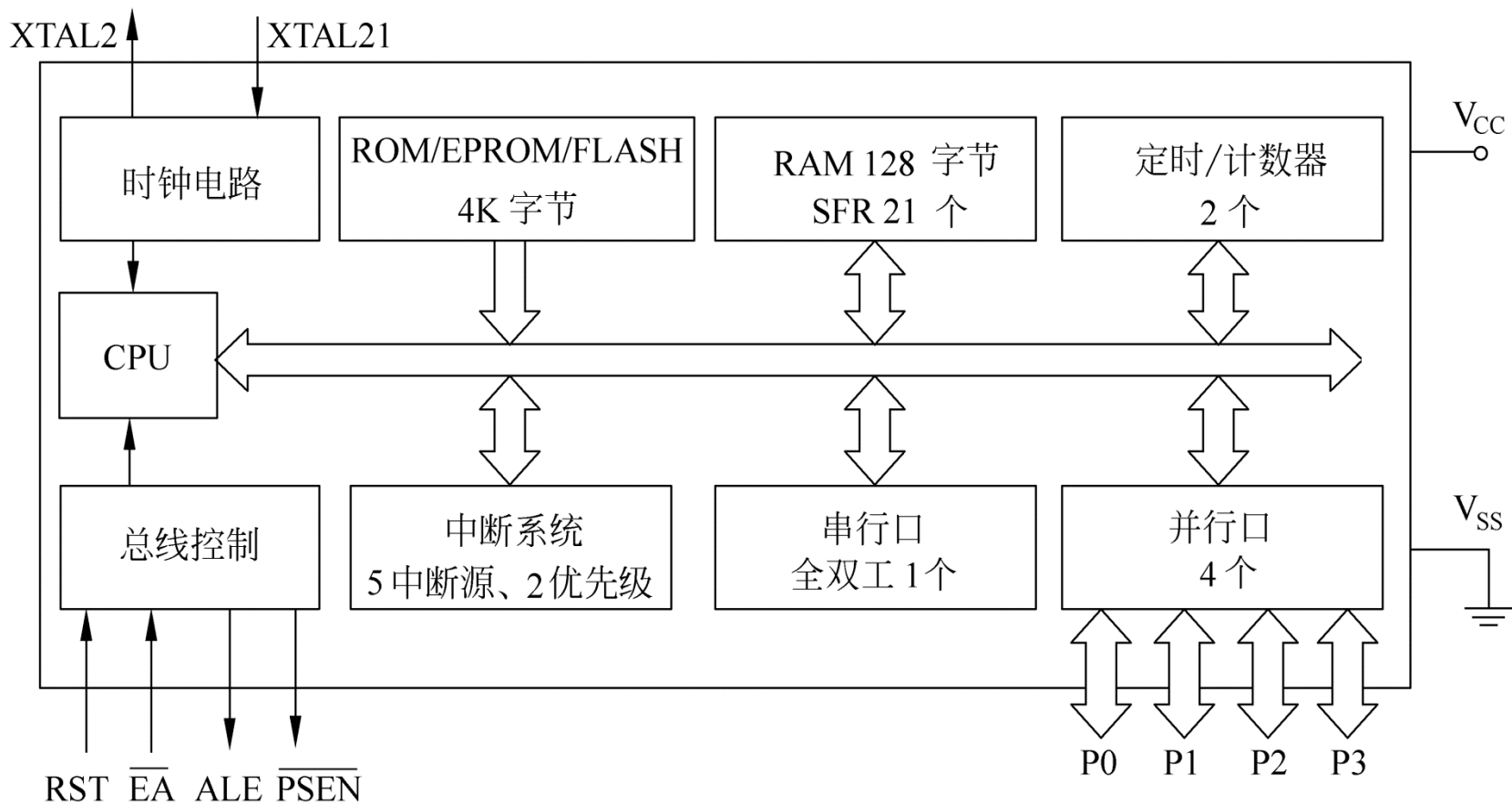
51系列单片机主要产品：

- * **Intel**: **80C31**、**80C51**、**87C51**，**80C32**、**80C52**、**87C52**等；
- * **ATMEL**: **89C51**、**89C52**、**89C2051**等；
- * **Philips**、**华邦**、**Dallas**、**Siemens(Infineon)**等公司的许多产品。

51系列单片机又可分为**两大子系列**：**51**子系列和**52**子系列。**52**子系列与**51**子系列的不同之处在于：片内数据存储器增至**256**字节；片内程序存储器增至**8 KB**；有**3**个**16**位定时/计数器，**6**个中断源。其它性能均与**51**子系列相同。

2.1 总体结构

总体结构图，包含8051的基本功能模块。



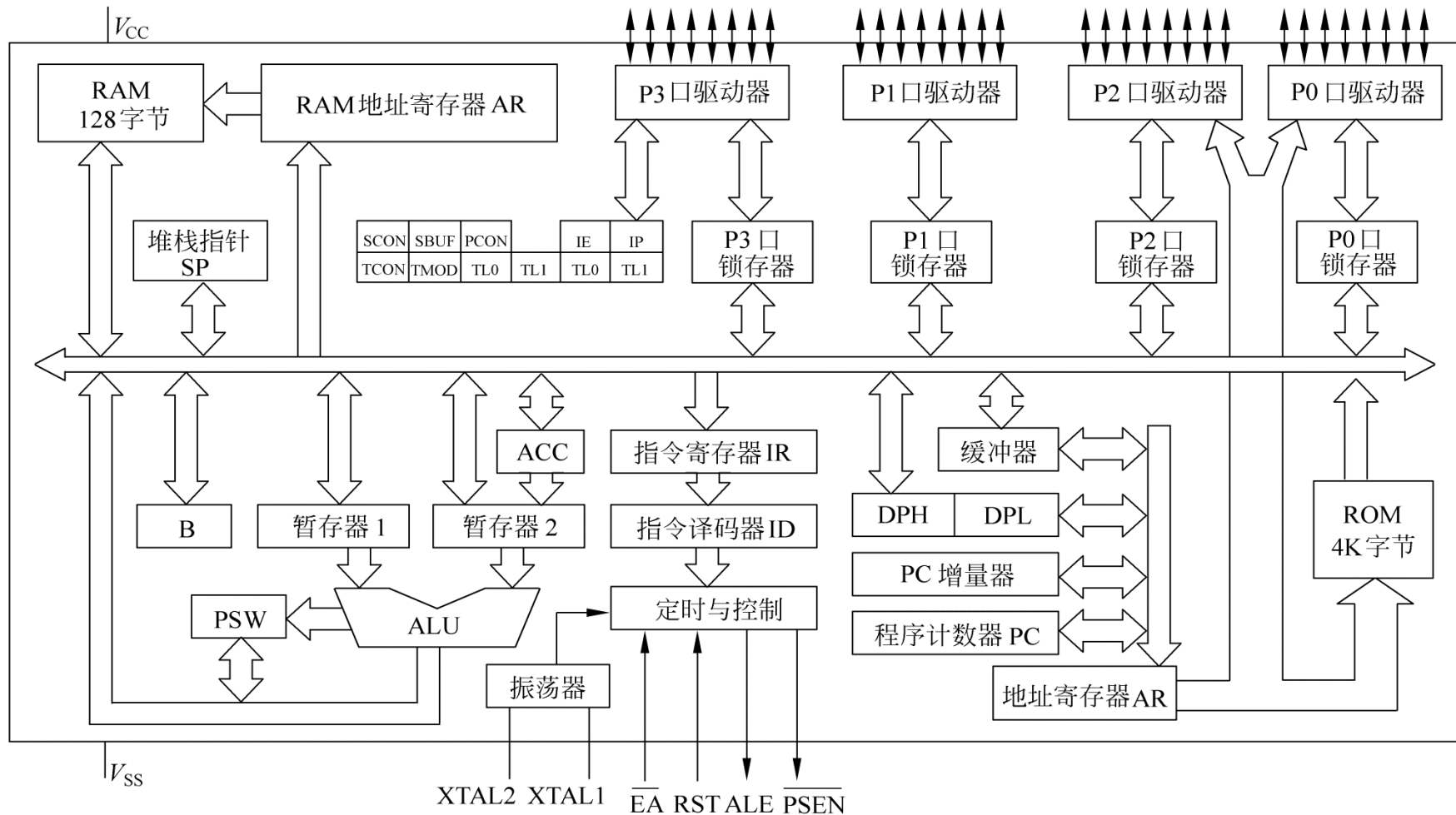
2.1 总体结构

51子系列单片机的基本组成

1. 一个 8位CPU;
2. 4KB片内ROM/EPROM/Flash、128B RAM;
3. 4个8位并行 I/O口 P0~P3;
4. 2个16位定时器/计数器T0、T1;
5. 片内中断处理系统，5个中断源，2级中断;
6. 片内全双工异步串行I/O口UART;
7. 时钟电路。

2.1 总体结构

51子系列单片机的内部结构



2.1 总体结构

51子系列单片机的内部组成

1. 中央处理单元CPU

(1) 运算器

以**ALU (Arithmetic and Logical Unit)**为核心，由暂存器1、暂存器2、累加器**ACC(Accumulator)**，简称**A**、**B**寄存器、布尔处理器和程序状态寄存器**PSW (Program Status Word)**组成。

主要完成：算术运算（加、减、乘、除、增量、减量、十进制数调整）、逻辑运算（与、或、异或）、位变量处理（位置“1”、置“0”和取反）和数据传送等操作，运算结果的状态由**PSW**保存。

2.1 总体结构

算术逻辑单元ALU与累加器ACC、寄存器B

算术逻辑单元不仅能完成8位二进制的加、减、乘、除、加1、减1及BCD加法的十进制调整等算术运算，还能对8位变量进行逻辑"与"、"或"、"异或"、循环移位、求补、清零等逻辑运算，并具有数据传输、程序转移等功能。累加器(ACC, 简称累加器A)为一个8位寄存器，它是CPU中使用最频繁的寄存器。进入ALU作算术和逻辑运算的操作数多来自于A，运算结果也常送回A保存。寄存器B是为ALU进行乘除法运算而设置的。若不作乘除运算时，则可作为通用寄存器使用。

程序状态字

程序状态字PSW是一个8位的标志寄存器，它保存指令执行结果的特征信息，以供程序查询和判别。

2.1 总体结构

布尔处理机

布尔处理机(即位处理)是51系列单片机ALU所具有的一种功能。单片机指令系统中的位处理指令集(17条位操作指令), 存储器中的位地址空间, 以及借用程序状态寄存器PSW中的进位标志CY作为位操作"累加器", 构成了51系列单片机内的布尔处理机。它可对直接寻址的位(bit)变量进行位处理, 如置位、清零、取反、测试转移以及逻辑"与"、"或"等位操作, 使用户在编程时可以利用指令完成原来单凭复杂的硬件逻辑所完成的功能, 并可方便地设置标志等。

2.1 总体结构

(2) 控制器

控制器是单片机的神经中枢，由程序计数器PC(Program Counter)、PC加1寄存器、指令寄存器IR (Instruction Register)、指令译码器ID (Instruction Decoder)、数据指针DPTR(Data Pointer)、堆栈指针SP(Stack Pointer)、缓冲器、定时控制电路以及信息传送控制部件等组成。主要完成指挥控制工作，协调单片机各部分正常工作。它先以主振频率为基准发出CPU的时序，对指令进行译码，然后发出各种控制信号，完成一系列定时控制的微操作，用来协调单片机内部各功能部件之间的数据传送、数据运算等操作，并对外发出地址锁存ALE、外部程序存储器选通，以及通过P3.6和P3.7发出数据存储器读、写等控制信号，并且接收处理外接的复位和外部程序存储器访问控制信号。

单片机的定时控制功能是用片内的时钟电路和定时电路来完成的,而片内的时钟产生有两种方式：内部时钟方式和外部时钟方式。

2.1 总体结构

2. 片内存储器

51系列单片机存储器空间有程序存储器和数据存储器两个独立的空间，这种形式为哈佛结构（分别独立编址）。

3. I/O接口与部件

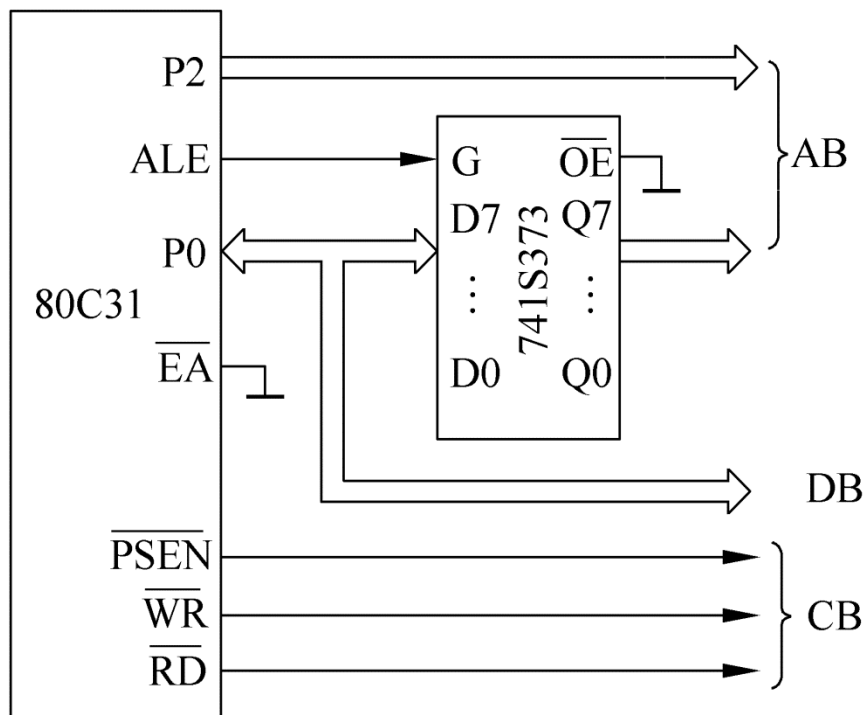
51系列单片机有4个8位并行I/O接口。每一个接口都有数据输出锁存器、输入缓冲器和输出驱动器。锁存器作为特殊的寄存器属于端口，具有端口地址。CPU通过内部总线对I/O接口中的寄存器进行读写，由于每一个接口只有一个端口，对单片机而言就不再区分两者，我们把4个接口和其中的锁存器都统一标记为P0~P3，简称为P0口、P1口、P2口和P3口。51系列单片机还有1个可编程全双工异步串行I/O接口UART。

另外，还有定时器/计数器、中断系统。

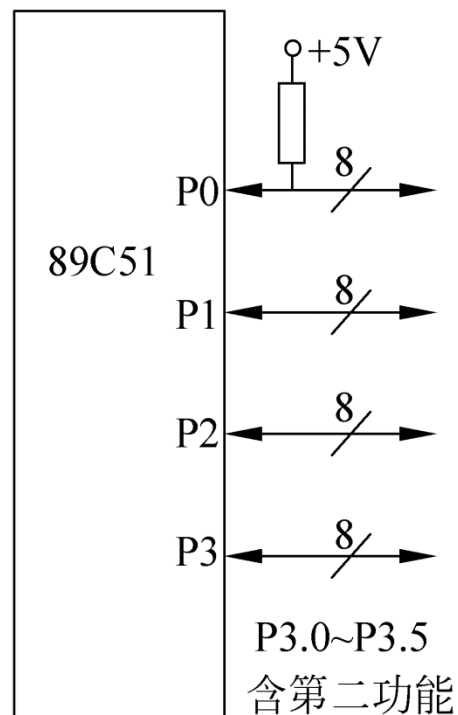
2.1 总体结构

51系列单片机的应用模式

51系列单片机的应用模式分为**总线型应用模式**和**非总线型应用模式**两种。



总线型应用的“三总线”模式



非总线型应用的“多I/O”模式

2.1 总体结构

51 系列单片机典型产品资源配置表。

分 类		芯片型号	存储器类型及字节数		片内其它功能单元数量			
			ROM	RAM	并行口	串行口	定时/计数器	中断源
总线型	基本型	80C31	无	128	4个	1个	2个	5个
		80C51	4K掩膜	128	4个	1个	2个	5个
		87C51	4K EPROM	128	4个	1个	2个	5个
		89C51	4K Flash	128	4个	1个	2个	5个
	增强型	80C32	无	256	4个	1个	3个	6个
		80C52	8K掩膜	256	4个	1个	3个	6个
		87C52	8K EPROM	256	4个	1个	3个	6个
		89C52	8K Flash	256	4个	1个	3个	6个
非总线型		89C2051	2K Flash	128	2个	1个	2个	5个
		89C4051	4K Flash	128	2个	1个	2个	5个

2.1 总体结构

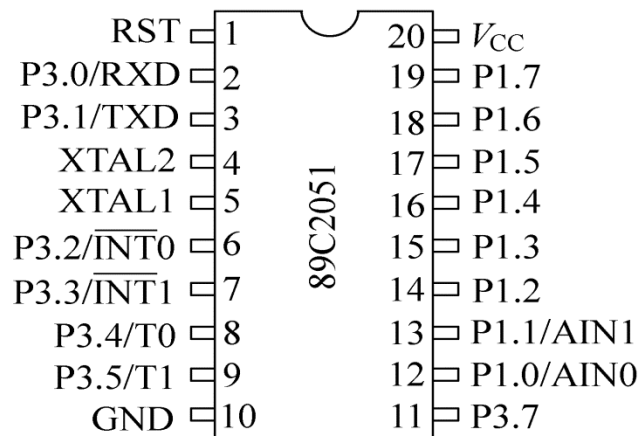
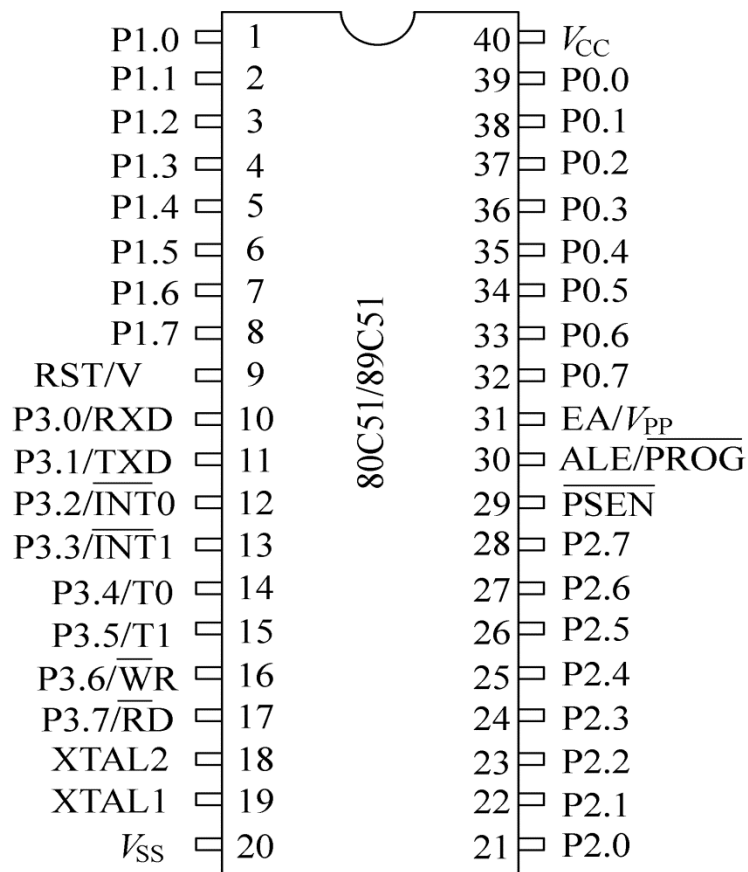
增强型（52子系列）与基本型（51子系列）几点不同：

- * 片内ROM字节数：从4K增加到8K；
- * 片内RAM字节数：从128增加到256；
- * 定时/计数器从2个增加到3个；
- * 中断源由5个增加到6个。

2.1 总体结构

51 子系列单片机的引脚封装

分总线型和非总线型



注：类似的还有 Philips 公司的
87LP64, 20 引脚
8XC748/750/ (751), 24 引脚
8X749 (752), 28 引脚
8XC754, 28 引脚
等等

2.1 总体结构

51子系列单片机的引脚可分**3类**：电源引脚、控制引脚、输入/输出（I/O）引脚。以**DIP-40**封装为例来说明引脚功能。

1. 电源引脚（2根）

- (1) **Vcc**（**Volt Current Condenser**，第**40**引脚）：电源端，接**+5V**电源。
- (2) **GND**（**Ground**，第**20**引脚）：接地引脚，有时标记为**Vss**。

2. 控制引脚（6根）

- (1) **RST/VPD**（**Reset**，第**9**引脚）：**RST**即为**RESET**，**VPD**为备用电源。该引脚为单片机的上电复位或掉电保护端。当单片机振荡器工作时，该引脚上出现持续两个机器周期的高电平，就可实现复位操作，使单片机回复到初始状态。上电时，考虑到振荡器有一定的起振时间，该引脚上高电平必须持续**10 ms**以上才能保证有效复位。当**VCC**发生故障，降低到低电平规定值或掉电时，该引脚可接上备用电源**VPD(+5 V)**为内部**RAM**供电，以保证**RAM**中的数据不丢失。
- (2) **XTAL1**（第**19**引脚）：晶体振荡器接入的一个引脚。若采用外部输入时钟信号，对**CHMOS**型**51**子系列单片机，此引脚作为外部时钟的输入端。

2.1 总体结构

- (3) **XTAL2 (18脚)**：晶体振荡器接入的另一个引脚。若采用外部输入时钟信号，对**CMOS**型**51**子系列单片机，此引脚悬空。
- (4) **ALE/ $\overline{\text{PROG}}$ (30脚)**：地址锁存有效信号输出端。**ALE**在每个机器周期内输出两个脉冲。在访问片外程序存储器期间，下降沿用于控制锁存**P0**输出的低**8**位地址；在不访问片外程序存储器期间，可作为对外输出的时钟脉冲或用于定时目的。但要注意，在访问片外数据存储器期间，**ALE**脉冲会跳空一个。对于片内含有**EPROM**的机型，在编程期间，该引脚用作编程脉冲的输入端。
- (5) **$\overline{\text{PSEN}}$ (29脚)**：片外程序存储器读选通信号输出端，低电平有效。当从外部程序存储器读取指令或常数期间，每个机器周期该信号两次有效，以通过数据总线**P0**口读回指令或常数。在访问片外数据存储器期间， $\overline{\text{PSEN}}$ 信号将不出现。
- (6) **$\overline{\text{EA}}$ /Vpp(31脚)**：为片外程序存储器选用端。该引脚有效(低电平)时，只选用片外程序存储器，否则单片机上电或复位后选用片内程序存储器。对于片内含有**EPROM**的机型，在编程期间，此引脚用作**21 V**编程电源**Vpp**的输入端。

2.1 总体结构

3. 输入/输出引脚

- (1) **P0口(39~32脚):** P0.0~P0.7统称为P0口。在不接片外存储器与不扩展I/O口时,可作为准双向输入/输出口。在接有片外存储器或扩展I/O口时,P0口分时复用为低8位地址总线和双向数据总线。
- (2) **P1口(1~8脚):** P1.0~P1.7统称为P1口,可作为准双向I/O口使用。对于52子系列,P1.0与P1.1还有第二功能:P1.0可用作定时器/计数器2的计数脉冲输入端T2,P1.1可用作定时器/计数器2的外部控制端T2EX。
- (3) **P2口(21~28脚):** P2.0~P2.7统称为P2口,一般可作为准双向I/O口使用;在接有片外存储器或扩展I/O口且寻址范围超过256字节时,P2口用作高8位地址总线。
- (4) **P3口(10~17脚):** P3.0~P3.7统称为P3口。除作为准双向I/O口使用外,还可以将每一位用于第二功能,而且P3口的每一条引脚均可独立定义为第一功能的输入输出或第二功能。

2.1 总体结构

引脚	第二功能符号	第二功能描述
P3.0 (10)	RxD	串行通信数据接收引脚
P3.1 (11)	TxD	串行通信数据发送引脚
P3.2 (12)	$\overline{\text{INT0}}$	外部中断0请求信号输入引脚，低电平有效
P3.3 (13)	$\overline{\text{INT1}}$	外部中断1请求信号输入引脚，低电平有效
P3.4 (14)	T0	定时/计数器0外部计数脉冲输入引脚
P3.5 (15)	T1	定时/计数器1外部计数脉冲输入引脚
P3.6 (16)	$\overline{\text{WR}}$	外部数据存储器写选通信号，低电平有效
P3.7 (17)	$\overline{\text{RD}}$	外部数据存储器读选通信号，低电平有效

2.1 总体结构

引脚的复用功能

“复用”即给一些信号引脚赋予双重功能，如第二功能。根据不同应用场合需要，选择相应的引脚功能。

51系列单片机的引脚总结：

- (1) 单片机功能多，引脚数少，因而许多引脚都具有第二功能。
- (2) 单片机对外呈现3总线形式，由P2、P0口组成16位地址总线；由P0口分时复用为数据总线；由ALE、 $\overline{\text{PSEN}}$ 、RST、 $\overline{\text{EA}}$ 与P3口中的 $\overline{\text{INT0}}$ 、 $\overline{\text{INT1}}$ 、T0、T1、 $\overline{\text{WR}}$ 、 $\overline{\text{RD}}$ 共10个引脚组成控制总线。由于是16位地址线，因此，可使片外存储器的寻址范围达到64 KB。

2.1 总体结构

2.1.2 89C52的总体结构

总体结构（与基本型89C51相比）

1.8K

FLASH

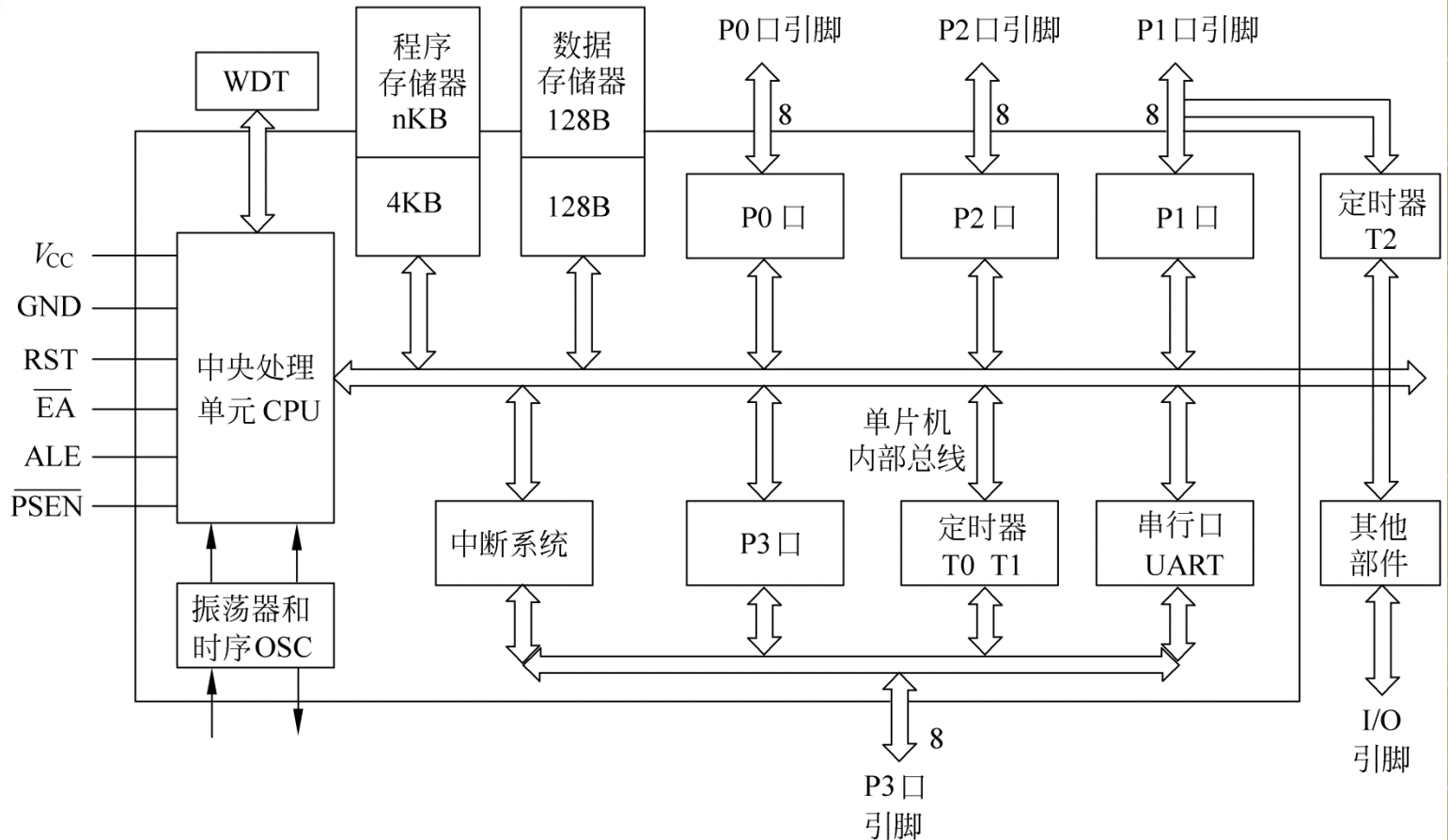
ROM

2. 256B

RAM

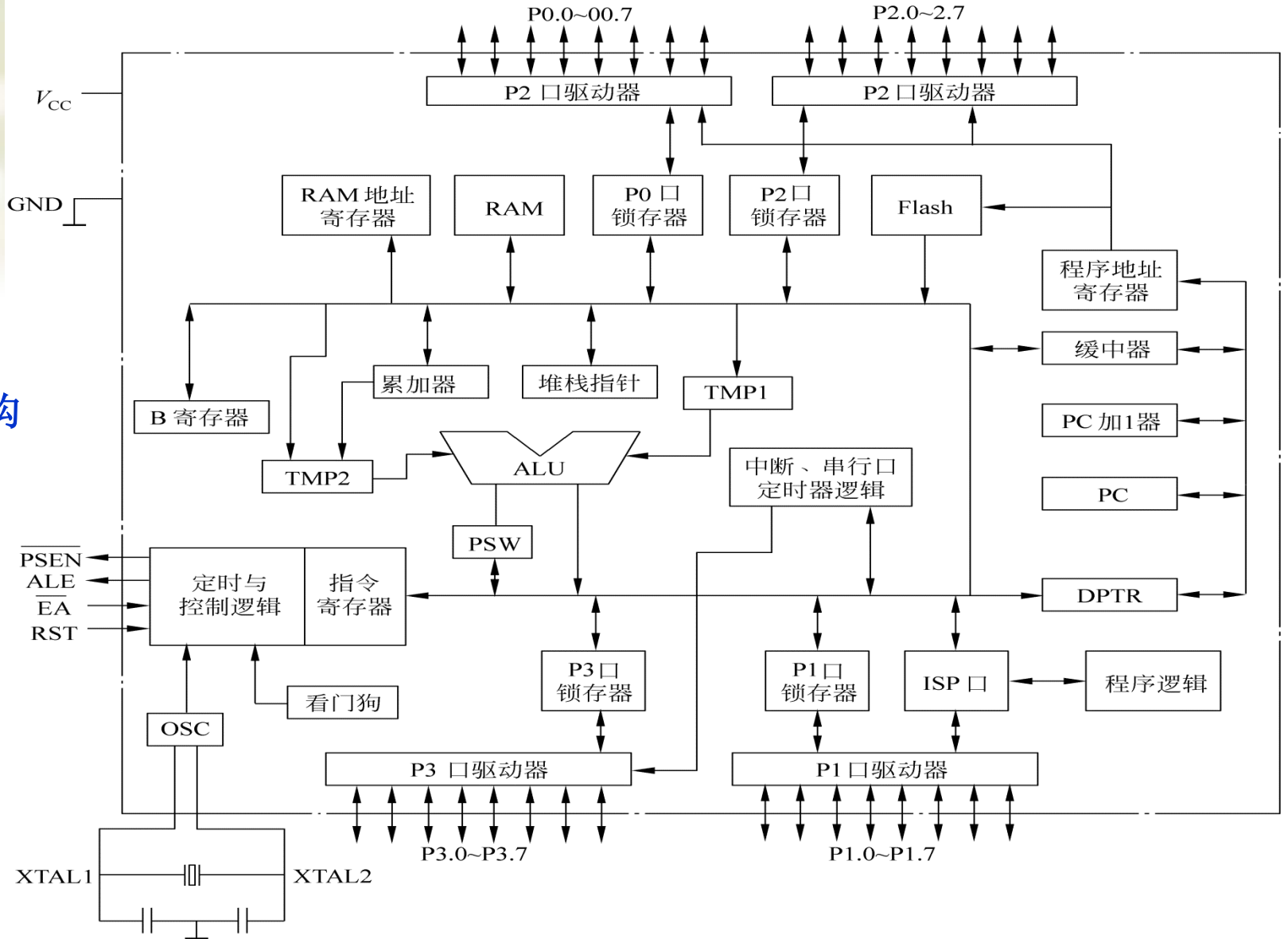
3.Timer

T2



2.1 总体结构

89C52 内部结构

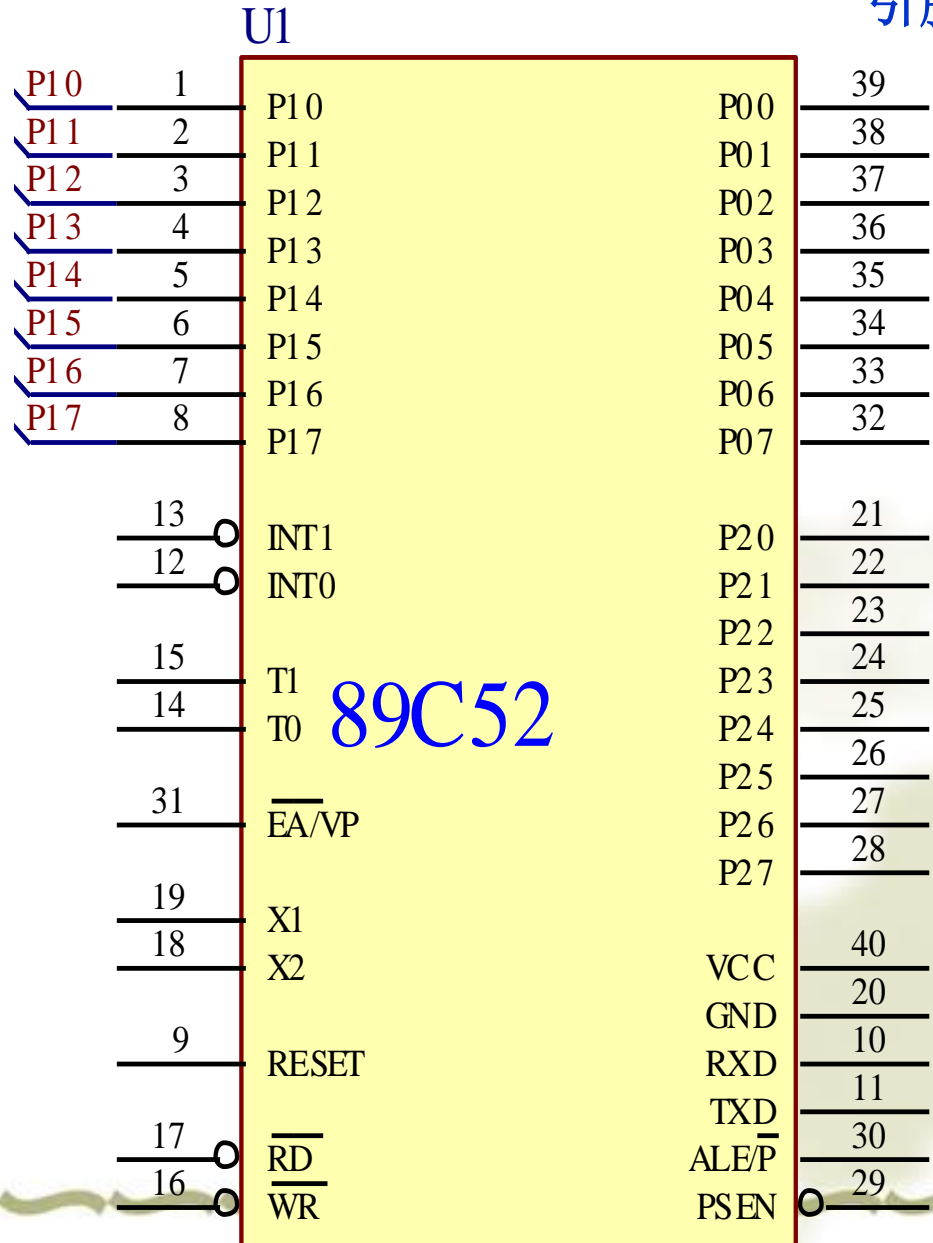


2.1 总体结构

引脚

89C52引脚功能简要说明:

- **Vss** 地线。
- **Vcc** +5V电源。
- **RST** 复位信号。高电平时即为有效，用以完成单片机的复位操作。
- \overline{EA}/V_{pp} 访问程序存储器控制信号。当 \overline{EA} 信号为低电平时，对**ROM**的读操作限定在外部程序存储器；当 \overline{EA} 信号为高电平时，对**ROM**的读操作是从内部程序存储器开始，并可延续至外部程序存储器。**FLASH**编程方式时，**Vpp**编程电源输入端（+5V或+12V）。



2.1 总体结构

- $\overline{\text{PSEN}}$ 外部程序存储器读选通信号。在读外部ROM时 $\overline{\text{PSEN}}$ 有效（低电平），以实现外部ROM单元的读操作。
- $\text{ALE}/\overline{\text{PROG}}$ 地址锁存控制信号。功能：在系统扩展时，**ALE** 用于控制把P0口输出的低8位地址送入锁存器锁存起来，以实现低位地址和数据的分时传送。**FLASH**编程方式时， $\overline{\text{PROG}}$ 编程脉冲输入端。
- 输入 / 输出口线 **P0.0~P0.7**: P0口8位双向口线。**P1.0~P1.7**: P1口8位双向口线。**P2.0~P2.7**: P2口8位双向口线。**P3.0~P3.7**: P3口8位双向口线。
- **XTAL1**和**XTAL2** 外接晶体引线端。当使用芯片内部时钟时，此二引线端用于外接石英晶体和微调电容；当使用外部时钟时，用于接外部时钟脉冲信号。

2.1 总体结构

89C52内部组成简要说明：

一、中央处理器**CPU**：8位

中央处理器简称**CPU**，是单片机的核心，完成运算和控制操作。按其功能，中央处理器包括运算器和控制器两部分电路。

1) 运算器电路

功能：单片机的运算部件，用于实现算术和逻辑运算。

2) 控制器电路

功能：单片机的指挥控制部件，保证单片机各部分能自动而协调地工作。

位处理器称为布尔处理器。

功能：以状态寄存器中的进位标志位**C**为累加位，可进行各种位操作。

2.1 总体结构

二、存储器

1.内部程序存储器：

组成：**Flash ROM (8K×8)**和程序地址寄存器等。

功能：用于存放程序和原始数据。

2.内部数据存储器：内部RAM和特殊功能寄存器SFR。

组成：**RAM (256B×8)**和RAM地址寄存器等。

功能：用于存放可读写的的数据。

三、I/O部件和I/O引脚

1.并行I/O口 89C52共有4个8位的I/O口 (P0、P1、P2、P3)

功能：实现数据的并行输入输出。

2.定时器 / 计数器 89C52共有3个16位的定时器 / 计数器。

功能：实现定时或计数功能，并以其定时或计数结果对单片机进行控制，以满足控制应用的需要。

3.串行口 异步串行口UART。

功能：实现单片机和其它数据设备之间的串行数据传送。