

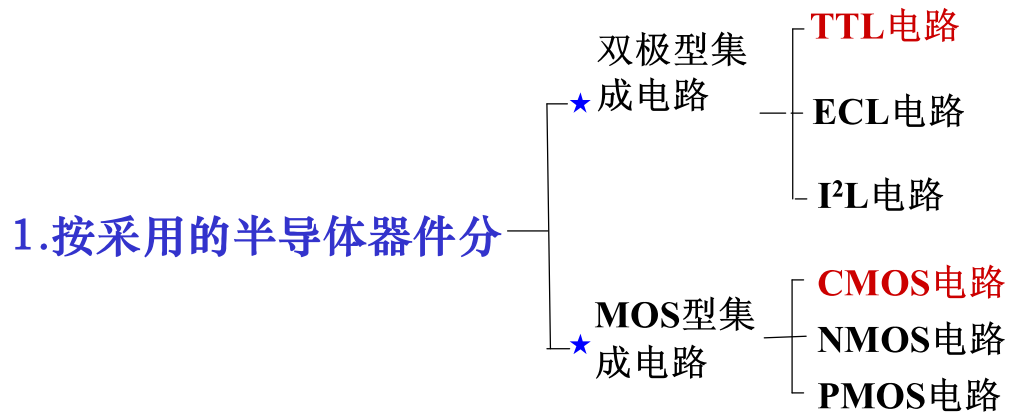


第3章 集成门电路与触发器

- 3.1 数字集成电路的分类
- 3.2 半导体器件的开关特性
- 3.3 逻辑门电路
- 3.4 触发器

3.1 数字集成电路的分类

一.按采用的半导体器件分类:

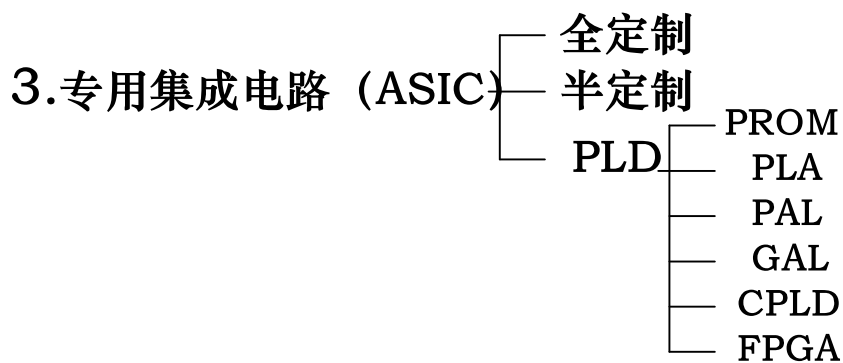


二.按集成度（单个芯片所含门的个数）区分：

- 1.小规模集成电路SSI（Small Scale Integration, 100门以下/片）
- 2.中规模集成电路MSI（Medium Scale Integration, 100~999门/片）
- 3.大规模集成电路LSI（Large Scale Integration, 1000~99999门/片）
- 4.超大规模集成电路VLSI（Very Large Scale Integration, 10万门以上/片）

三.按数字系统设计方法分类:

- 1.通用型中规模 (MSI) , 小规模 (SSI) 集成逻辑器件。
- 2.由软件组态的大规模 (LSI) , 超大规模 (VLSI) 集成逻辑器件, 如微处理器、单片机、通用和专用数字信号处理器等。



3.2 半导体器件的开关特性

3.2.1 二极管的开关特性

3.2.2 三极管的开关特性

3.2 半导体器件的开关特性

数字电路中的晶体二极管、三极管和MOS管工作在开关状态。

导通状态：相当于开关闭合

截止状态：相当于开关断开。

逻辑变量 \leftrightarrow 两状态开关：
在逻辑代数中逻辑变量有两种取值：0和1；
电子开关有两种状态：闭合、断开。

半导体二极管、三极管和MOS管，则是构成这种电子开关的基本开关元件。

理想开关的开关特性：

(1) 静态特性：

断开时，开关两端的电压不管多大，等效电阻
 $R_{\text{OFF}} = \text{无穷}$ ，电流 $I_{\text{OFF}} = 0$ 。



闭合时，流过其中的电流不管多大，等效电阻
 $R_{\text{ON}} = 0$ ，电压 $U_{\text{AK}} = 0$ 。



(2) 动态特性： 开通时间 $t_{\text{on}} = 0$
关断时间 $t_{\text{off}} = 0$

客观世界中，没有理想开关。

乒乓开关、继电器、接触器等的静态特性十分接近理想开关，但动态特性很差，无法满足数字电路一秒钟开关几百万次乃至数千万次的需要。

半导体二极管、三极管和MOS管做为开关使用时，其静态特性不如机械开关，但动态特性很好。

3.2.1 二极管的开关特性

1. 静态特性及开关等效电路

二极管静态特性是指二极管处于导通和截止两种稳定状态下的特性。

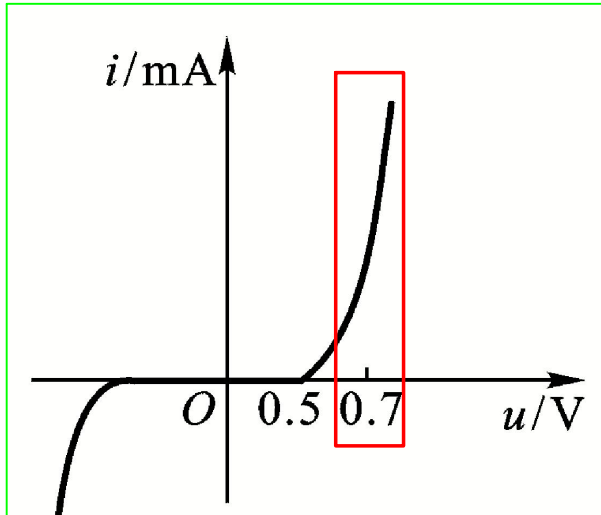


图3-1 二极管的伏安特性曲线

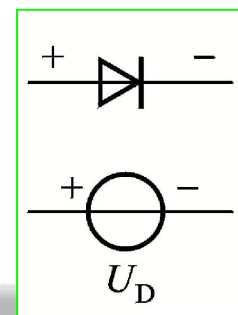
正向导通时

$$U_{D(ON)} \approx 0.7V \text{ (硅)}$$

$$0.3V \text{ (锗)}$$

$$R_D \approx \text{几} \Omega \sim \text{几十} \Omega$$

相当于开关闭合



反向截止时

反向饱和电流极小

反向电阻很大（约几百 $k\Omega$ ）

相当于开关断开

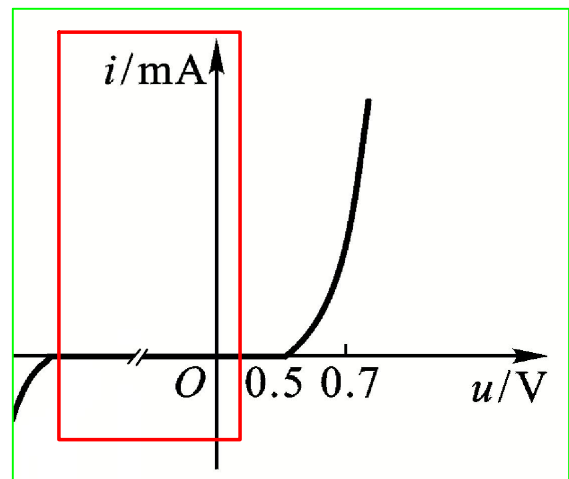
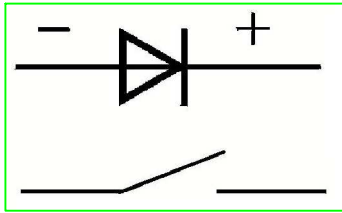


图3-2 二极管的伏安特性曲线

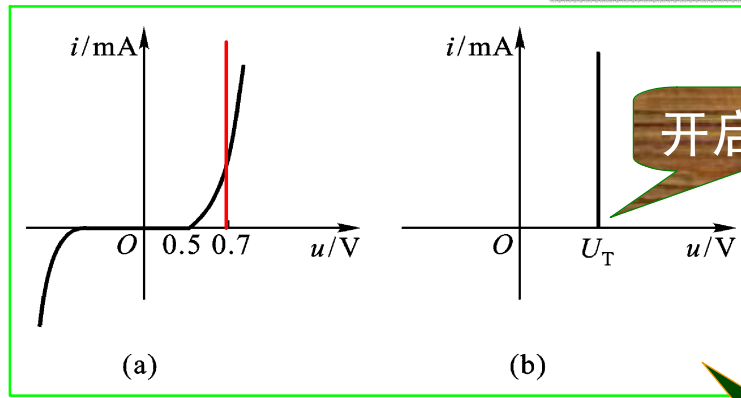


图3-3 二极管的伏安特性曲线

理想化
伏安特
性曲线

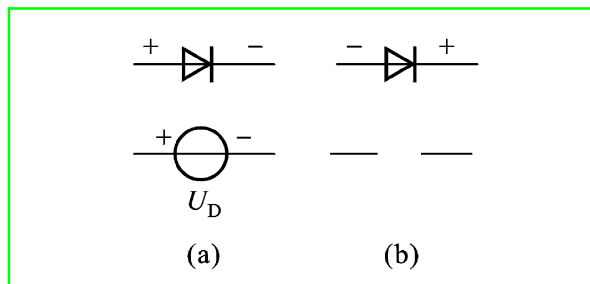


图3-4 二极管的开关等效电路
(a) 导通时 (b) 截止时

2. 动态特性：

动态特性是指二极管在导通与截至两种状态转换过程中的特性，它表现为完成两种状态之间的转换需要一定的时间。

开通时间：从反向截止变为正向导通所需要的时间。

反向恢复时间 t_{re} ：二极管从正向导通到反向截止所需的时间。

一般反向恢复时间比开通时间大得多。

t_{re} 一般为纳秒数量级（通常 $t_{re} \leq 5ns$ ）。

3.2.2 三极管的开关特性

1. 静态特性及开关等效电路

在数字电路中，三极管作为开关元件，主要工作在饱和和截止两种开关状态，放大区只是极短暂的过渡状态。

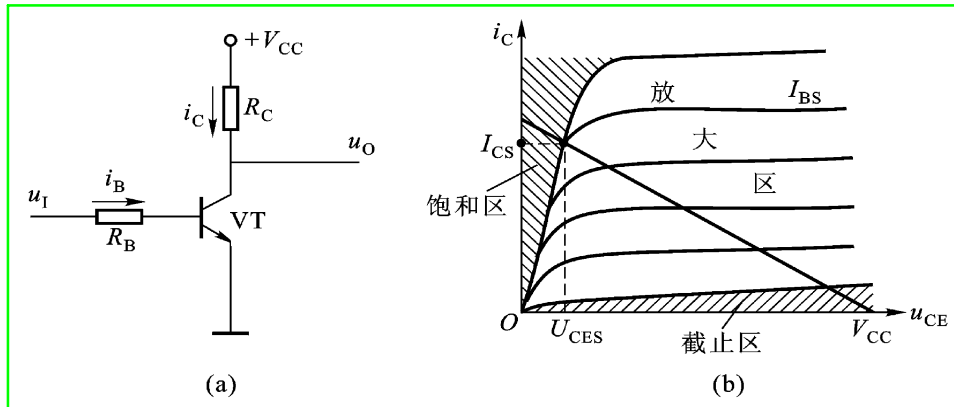
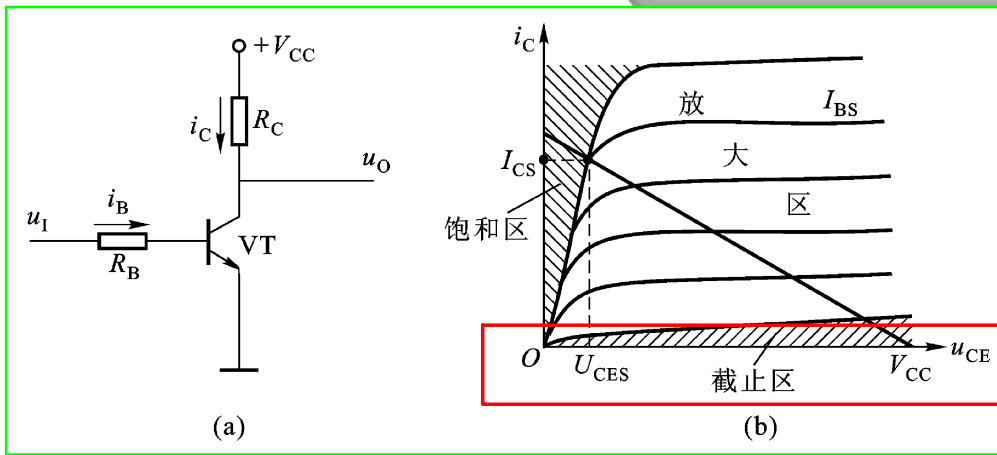


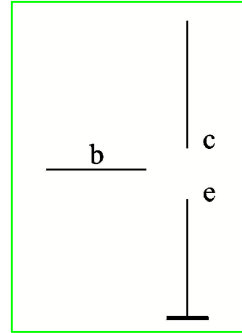
图3-5三极管的三种工作状态
(a) 电路 (b) 输出特性曲线



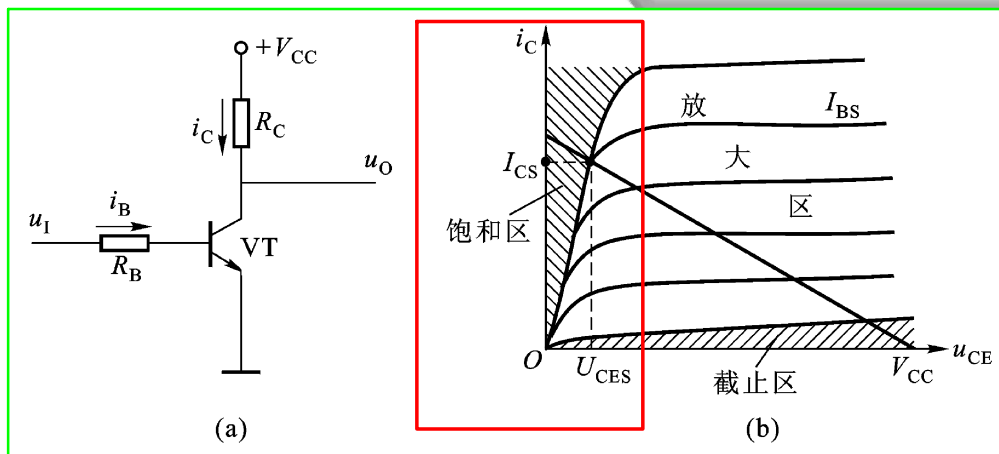
(1) 截止状态

条件: 发射结和集电结均反偏

特点: 电流约为0



开关等效电路



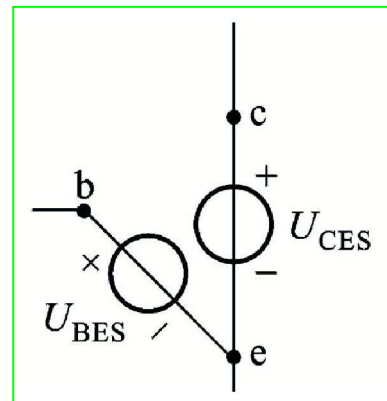
(2)饱和状态

条件： 发射结正偏， 集电结正偏

特点： $U_{BES}=0.7V$ ， $U_{CES}=0.3V/\text{硅}$

$$I_{CS} = (V_{CC} - U_{CES}) / R_C$$

$$I_{BS} = I_{CS} / \beta$$



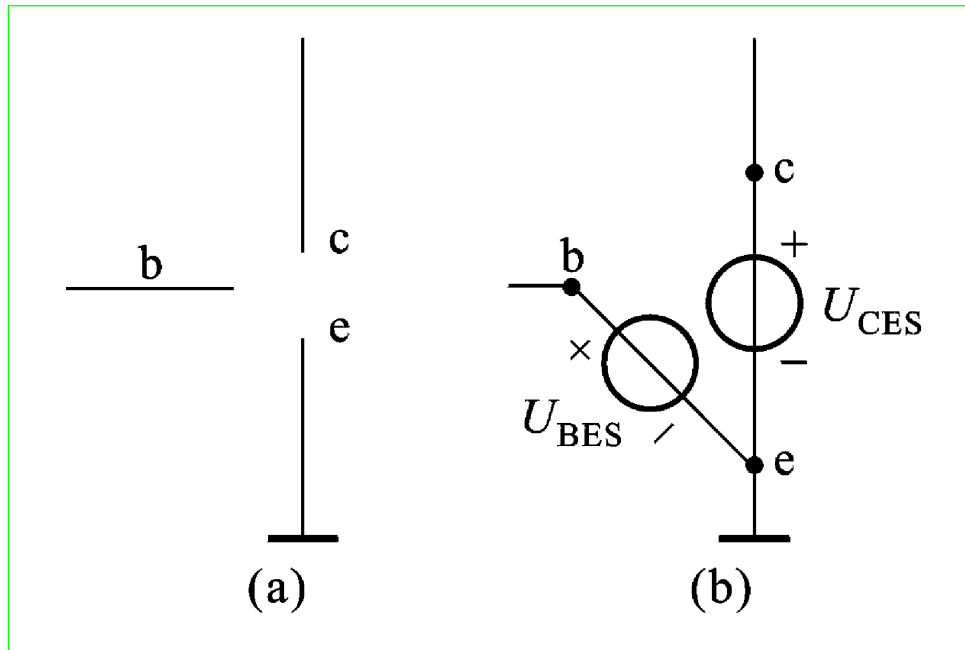


图3-6 三极管开关等效电路
(a) 截止时 (b) 饱和时

2. 三极管的开关时间（动态特性）

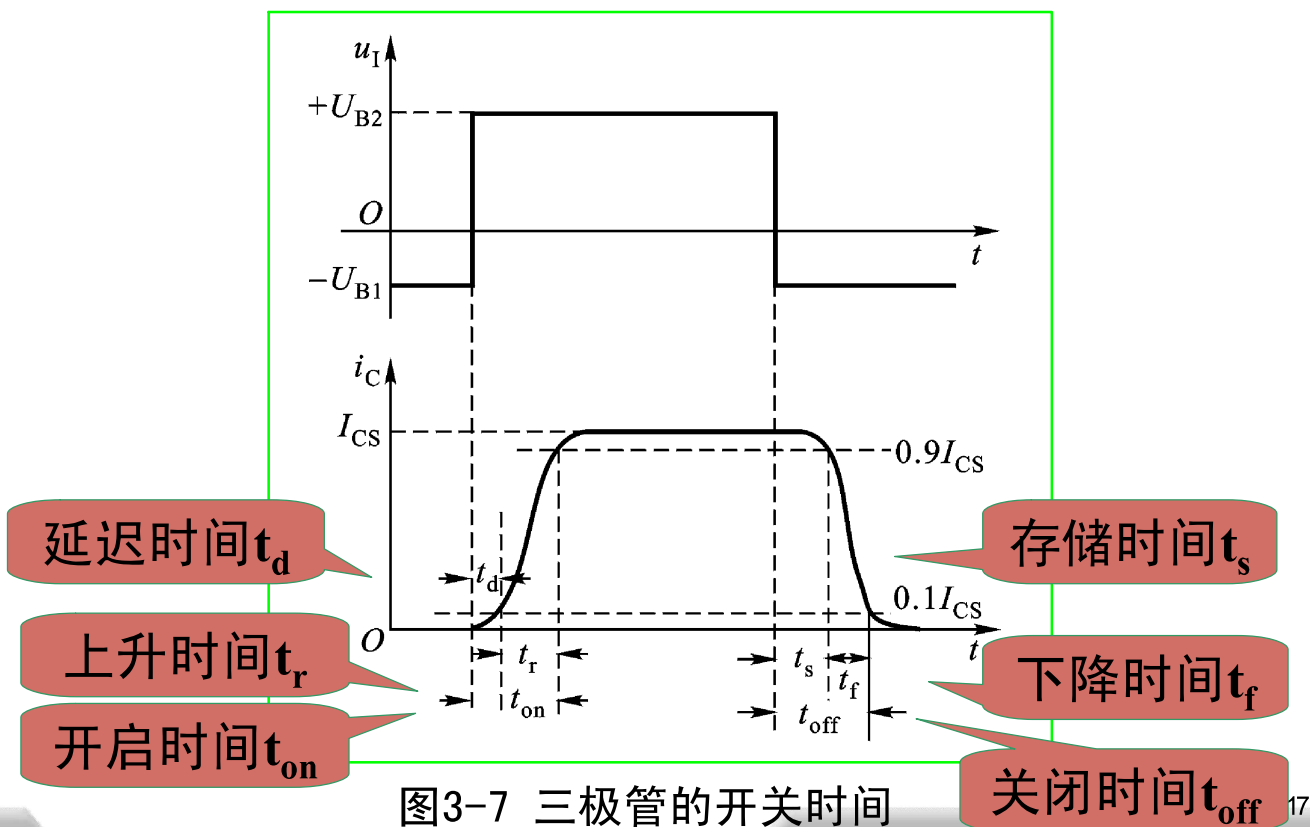


图3-7 三极管的开关时间

(1) 开启时间 t_{on}

三极管从截止到饱和所需的时间。

$$t_{on} = t_d + t_r$$

t_d : 延迟时间 t_r : 上升时间

(2) 关闭时间 t_{off}

三极管从饱和到截止所需的时间。

$$t_{off} = t_s + t_f$$

t_s : 存储时间（几个参数中最长的；饱和越深越长）

t_f : 下降时间

$$t_{off} > t_{on}。$$

开关时间一般在纳秒数量级。

3.3 逻辑门电路

门电路的概念：

实现基本和常用逻辑运算的电子电路，叫逻辑门电路。实现与运算的叫**与门**，实现或运算的叫**或门**，实现非运算的叫**非门**，也叫做**反相器**，等等。

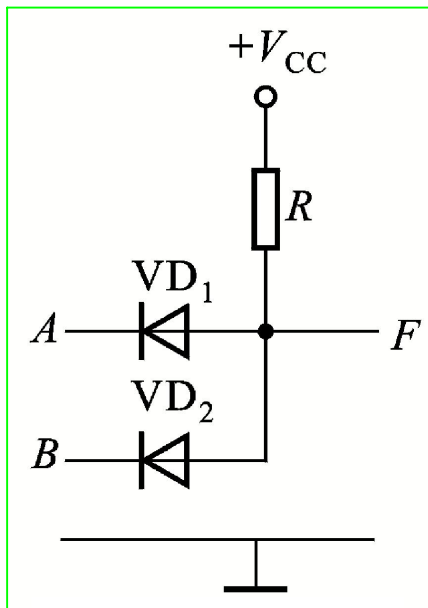
分立元件门电路和集成门电路：

分立元件门电路：用分立的元件和导线连接起来构成的门电路。简单、经济、功耗低，负载差。

集成门电路：把构成门电路的元器件和连线都制作在一块半导体芯片上，再封装起来，便构成了集成门电路。现在使用最多的是CMOS和TTL集成门电路。

3.3.1 二极管与门电路

1. 电路



2. 工作原理

A、B为输入信号

(高电平+3V或低电平0V)

F 为输出信号

$V_{CC} = +5V$

表3-1 电路输入与输出电压的关系

<i>A</i>	<i>B</i>	<i>F</i>
0V	0V	0.7V
0V	3V	0.7V
3V	0V	0.7V
3V	3V	3.7V

3. 逻辑赋值并规定高低电平

用逻辑1表示高电平（此例为 $\geq +2.3V$ ）

用逻辑0表示低电平（此例为 $\leq 0.7V$ ）

4. 真值表

表2-2 二极管与门的真值表

<i>A</i>	<i>B</i>	<i>F</i>
0V	0V	0.7V
0V	3V	0.7V
3V	0V	0.7V
3V	3V	3.7V



<i>A</i>	<i>B</i>	<i>F</i>
0	0	0
0	1	0
1	0	0
1	1	1

A、*B*全1，
*F*才为1。

可见实现了与逻辑

5. 逻辑符号

6. 工作波形(又一种表示逻辑功能的方法)

7. 逻辑表达式 $F = A B$

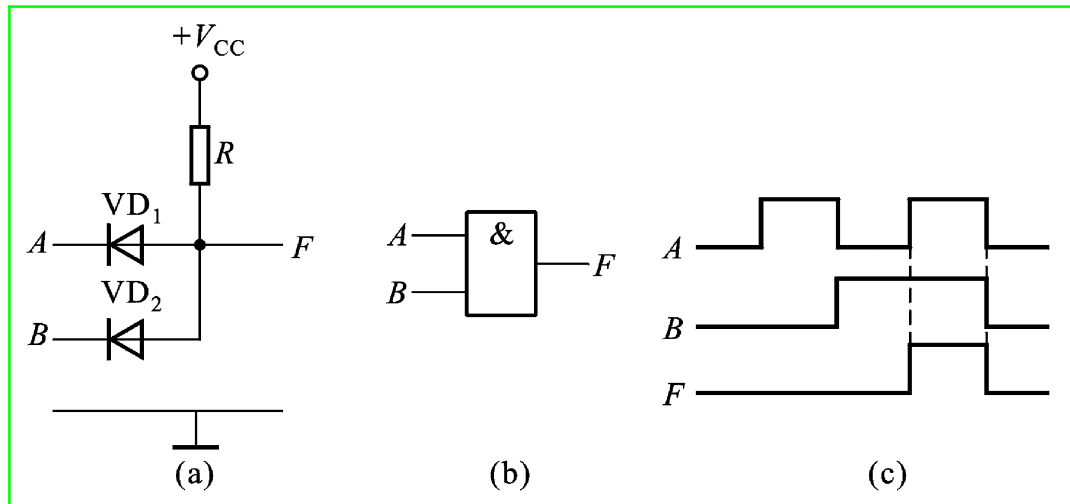
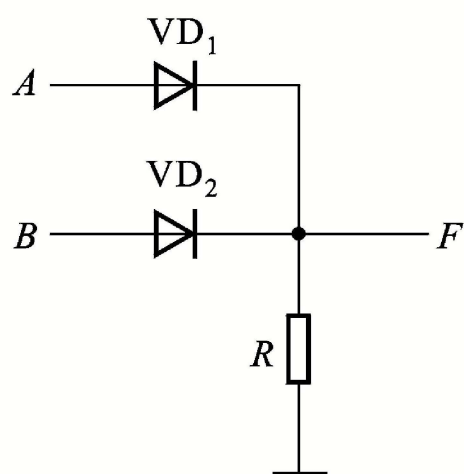


图3-8 二极管与门

(a) 电路 (b) 逻辑符号 (c) 工作波形

3.3.2 二极管或门电路

1. 电路



2. 工作原理

A、B为输入信号
(+3V或0V)

F 为输出信号

电路输入与输出电压的关系

<i>A</i>	<i>B</i>	<i>F</i>
0V	0V	0V
0V	3V	2.3V
3V	0V	2.3V
3V	3V	2.3V

3. 逻辑赋值并规定高低电平

用逻辑1表示高电平（此例为 $\geq +2.3\text{V}$ ）

用逻辑0表示低电平（此例为 $\leq 0\text{V}$ ）

4. 真值表

表3-2 二极管或门的真值表

<i>A</i>	<i>B</i>	<i>F</i>
0V	0V	0V
0V	3V	2.3V
3V	0V	2.3V
3V	3V	2.3V



<i>A</i>	<i>B</i>	<i>F</i>
0	0	0
0	1	1
1	0	1
1	1	1

A、*B*有1，*F*就1。

可见实现了或逻辑

5. 逻辑符号

6. 工作波形

7. 逻辑表达式

$$F = A + B$$

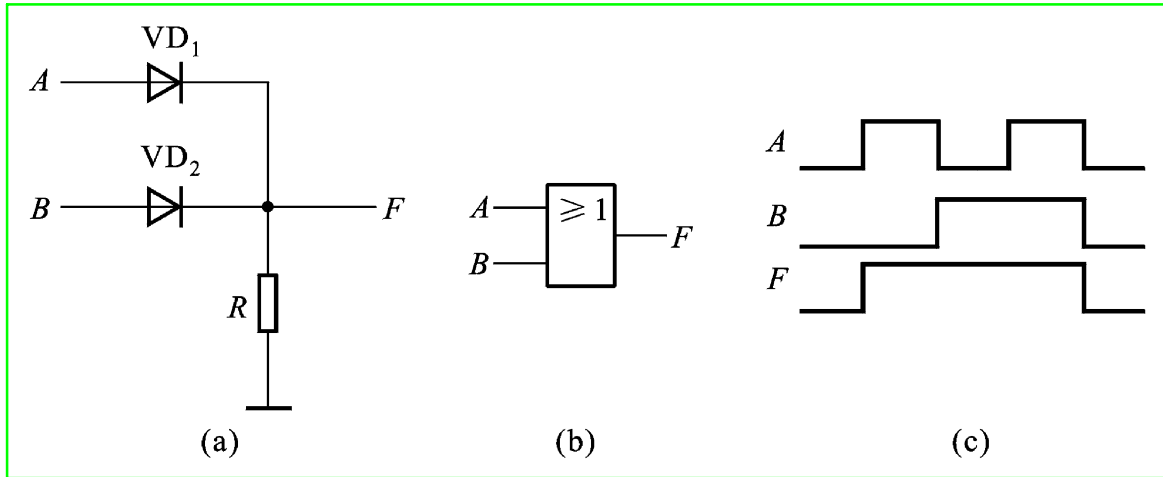


图3-9 二极管或门

(a) 电路 (b) 逻辑符号 (c) 工作波形

3.3.3 关于高低电平的概念及状态赋值

1. 关于高低电平的概念

电位指绝对电压的大小；电平指一定的电压范围。

高电平和低电平：在数字电路中分别表示两段电压范围。

例：上面二极管与门电路中规定高电平为 $\geq 2.3\text{V}$ ，低电平 $\leq 0.7\text{V}$ 。

又如，TTL电路中，通常规定高电平的额定值为 3V ，但从 2V 到 5V 都算高电平；低电平的额定值为 0.3V ，但从 0V 到 0.8V 都算作低电平。

2. 逻辑状态赋值

在数字电路中，用逻辑0和逻辑1分别表示输入、输出高电平和低电平的过程称为**逻辑赋值**。

经过逻辑赋值之后可以得到逻辑电路的真值表，便于进行逻辑分析。

3.3.4 非门（反相器）

1. 电路

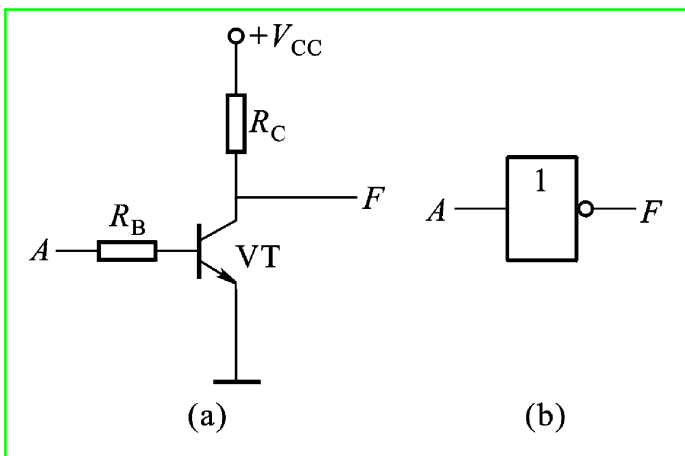


图3-10 非门

(a) 电路 (b) 逻辑符号

2. 工作原理

A、B为输入信号
(+3V或0V)

F 为输出信号

<i>A</i>	<i>F</i>
0V	+3V
3V	0.3V

3. 逻辑赋值并规定高低电平

用逻辑1表示高电平（此例为 $\geq +2.3\text{V}$ ）

用逻辑0表示低电平（此例为 $\leq 0.7\text{V}$ ）

4. 真值表

表2-4 三极管非门的真值表

A	F
0V	+3V
3V	0V



A	F
0	1
1	0

A 与 F
相反

可见实现了非逻辑 $Y=\overline{A}$

3.3.5 关于正逻辑和负逻辑的概念

1. 正负逻辑的规定

正逻辑体系：用1表示高电平，用0表示低电平。

负逻辑体系：用1表示低电平，用0表示高电平。

2. 正负逻辑的转换

对于同一个门电路，可以采用正逻辑，也可以采用负逻辑。

本书若无特殊说明，一律采用正逻辑体制。

同一个门电路，对正、负逻辑而言，其逻辑功能是不同的。

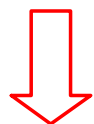
二极管与门电路

A	B	F
0V	0V	0.7V
0V	3V	0.7V
3V	0V	0.7V
3V	3V	3.7V

用正逻辑

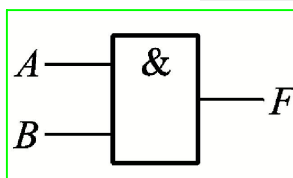


A	B	F
0	0	0
0	1	0
1	0	0
1	1	1



用负逻辑

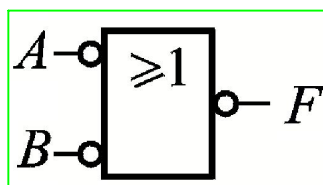
A	B	F
1	1	1
1	0	1
0	1	1
0	0	0



正与门

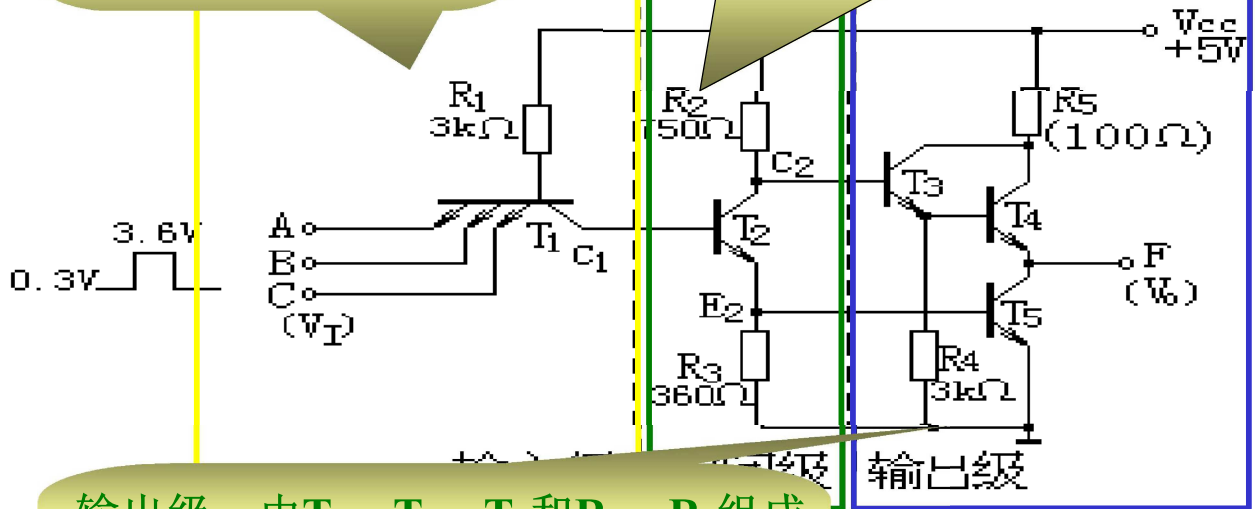
正与门相当于负或门

负或门



输入级由多发射极晶体管 T_1 和基极电阻 R_1 组成，它实现了输入变量 A、B、C 的与运算

中间级由 T_2 、 R_2 和 R_3 组成， T_2 的集电极 C_2 和发射极 E_2 可以分别提供两个相位相反的电压信号



输出级：由 T_3 、 T_4 、 T_5 和 R_4 、 R_5 组成其中 T_3 、 T_4 构成复合管，与 T_5 组成推拉式输出结构。具有较强的负载能力

型电路

1 TTL与非门工作原理

- 输入端至少有一个接低电平

T_1 管:A端发射结导通, $V_{b1} = V_A + V_{be1} = 1V$, 其它发射结均因反偏而截止.

$V_{b1} = 1V$, 所以 T_2 、 T_5 截止, $V_{C2} \approx V_{CC} = 5V$,

T_3 : 饱和状态。

T_4 : 放大状态。

电路输出高电平为:

$$V_{OH} = V_{C2} - V_{be3} - V_{be4} \\ \approx 5 - 0.7 - 0.7 = 3.6V$$

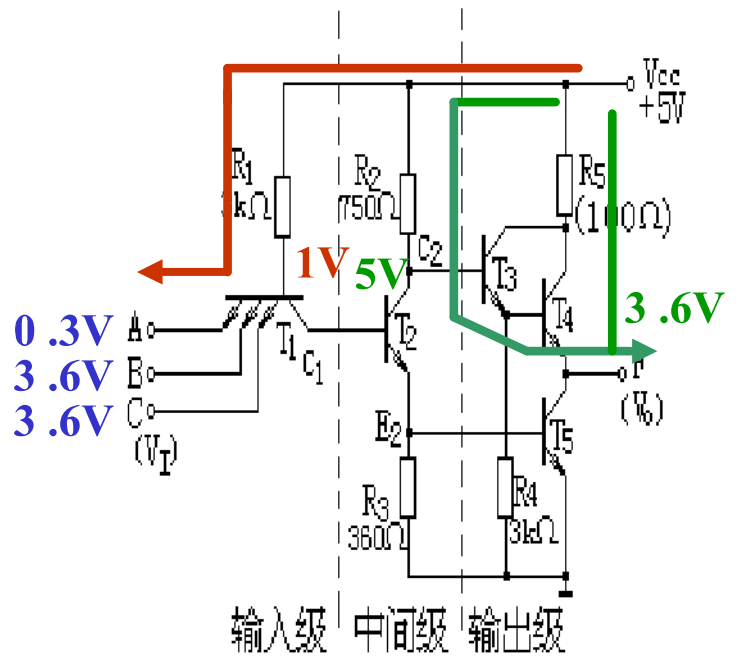


图2-2 TTL“与非”门典型电路

1 TTL与非门工作原理

- 输入端全为高电平

$$T_1: V_{b1} = V_{bc1} + V_{be2} + V_{be5} = 0.7V \times 3 = 2.1V$$

发射结反偏而集电极正偏. 处于倒置放大状态

T_2 : 饱和状态

T_3 : $V_{c2} = V_{ces2} + V_{be5} \approx 1V$, 使 T_3 导通,
 $V_{e3} = V_{c2} - V_{be3} = 1 - 0.7 \approx 0.3V$, 使 T_4 截止。

T_5 : 饱和状态,

因此输出为逻辑低电平 $V_{OL} = 0.3V$

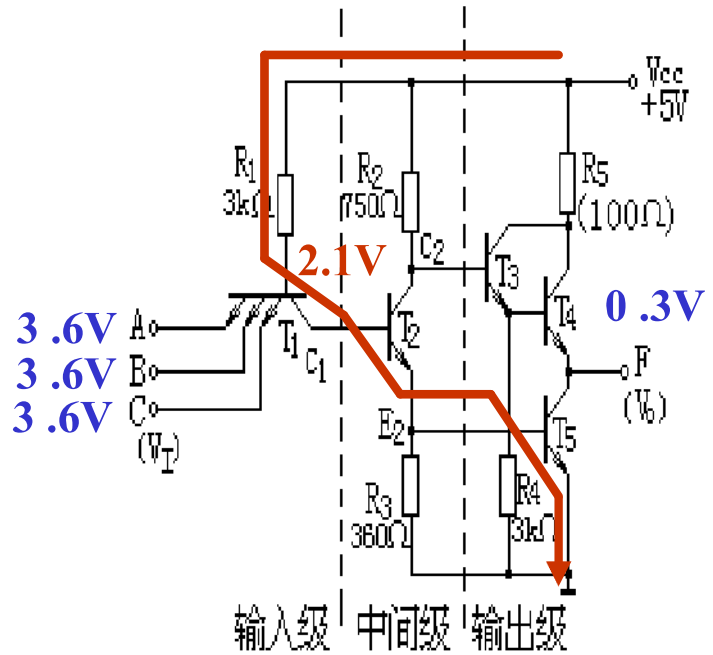


图2-2 TTL“与非”门典型电路

1 TTL与非门工作原理

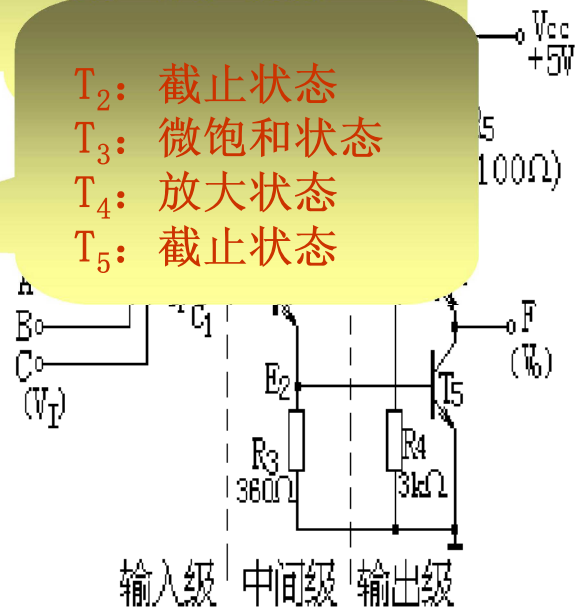
- 输入端全为高电平，输出为低电平
- 输入至少有一个为低电平时，输出为高电平

由此可见电路的输出和输入之间满足与非逻辑关系

$$F = \overline{ABC}$$

T_1 : 倒置放大状态
 T_2 : 饱和状态
 T_3 : 导通状态

T_2 : 截止状态
 T_3 : 微饱和状态
 T_4 : 放大状态
 T_5 : 截止状态



TTL“与非”门典型电路

2 主要外部特性参数

- TTL与非门的主要外部特性参数有输出逻辑电平、开门电平、关门电平、扇入系数、扇出系数、平均传输时延和空载功耗等。
- (1) **输出高电平 V_{OH}** ：输出高电平 V_{OH} 是指至少有一个输入端接低电平时的输出电平。 V_{OH} 的典型值是3.6V。产品规范值为 $V_{OH} \geq 2.4V$ 。
- (2) **输出低电平 V_{OL}** ：输出低电平 V_{OL} 是指输入全为高电平时的输出电平。 V_{OL} 的典型值是0.3V，产品规范值为 $V_{OL} \leq 0.4V$ 。

- (3) 开门电平 V_{ON} ：开门电平 V_{ON} 是指在额定负载下，使输出电平达到标准低电平 V_{SL} 的输入电平，即指确保与非门输出为低电平时所允许的最小输入高电平。它表示使与非门开通的最小输入高电平。
 - V_{ON} 的产品规范值为 $V_{ON} \leq 1.8V$ 。开门电平的大小反映了高电平抗干扰能力， V_{ON} 愈小，在输入高电平时的抗干扰能力愈强。
 -
- (4) 关门电平 V_{OFF} ：关门电平 V_{OFF} 是指输出空载时，使输出电平达到标准高电平 V_{SH} 的输入电平，即指确保与非门输出为高电平时所允许的最大输入低电平。它表示使与非门关断所允许的最大输入低电平。
 - V_{OFF} 的产品规范值 $V_{OFF} \geq 0.8V$ 。关门电平的大小反映了低电平抗干扰能力， V_{OFF} 越大，在输入低电平时的抗干扰能力越强。

- (5) **扇入系数 N_i** ：扇入系数 N_i 是指与非门允许的输入端数目。一般 N_i 为2~5，最多不超过8。当应用中要求输入端数目超过 N_i 时，可通过分级实现的方法减少对扇入系数的要求。
- (6) **扇出系数 N_0** ：扇出系数 N_0 是指与非门输出端连接同类门的最多个数。
它反映了与非门的带负载能力，一般 $N_0 \geq 8$ 。扇入和扇出是反映门电路互连性能的指标。
- (7) **输入短路电流 I_{IS}** ：输入短路电流 I_{IS} 是指当与非门的某一个输入端接地而其余输入端悬空时，流过接地输入端的电流。
- 在实际电路中， I_{IS} 是流入前级与非门的灌电流，它的大小将直接影响前级与非门的工作情况。输入短路电流的产品规范值 $I_{IS} \leq 1.6\text{mA}$ 。

- **(8) 高电平输入电流 I_{iH}** : 高电平输入电流 I_{iH} 是指某一输入端接高电平, 而其他输入端接地时, 流入高电平输入端的电流, 又称为输入漏电流。一般 $I_{iH} \leq 50\mu A$ 。
- **(9) 平均传输延迟时间 t_{pd}** : 平均传输延迟时间 t_{pd} 是指一个矩形波信号从与非门输入端传到与非门输出端(反相输出)所延迟的时间。
 - 通常将从输入波上沿中点到输出波下沿中点的时间延迟称为**导通延迟时间 t_{pdL}** ; 从输入波下沿中点到输出波上沿中点的时间延迟称为**截止延迟时间 t_{pdH}** 。平均延迟时间定义为

$$t_{pd} = (t_{pdL} + t_{pdH}) / 2$$
 - 平均延迟时间是反映**与非门开关速度**的一个重要参数。 T_{pd} 的典型值约10ns, 一般小于40ns。

- **(10) 空载功耗P:** 空载功耗是当与非门空载时电源总电流 I_{CC} 和电源电压 U_{CC} 的乘积。
- 输出为低电平时的功耗称为**空载导通功耗** P_{ON} ，输出为高电平时的功耗称为**空载截止功耗** P_{OFF} ， P_{ON} 大于 P_{OFF} 。
- 平均功耗 $P = (P_{ON} + P_{OFF})/2$
- 一般 $P < 50\text{mW}$,如74H系列门电路平均功耗为22mW。

4.其它类型的TTL门电路

TTL门电路中的非门、或非门、与或非门、异或门、同或门等

3.3.7 两种特殊的门电路

1 集电极开路门（OC门）

为何要采用集电极开路门呢？

推拉式输出电路结构存在局限性。

输出端不能并联使用。若两个门的输出一高一低，当两个门的输出端并联以后，必然有很大的电流同时流过这两个门的输出级，而且电流的数值远远超过正常的工作电流，**可能使门电路损坏**。而且，输出端也**呈现不高不低的电平**，不能实现应有的逻辑功能。

集电极开路门（简称**OC门**）就是为克服以上局限性而设计的一种TTL门电路。

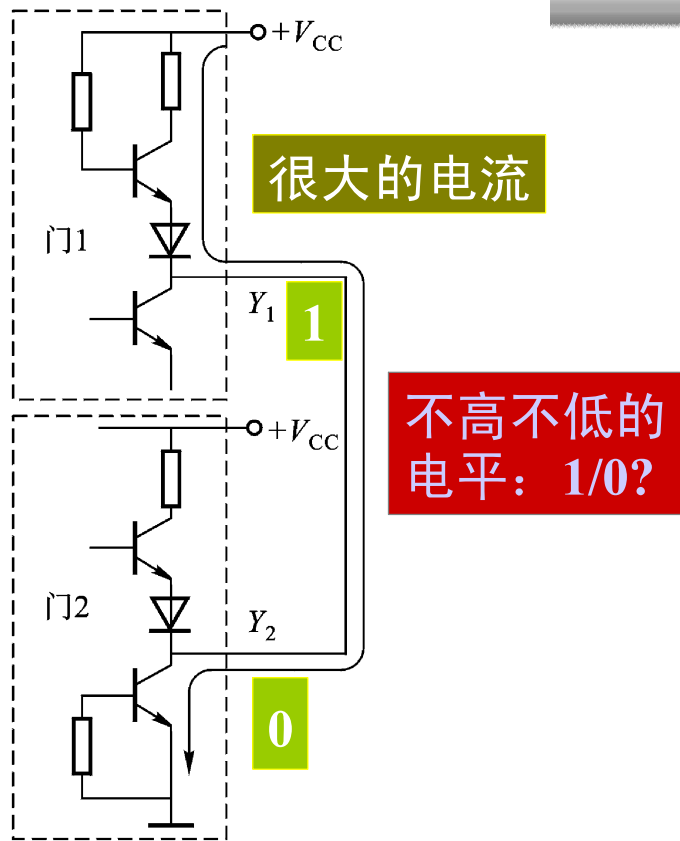


图3-11 推拉式输出级并联的情况

1. 集电极开路门的电路结构

(1) 电路结构：输出级是集电极开路的。

(2) 逻辑符号：用“◇”表示集电极开路。

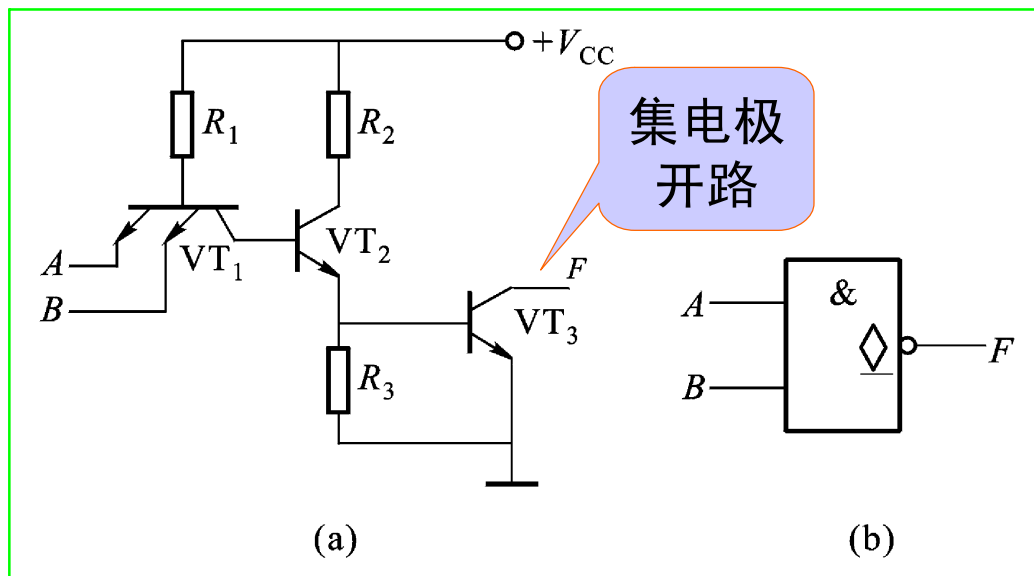


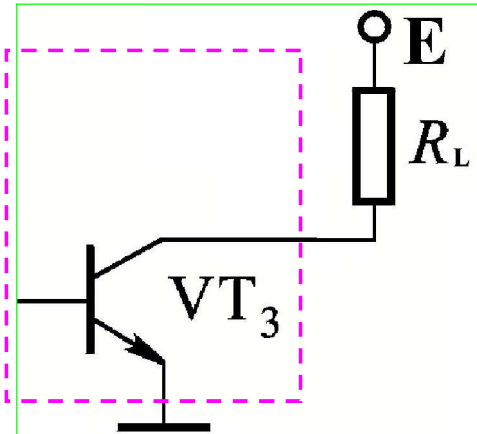
图3-12 集电极开路的TTL与非门
(a) 电路 (b) 逻辑符号

(3) 工作原理:

当VT3饱和, 输出低电平 $U_{OL}=0.3V$;

当VT3截止, 由外接电源E通过外接上拉电阻提供高电平 $U_{OH}=E$ 。

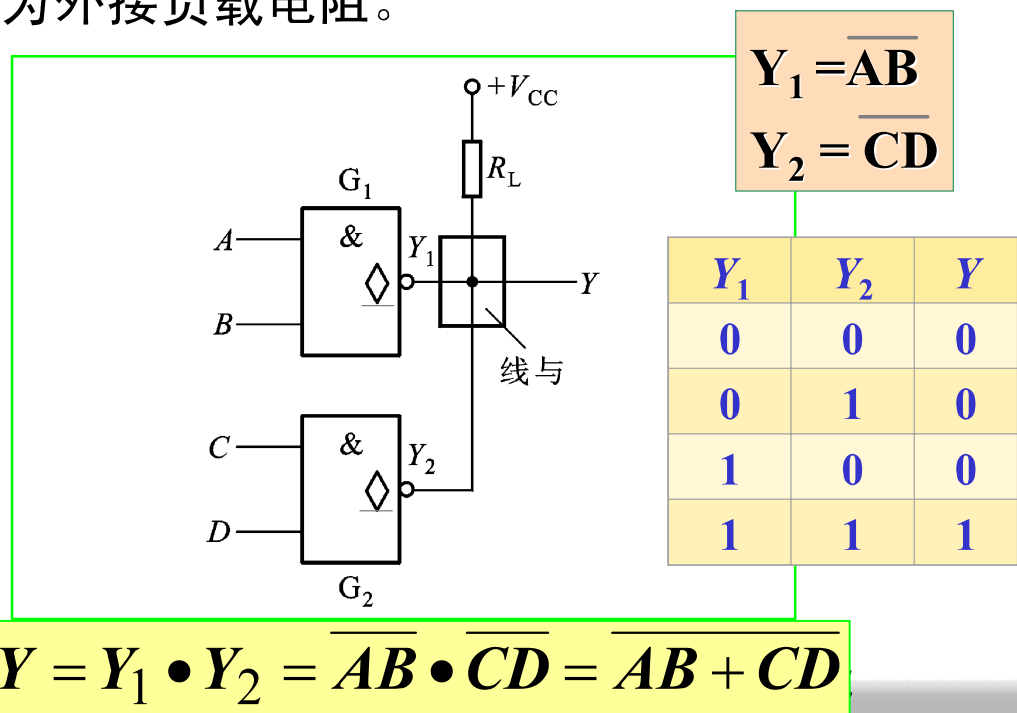
因此, **OC门电路必须外接电源和负载电阻, 才能提供高电平输出信号。**



2. OC门的应用举例

(1) OC门的输出端并联，实现线与功能。

R_L 为外接负载电阻。



(2) 用OC门实现电平转换

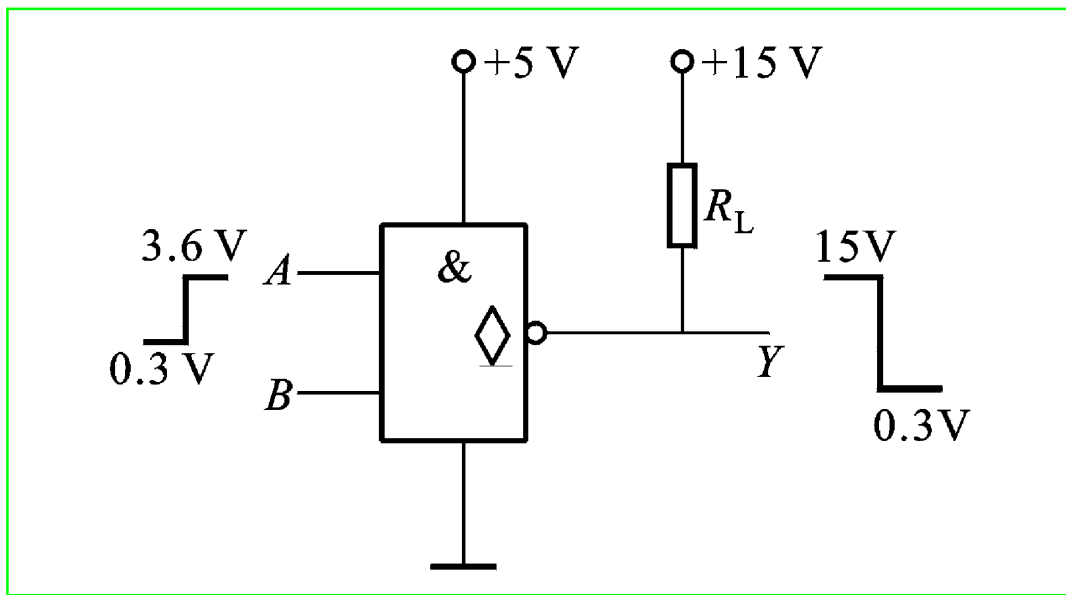


图3-13 用OC门实现电平转换的电路

2 三态输出门电路（TS门）

三态门电路的输出有三种可能出现的状态：
高电平、低电平、高阻。

何为高阻状态？

悬空、悬浮状态，又称为禁止状态。

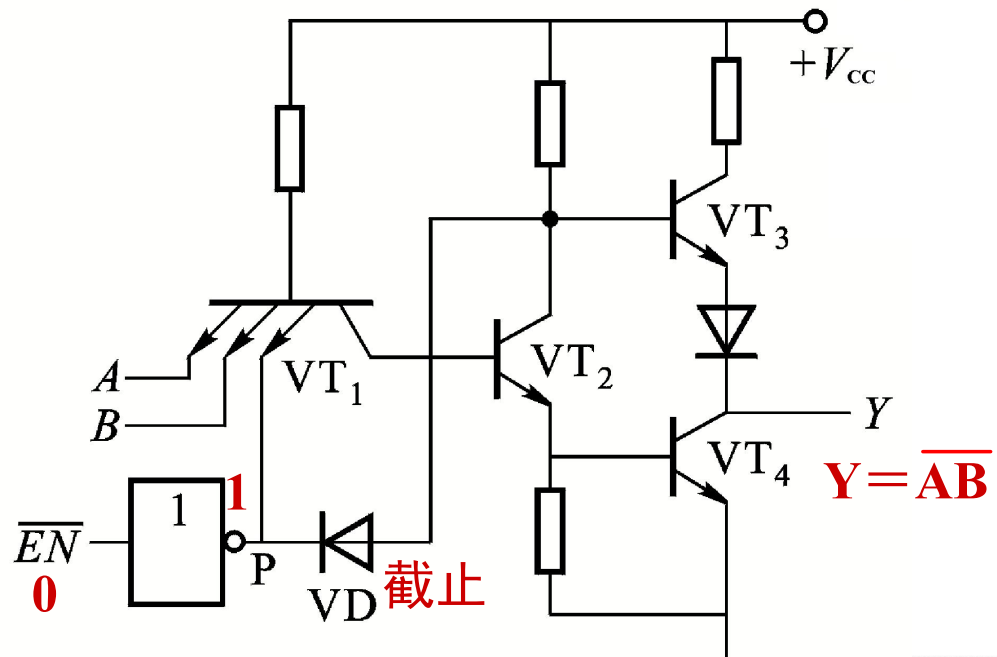
测电阻为 ∞ ，故称为高阻状态。

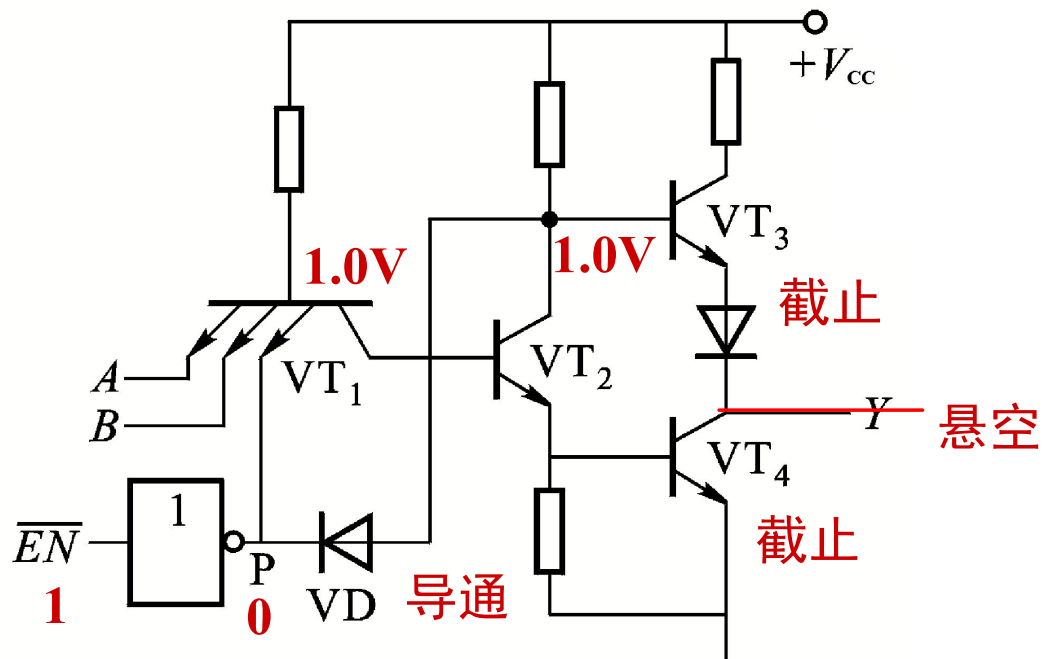
测电压为**0V**，但不是接地。

因为悬空，所以测其电流为**0A**。

1. 三态门的电路结构

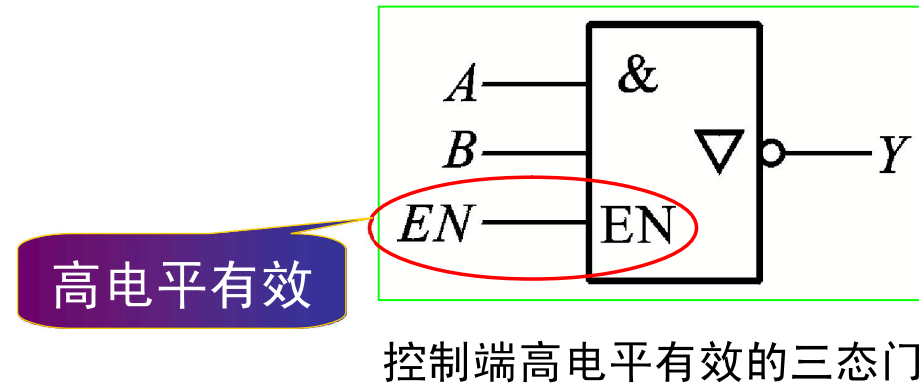
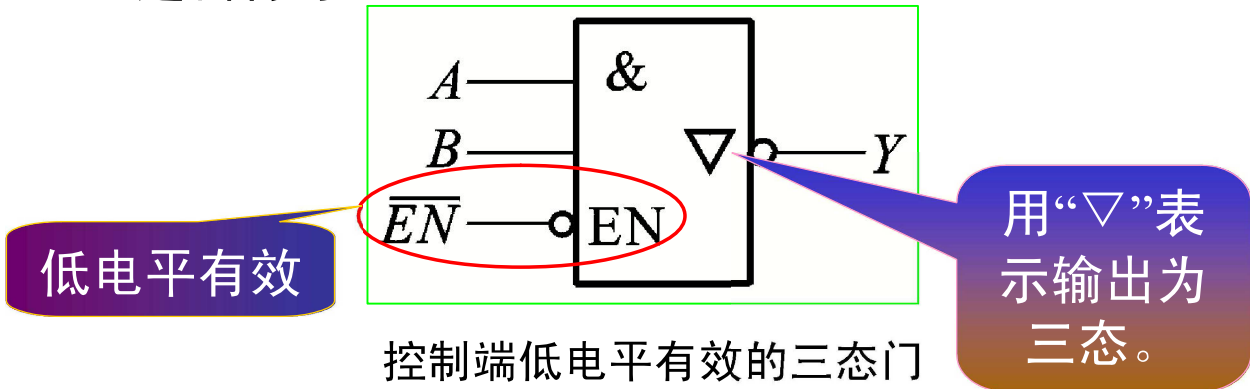
$\overline{EN} = 0$ 时，电路为正常的与非工作状态，所以称控制端低电平有效。





当 $\overline{EN} = 1$ 时，门电路输出端处于悬空的高阻状态。

(2) 逻辑符号



2. 三态门的主要应用—实现总线传输

要求各门的控制端EN轮流为高电平，且在任何时刻只有一个门的控制端为高电平。

如有8个门，则8个EN端的波形应依次为高电平，如下页所示。

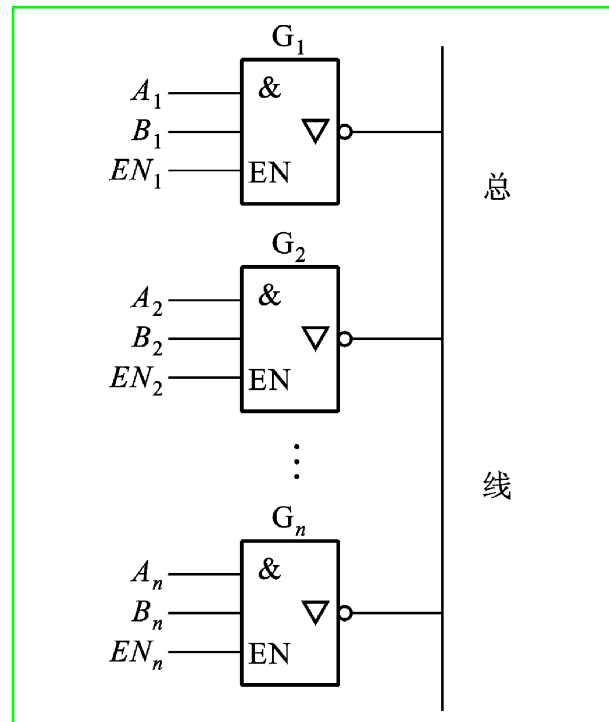
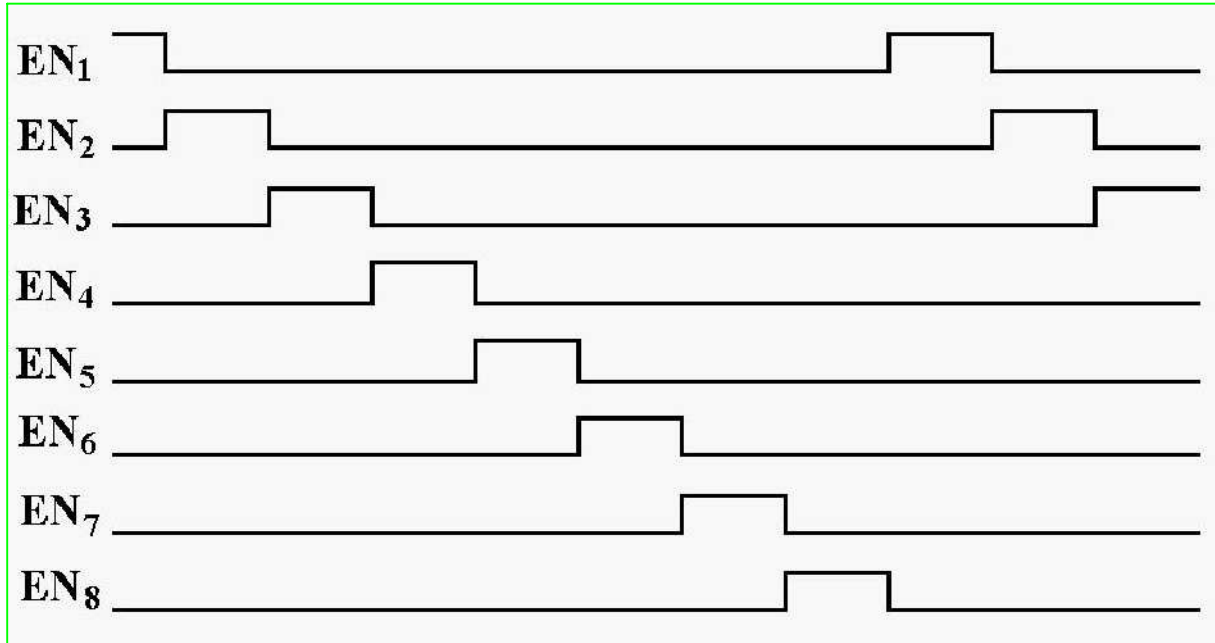


图3-14 用三态门实现总线传输



3.3.8 CMOS 门电路

一 CMOS反相器

二 其它类型的CMOS门电路

3.3.8 CMOS 门电路

MOS门电路：以MOS管作为开关元件构成的门电路。

MOS门电路，尤其是CMOS门电路具有制造工艺简单、集成度高、抗干扰能力强、功耗低、价格便宜等优点，得到了十分迅速的发展。

一 CMOS反相器

MOS管有NMOS管和PMOS管两种。

当NMOS管和PMOS管成对出现在电路中，且二者在工作中互补，称为CMOS管(意为互补)。

MOS管有增强型和耗尽型两种。

在数字电路中，多采用增强型。

1. MOS管的开关特性

(1) NMOS管的开关特性

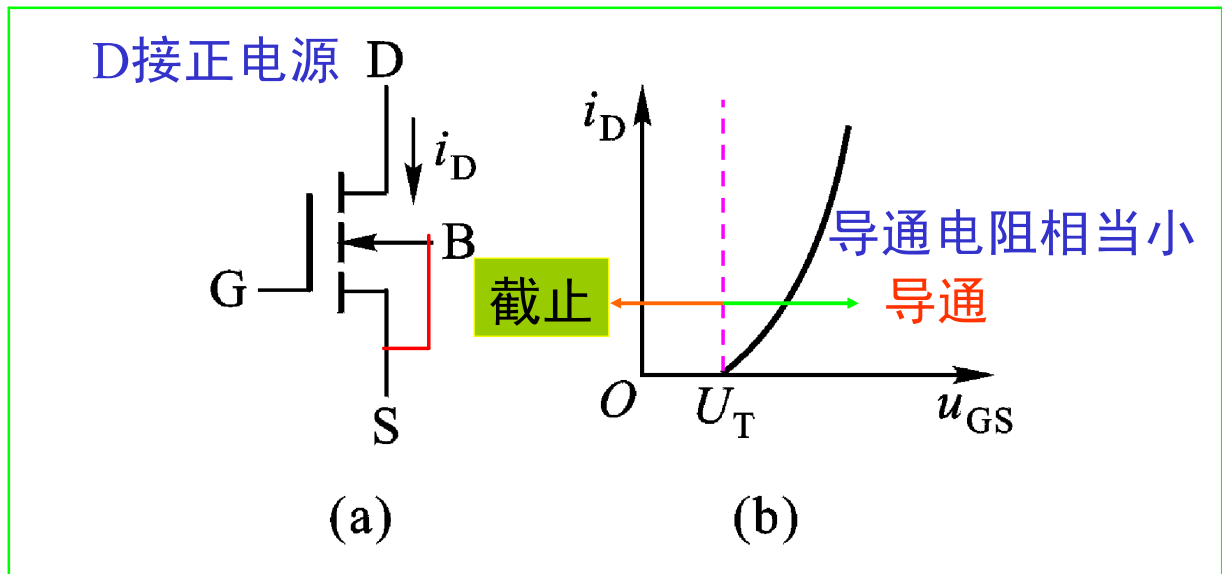


图3-15 NMOS管的电路符号及转移特性
(a) 电路符号 (b) 转移特性

(2) PMOS管的开关特性

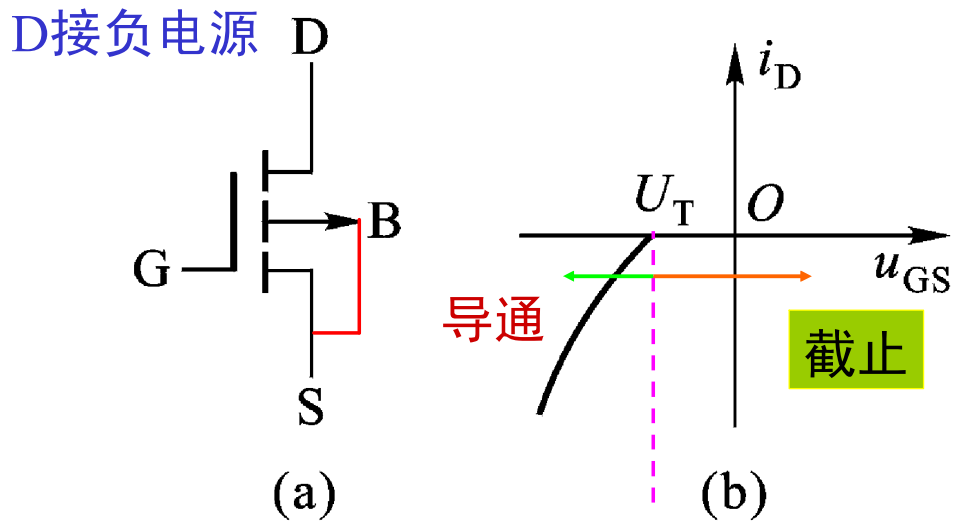


图3-15 PMOS管的电路符号及转移特性
(a) 电路符号 (b) 转移特性

导通电阻相当小

2. CMOS反相器的工作原理

(1) 基本电路结构

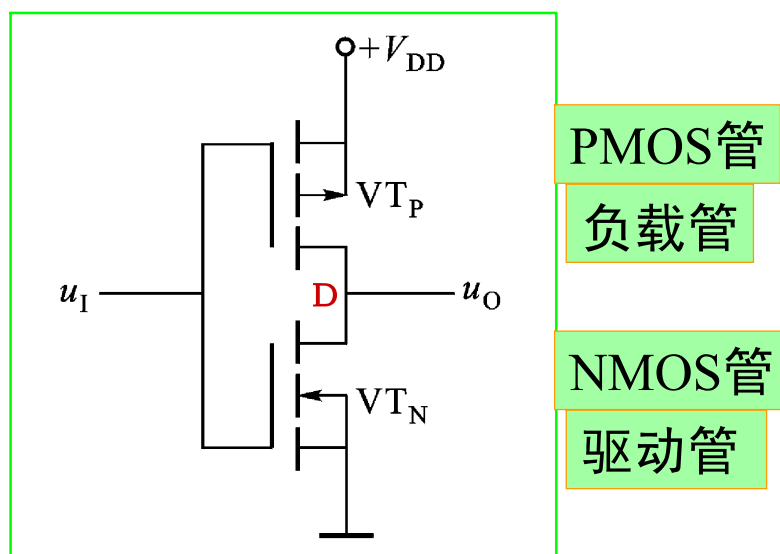
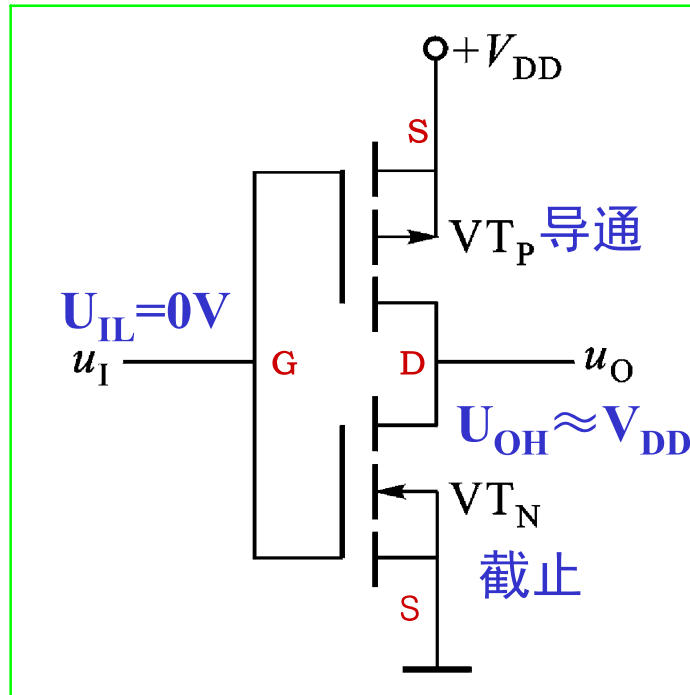


图3-16 CMOS反相器

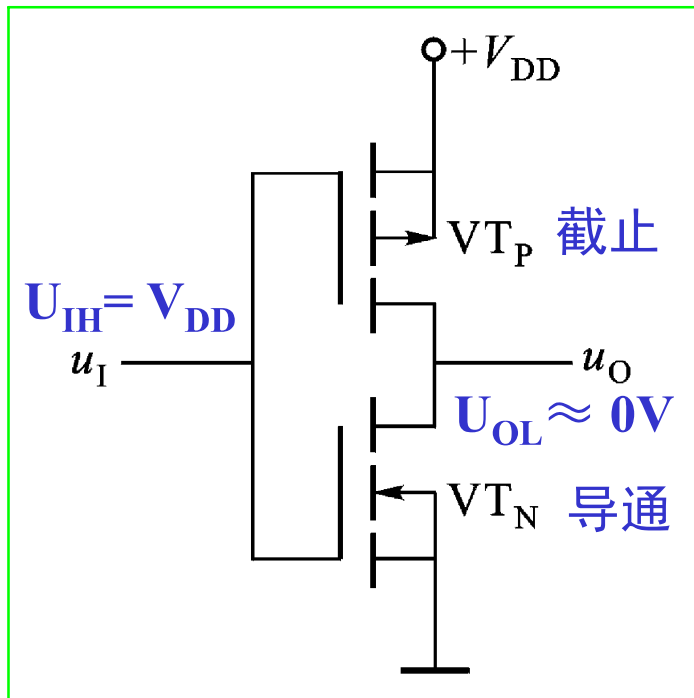
开启电压 $|U_{TP}|=U_{TN}$ ，且小于 V_{DD} 。

(2) 工作原理



当 $u_I = U_{IL} = 0V$ 时, V_{T_N} 截止, V_{T_P} 导通, $u_O = U_{OH} \approx V_{DD}$

图3-17 CMOS反相器



当 $u_I =$
 $U_{IH} =$
 V_{DD} , VT_N
 导通, VT_P
 截止,
 u_O
 $= U_{OL} \approx 0V$

图3-18 CMOS反相器

(3) 逻辑功能

实现反相器功能（非逻辑）。

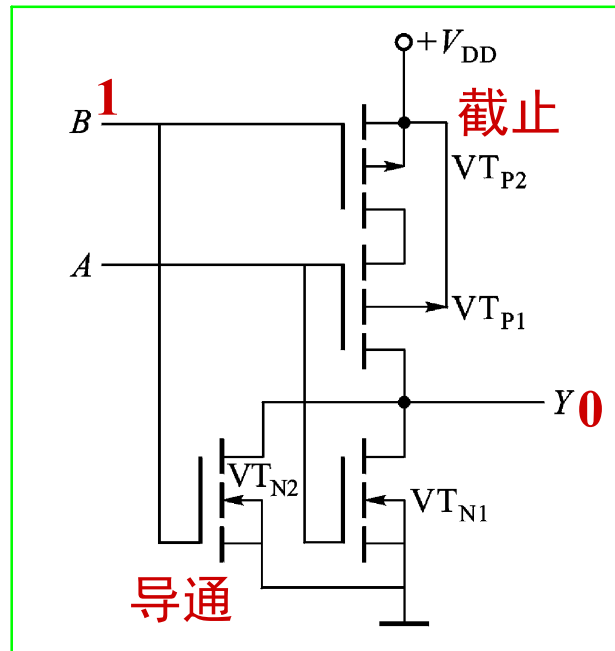
(4) 工作特点

V_{T_P} 和 V_{T_N} 总是一管导通而另一管截止，流过 V_{T_P} 和 V_{T_N} 的静态电流极小（纳安数量级），因而CMOS反相器的静态功耗极小。这是CMOS电路最突出的优点之一。

二 其它类型的CMOS门电路

1. CMOS或非门

A、B有高电平，则驱动管导通、负载管截止，输出为低电平。

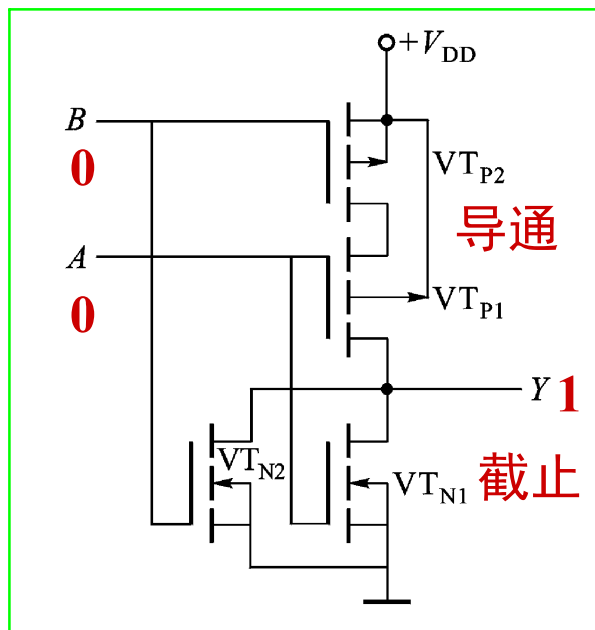


负载管串联
(串联开关)

驱动管并联
(并联开关)

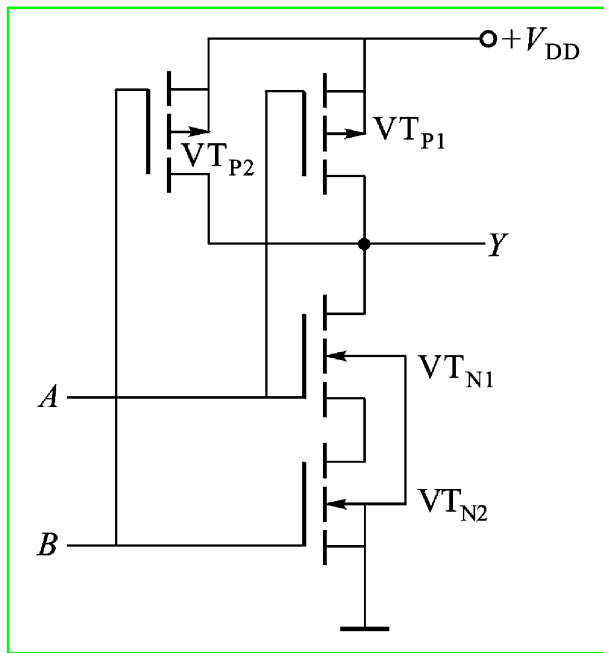
图3-19 CMOS或非门

当输入全为低电平，两个驱动管均截止，两个负载管均导通，输出为高电平。



该电路具有或非逻辑功能, 即 $Y = \overline{A+B}$

2. CMOS与非门



负载管并联
(并联开关)

驱动管串联
(串联开关)

图3-20 CMOS与非门

该电路具有与非逻辑功能，即 $Y = \overline{AB}$

3. CMOS传输门

(1) 电路结构

\overline{C} 和 C 是一对互补的控制信号。

由于 V_{T_P} 和 V_{T_N} 在结构上对称，所以图中的输入和输出端可以互换，又称双向开关。

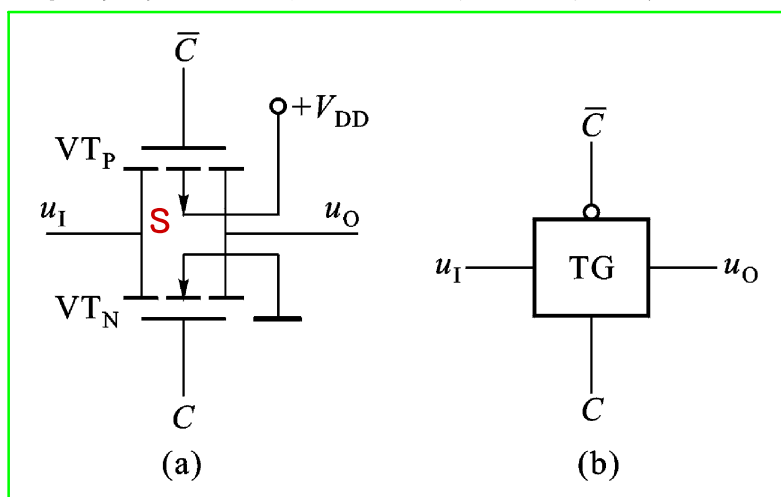


图3-19 CMOS传输门

(a) 电路 (b) 逻辑符号

(2) 工作原理 (了解)

若 $C=1$ (接 V_{DD})、 $\bar{C}=0$ (接地),

当 $0 < u_I < (V_{DD} - |U_T|)$ 时, VT_N 导通;

当 $|U_T| < u_I < V_{DD}$ 时, VT_P 导通;

u_I 在 $0 \sim V_{DD}$ 之间变化时, VT_P 和 VT_N 至少有一管导通, 使传输门 **TG** 导通。

若 $C=0$ (接地)、 $\bar{C}=1$ (接 V_{DD}),

u_I 在 $0 \sim V_{DD}$ 之间变化时, VT_P 和 VT_N 均截止, 即传输门 **TG** 截止。

