

第四章 组合逻辑电路

§ 4.1 组合电路的分析

§ 4.2 组合电路的设计及典型组件介绍

§ 4.3 中规模组合逻辑组件的灵活应用

§ 4.4 组合电路中的竞争-冒险现象

逻辑电路

组合电路

功能：输出只取决于当前的输入

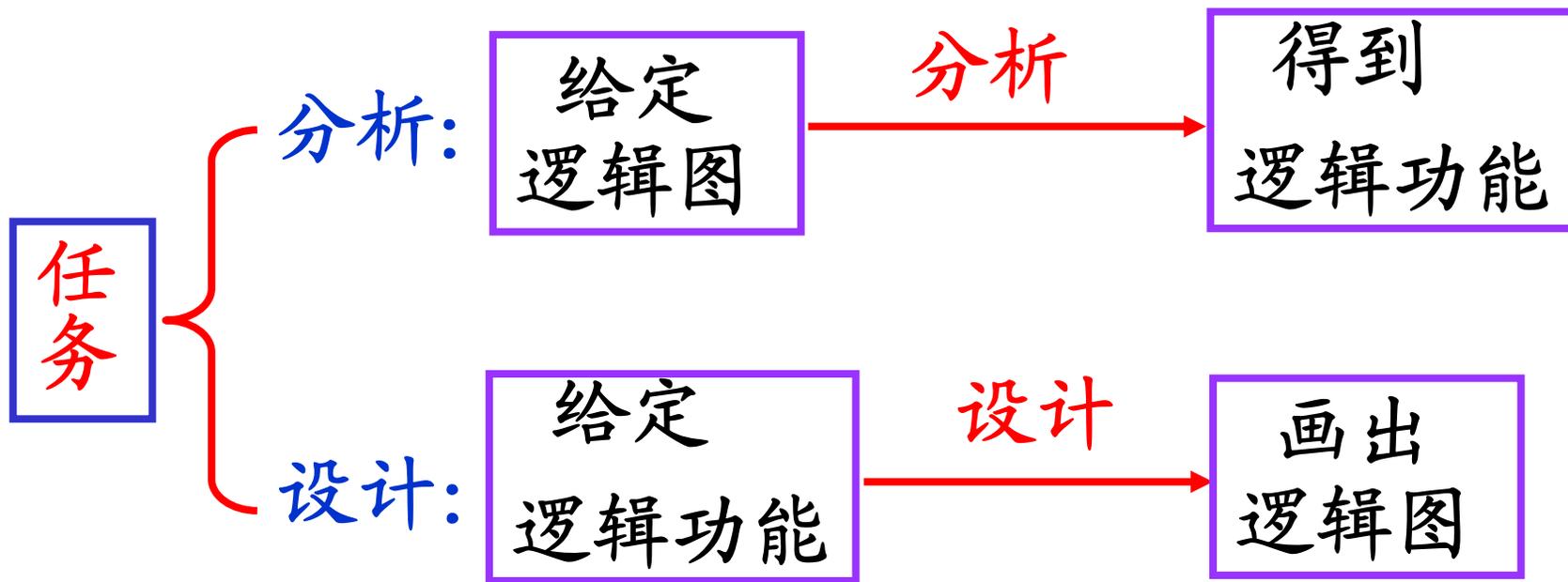
组成：门电路，不存在记忆元件

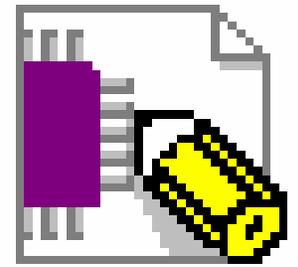
时序电路

功能：输出取决于当前的输入和原来的状态

组成：组合电路和记忆元件

§ 4.1 组合电路的分析





组合电路的分析方法——

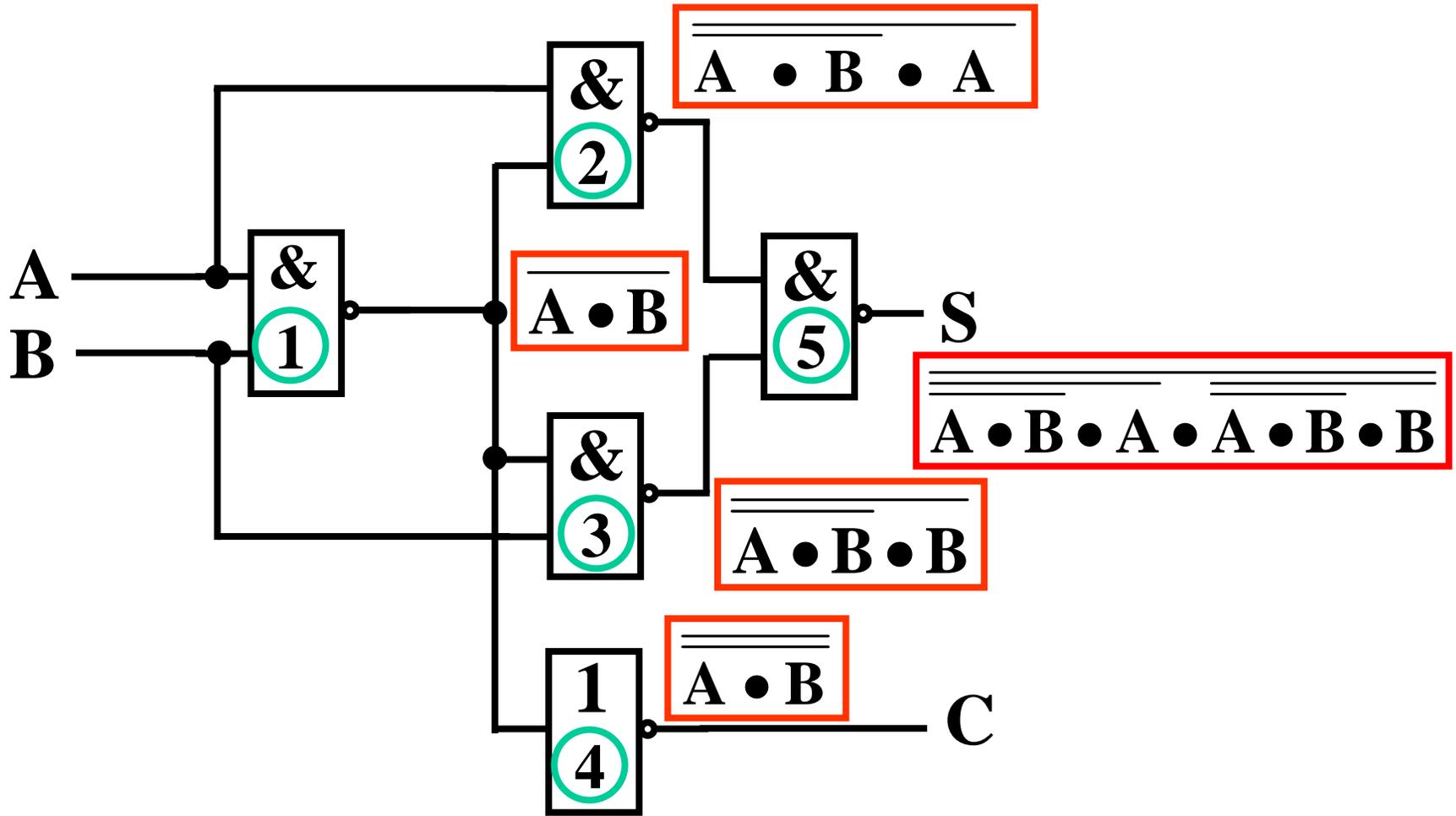
逐级写逻辑式法：

- 1、由给定的逻辑图逐级写出逻辑式。
- 2、对逻辑式进行化简：

}	公式化简法	}	最简
	卡诺图法		与或式
- 3、列出输入输出状态表并得到逻辑功能。

4.1.1 异或门、半加器

一、逐级写逻辑式：



二、对逻辑式进行化简：

$$C = \overline{\overline{A \cdot B}} = A \cdot B$$

$$S = \overline{\overline{A \cdot B \cdot A} \cdot \overline{\overline{A \cdot B \cdot B}}} \quad (\text{德} \cdot \text{摩根定理})$$


$$= \overline{\overline{A \cdot B \cdot A}} + \overline{\overline{A \cdot B \cdot B}}$$

$$= \underline{\overline{A \cdot B \cdot A}} + \underline{\overline{A \cdot B \cdot B}}$$

$$= (\overline{A} + \overline{B}) \cdot A + (\overline{A} + \overline{B}) \cdot B \quad (\text{德} \cdot \text{摩根定$$

$$= A \cdot \overline{B} + \overline{A} \cdot B$$

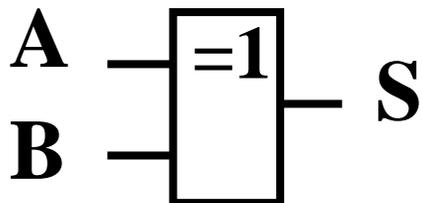
理)

三、列真值表：

逻辑式：
$$\begin{cases} S = A \cdot \bar{B} + \bar{A} \cdot B \\ C = A \cdot B \end{cases}$$

输入		输出	
A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

异或门



真值表:

输入		输出	
A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

S的功能:

A、B相异: S为1

A、B相同: S为0

异或功能:

$$S = A \oplus B$$

异或运算

由真值表写逻辑式：写函数值为1的与或式。

规定：变量

取值=0 → 反变量
取值=1 → 原变量

真值表：

输入		输出	
A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

$$S = A \cdot \bar{B} + \bar{A} \cdot B$$

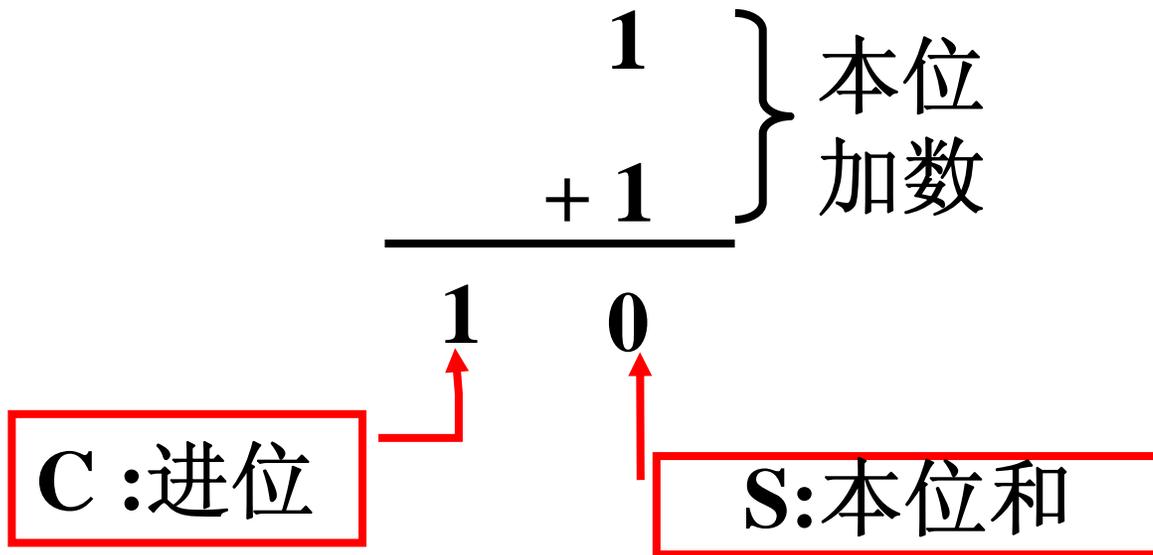
$$= A \oplus B$$

$$C = A \cdot B$$

半加器:

两个一位二进制数相加，只求本位和，不考虑低位的进位信号。

二进制加法: $\left\{ \begin{array}{l} \text{变量只取0和1;} \\ \text{逢二进位。} \end{array} \right.$



真值表:

输入		输出	
A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

半加器:

本位和:

$$S = A \oplus B$$

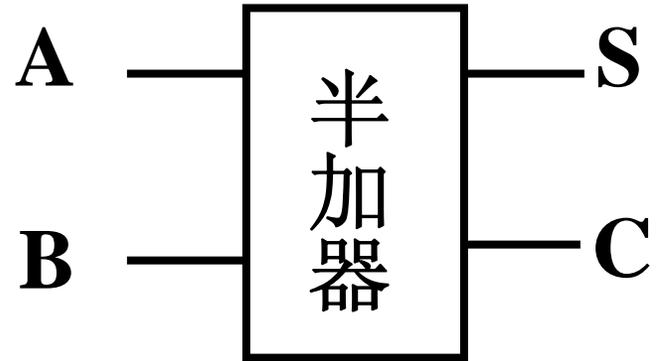
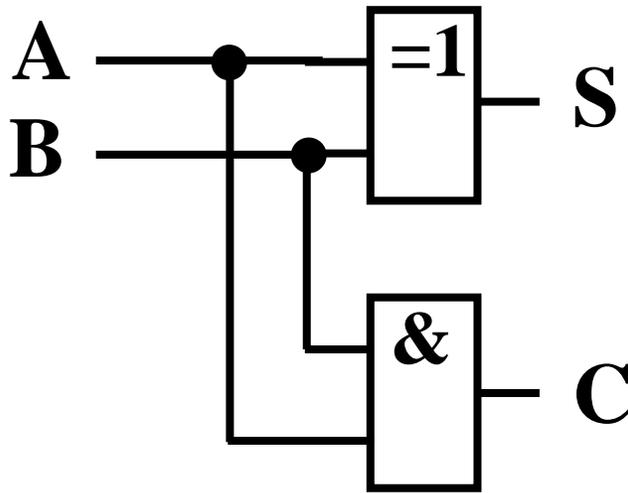
进位:

$$C = A \cdot B$$



半加器: [逻辑图](#)

半加器: [逻辑符号](#)



$$S = A \oplus B$$

$$C = A \cdot B$$

$$F = \bar{S}$$

F的功能:

A、B相同: F为1

A、B相异: F为0

同或功能:

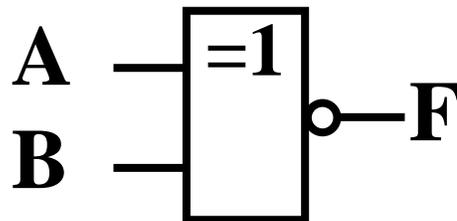
$$F = \overline{\bar{A}\bar{B}} + AB$$

$$F = \overline{A \oplus B}$$

真值表:

输入		输出		
A	B	S	C	\bar{S}
0	0	0	0	1
0	1	1	0	0
1	0	1	0	0
1	1	0	1	1

同或门



4.1.2 译码器

译码:

二进制代码
(机器代码)  转换 特定的输出状态

由功能
分类

通用译码器:

——用于对电路进行逻辑控制

显示译码器:

——用于电路输出的数字显示部分

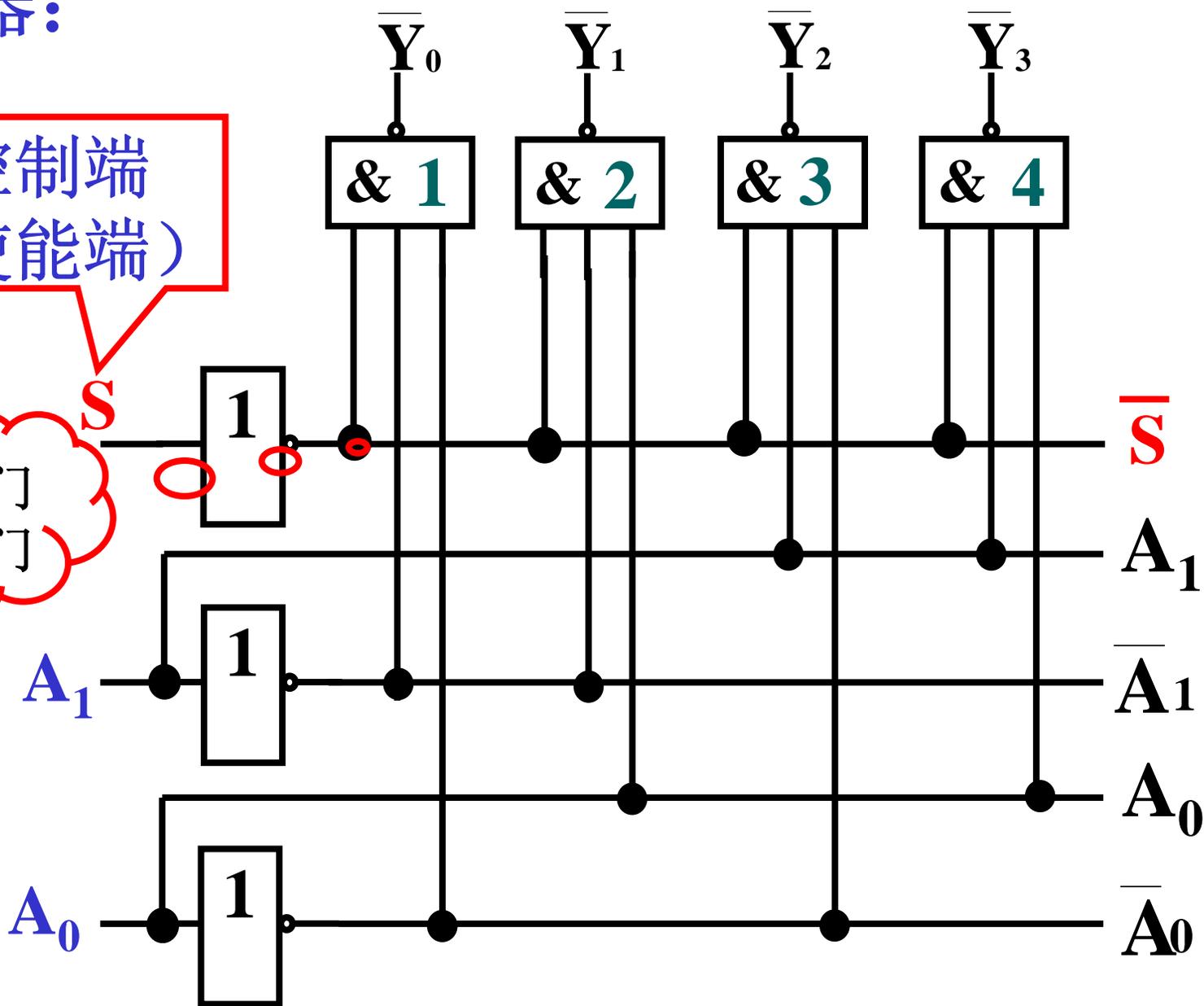
一、通用译码器：

器：

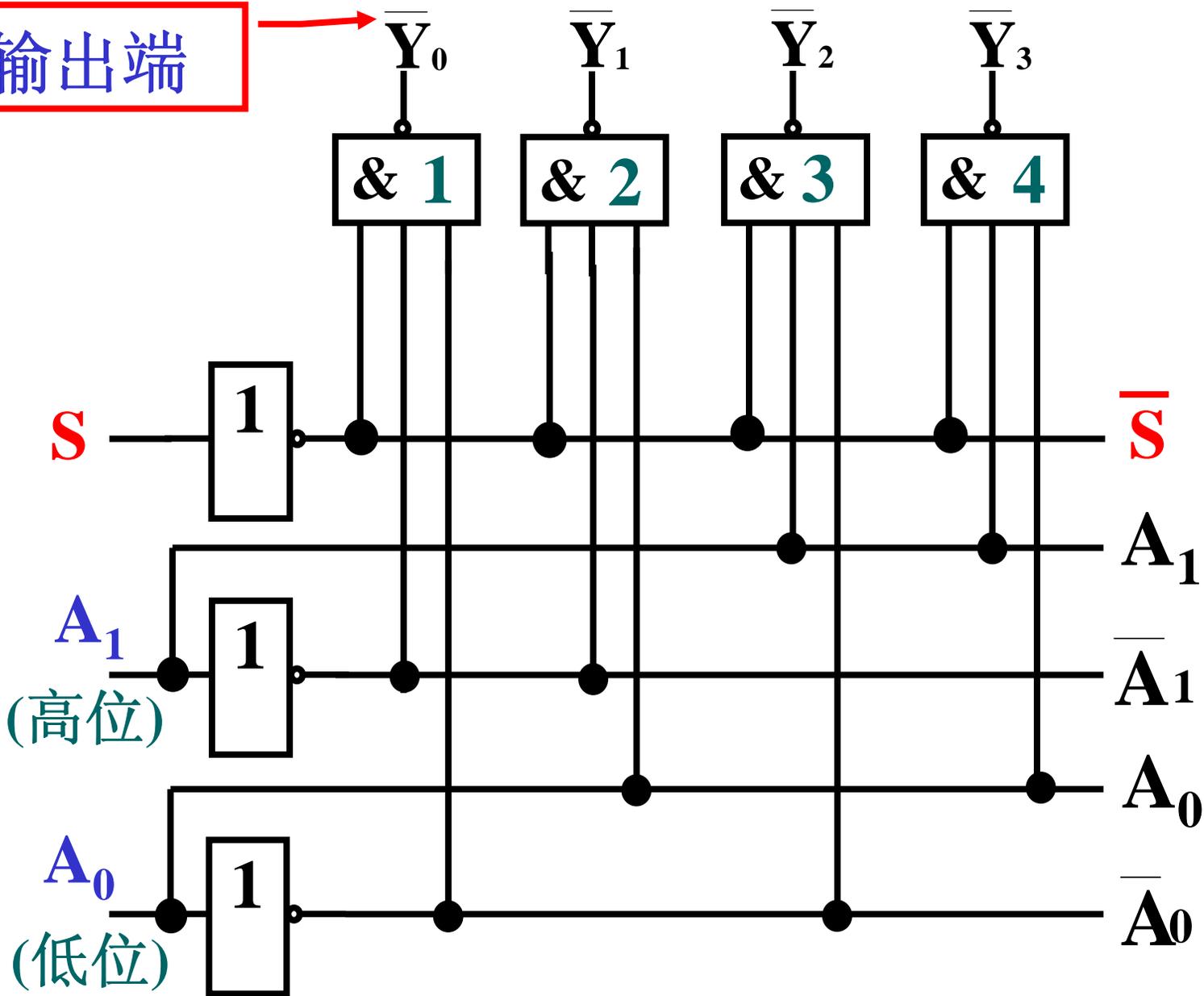
控制端
(使能端)

S

“1”：开门
“0”：封门



输出端



输入变量

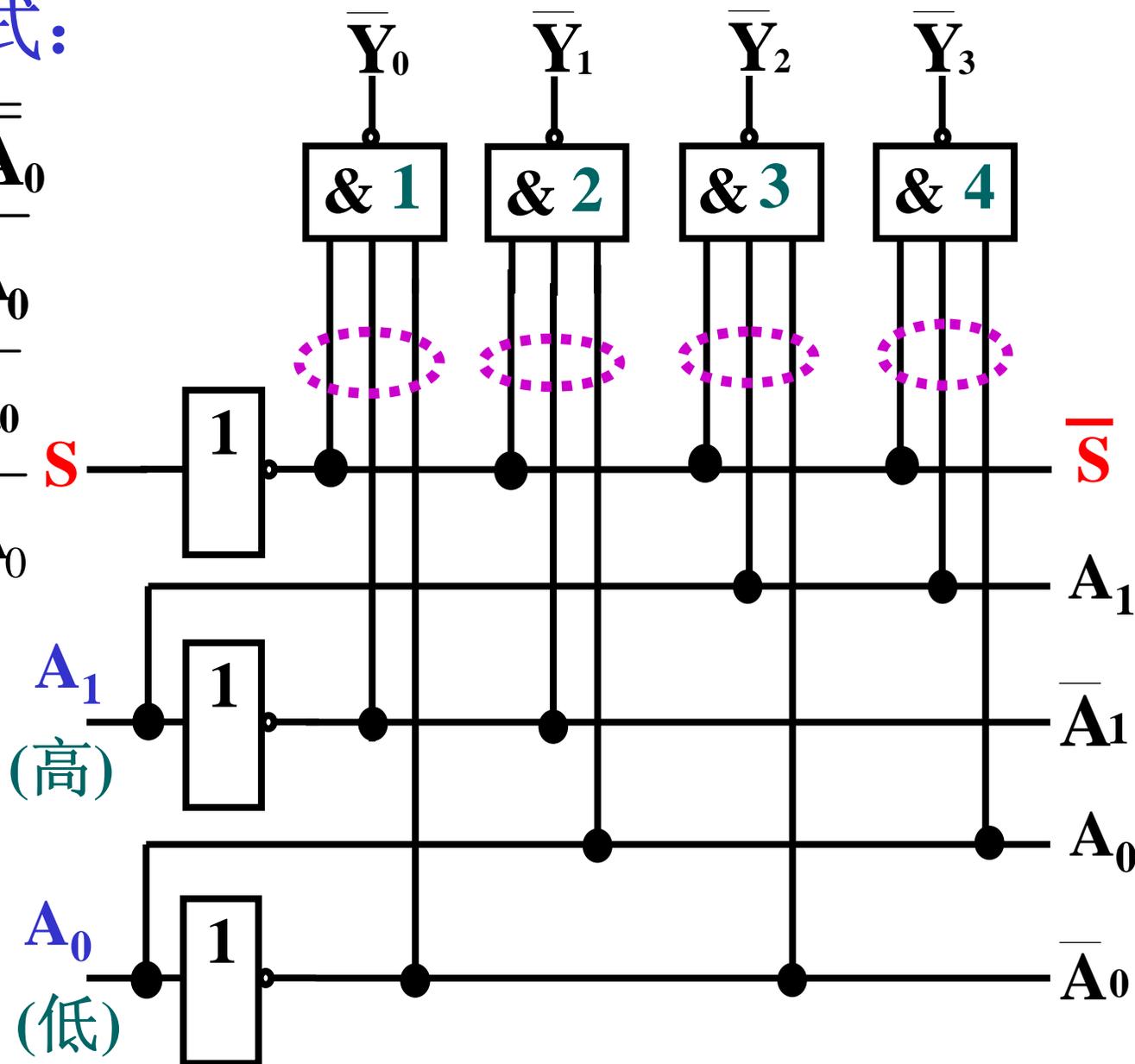
逐级写逻辑式：

$$\overline{Y_0} = \overline{\overline{S} \cdot \overline{A_1} \cdot \overline{A_0}}$$

$$\overline{Y_1} = \overline{\overline{S} \cdot \overline{A_1} \cdot A_0}$$

$$\overline{Y_2} = \overline{\overline{S} \cdot A_1 \cdot \overline{A_0}}$$

$$\overline{Y_3} = \overline{\overline{S} \cdot A_1 \cdot A_0}$$



$$\overline{Y_0} = \overline{\overline{S} \cdot \overline{A_1} \cdot \overline{A_0}}$$

$$\overline{Y_1} = \overline{\overline{S} \cdot \overline{A_1} \cdot A_0}$$

$$\overline{Y_2} = \overline{\overline{S} \cdot A_1 \cdot \overline{A_0}}$$

$$\overline{Y_3} = \overline{\overline{S} \cdot A_1 \cdot A_0}$$

与非—与非式

功能表：2—4线 译码器

译码

使能端	输入代码		输出状态			
S	A ₁	A ₀	\overline{Y}_0	\overline{Y}_1	\overline{Y}_2	\overline{Y}_3
1	×	×	1	1	1	1
0	0	0	0	1	1	1
0	0	1	1	0	1	1
0	1	0	1	1	0	1
0	1	1	1	1	1	0

← 封门

} 开门

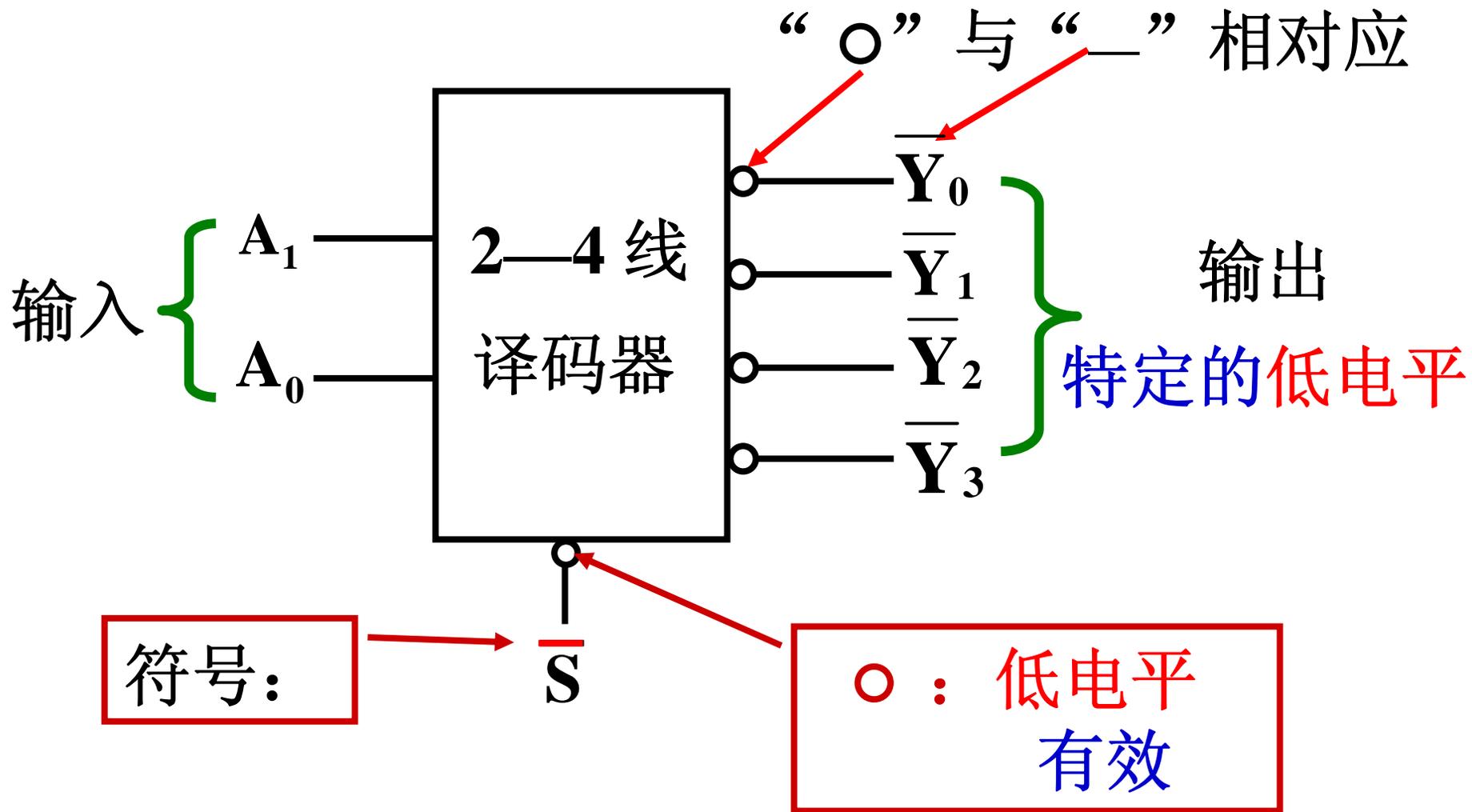
$$\overline{Y}_0 = \overline{\overline{S}} \cdot \overline{\overline{A_1}} \cdot \overline{\overline{A_0}}$$

$$\overline{Y}_1 = \overline{\overline{S}} \cdot \overline{\overline{A_1}} \cdot \overline{\overline{A_0}}$$

$$\overline{Y}_2 = \overline{\overline{S}} \cdot \overline{\overline{A_1}} \cdot \overline{\overline{A_0}}$$

$$\overline{Y}_3 = \overline{\overline{S}} \cdot \overline{\overline{A_1}} \cdot \overline{\overline{A_0}}$$

译码器符号： 2—4线 译码器

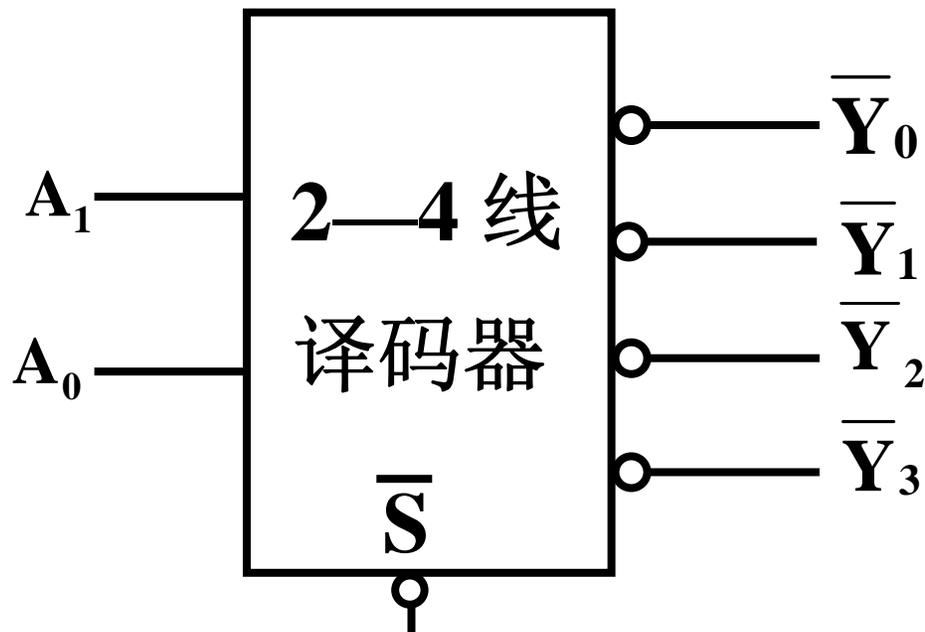


归纳:

2—4线译码器

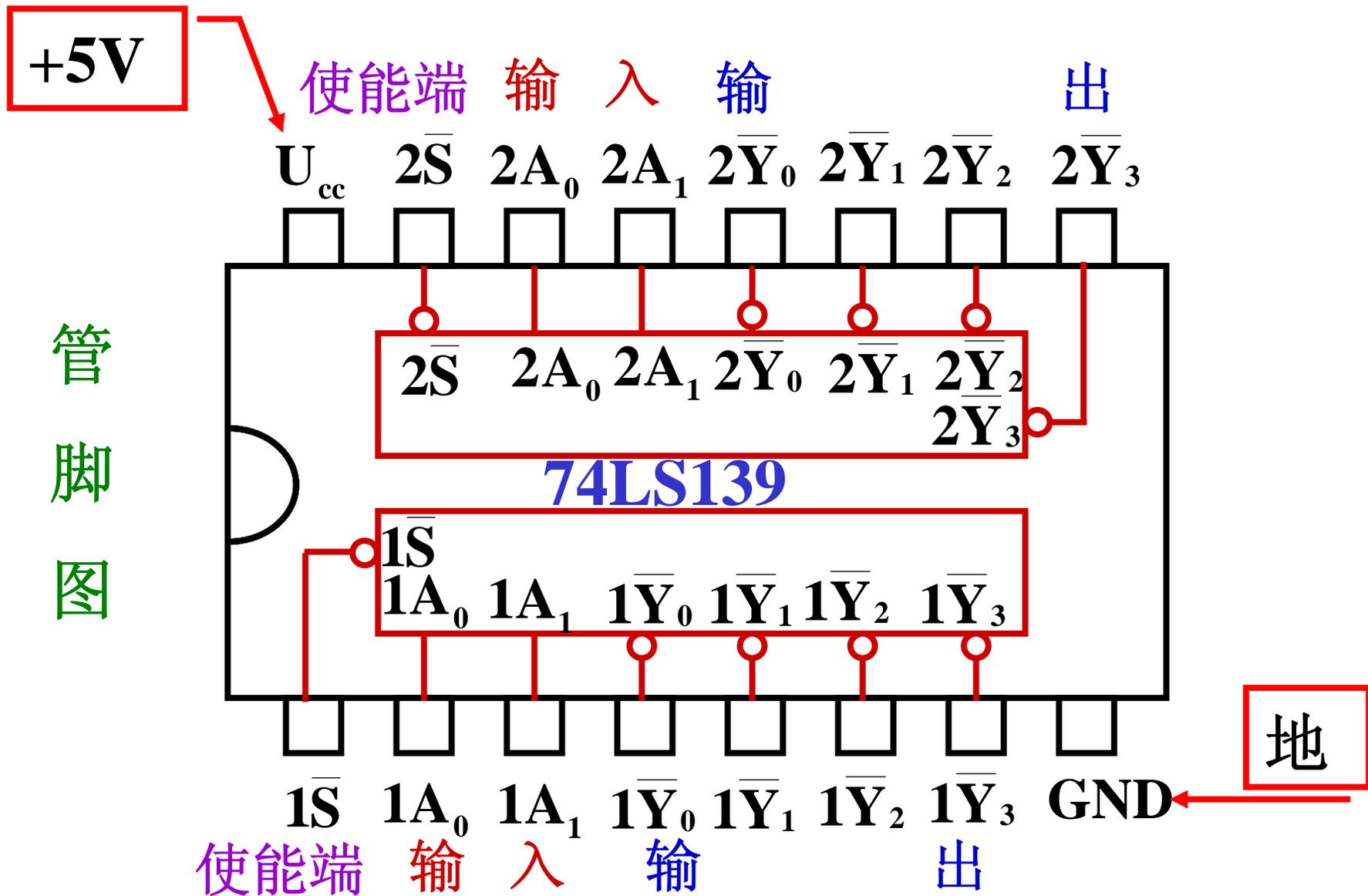
逻辑符号:

功能表:

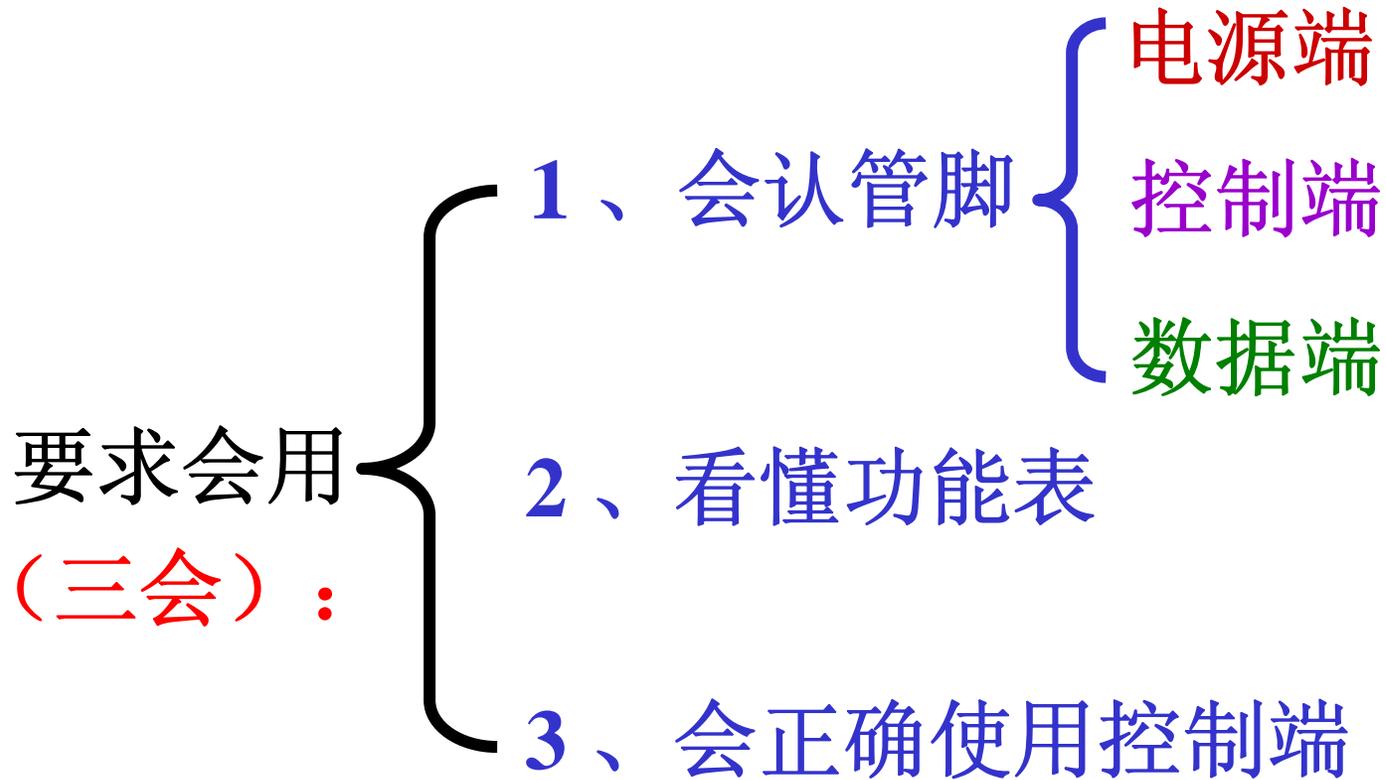


使能端	输入代码		输出状态			
S	A ₁	A ₀	\overline{Y}_0	\overline{Y}_1	\overline{Y}_2	\overline{Y}_3
1	×	×	1	1	1	1
0	0	0	0	1	1	1
0	0	1	1	0	1	1
0	1	0	1	1	0	1
0	1	1	1	1	1	0

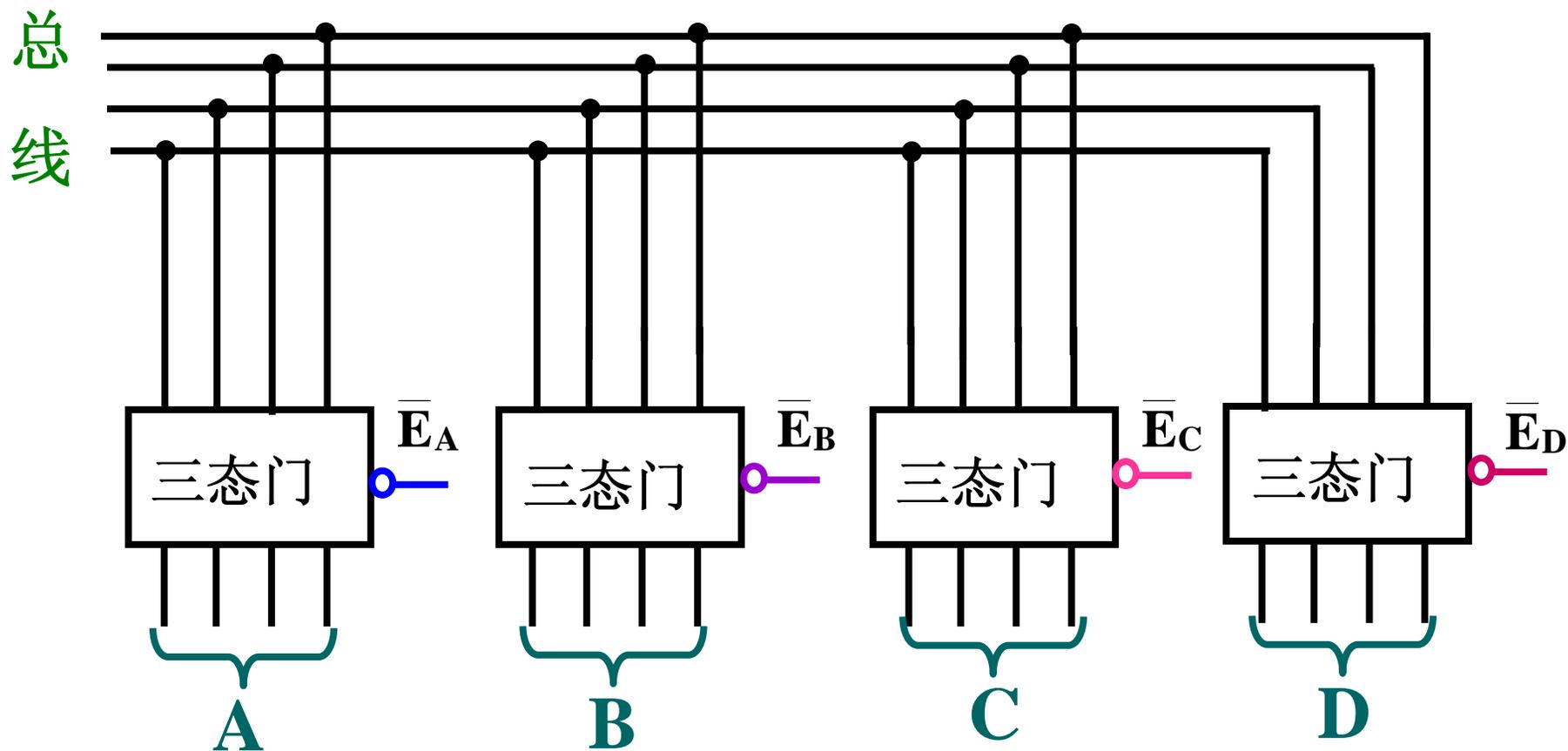
双2-4线译码器组件 74LS139: (其中含两个2-4译码器)



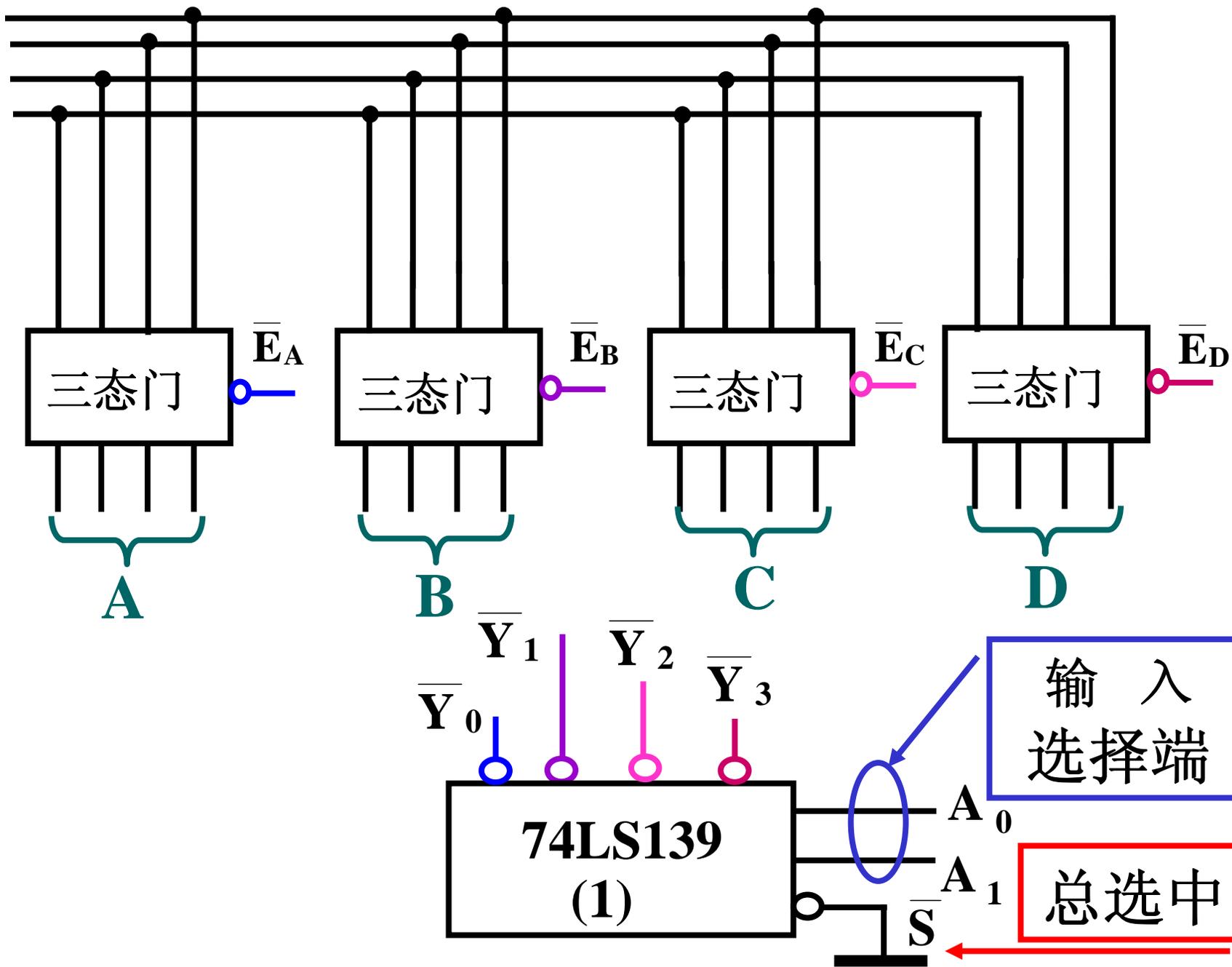
对组合电路组件的要求



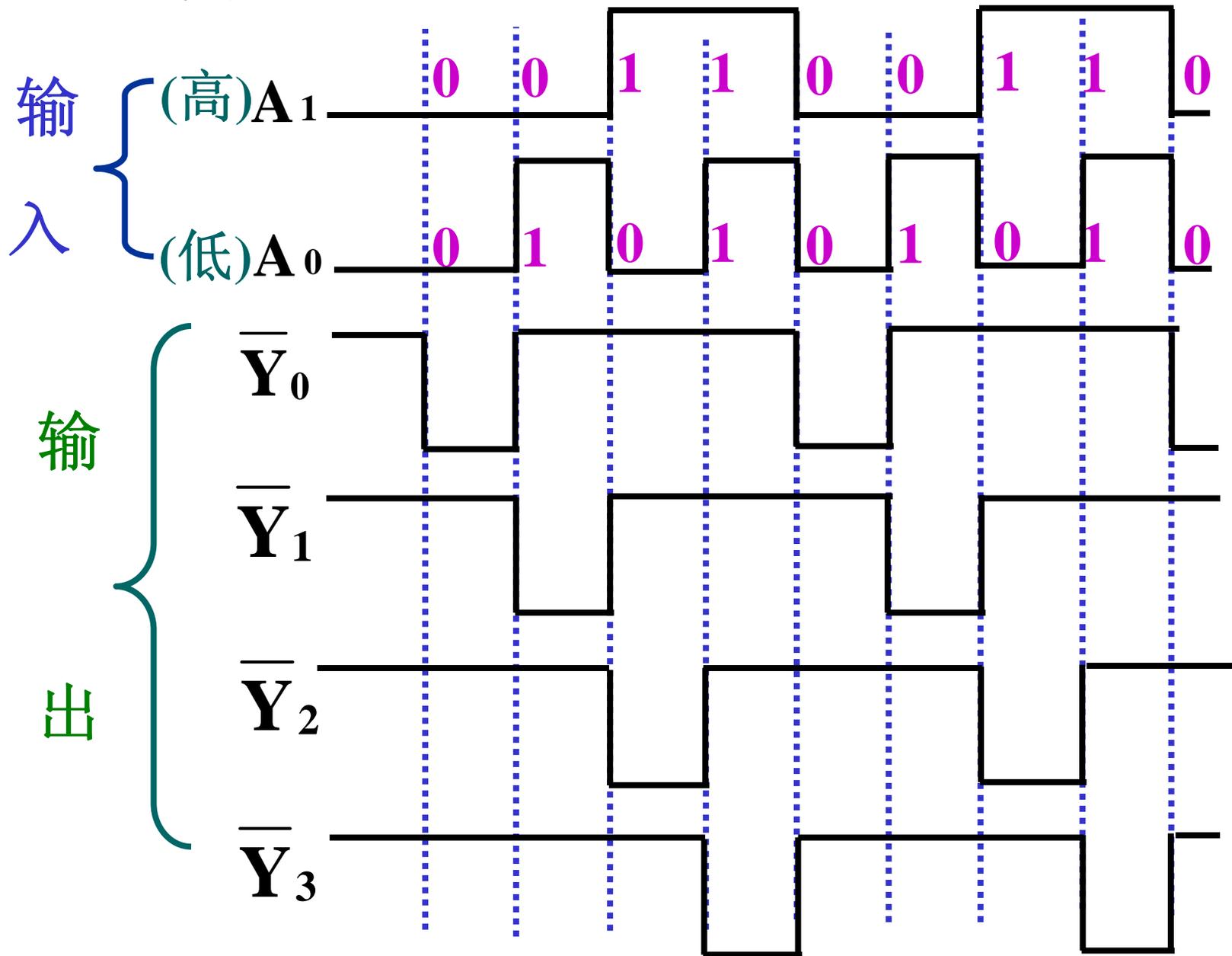
例：利用2—4线译码器分时地传送数据。



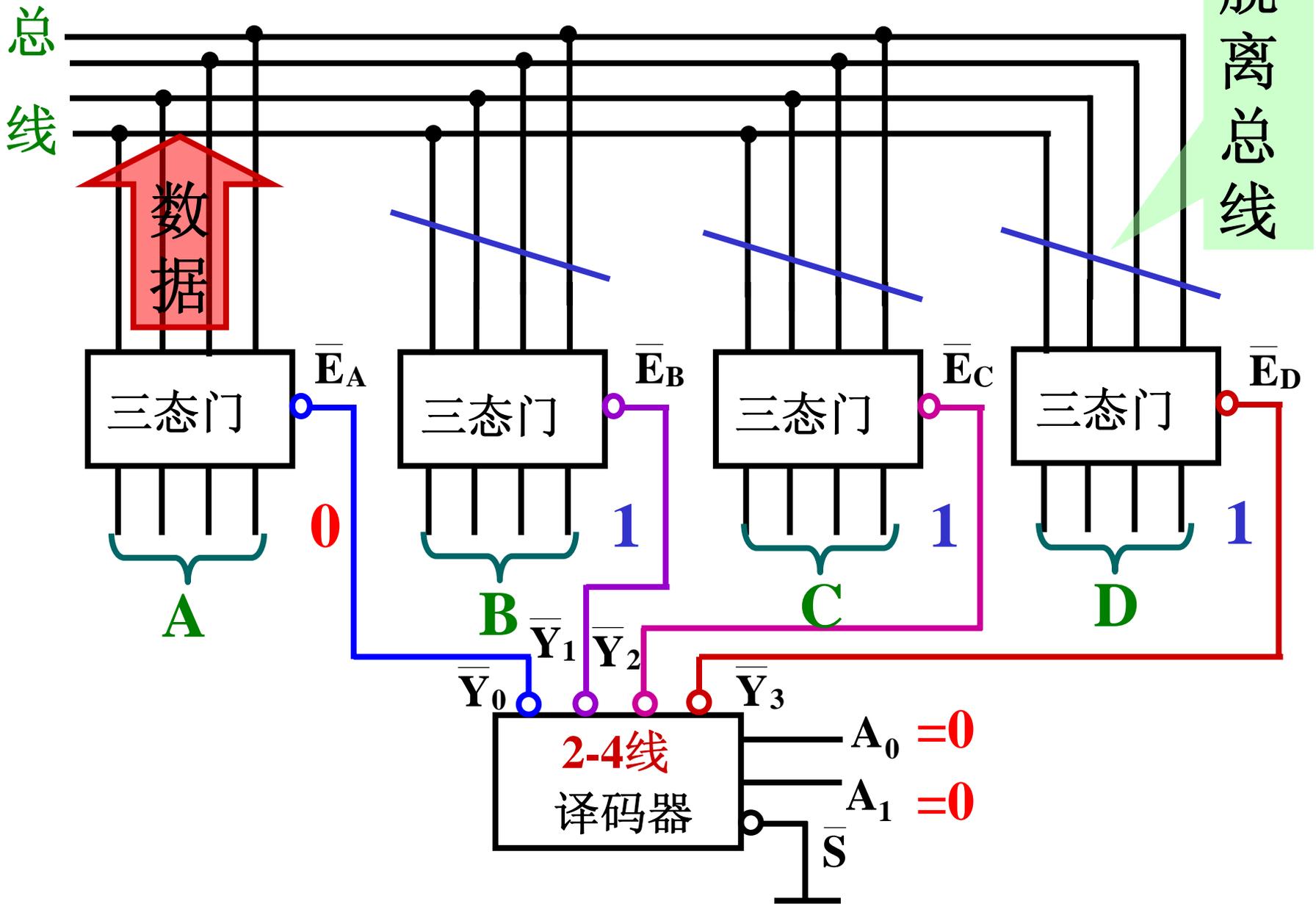
总线



2—4线译码器:



例：利用2—4线译码器分时地传送数据。



3— 组件：
8线译码器

数据输出

+5V

U_{cc}

\bar{Y}_0

\bar{Y}_1

\bar{Y}_2

\bar{Y}_3

\bar{Y}_4

\bar{Y}_5

\bar{Y}_6

管脚图

16

15

14

13

12

11

10

9

74LS138

1

2

3

4

5

6

7

8

A

B

C

\bar{G}_{2A}

\bar{G}_{2B}

G_1

\bar{Y}_7

GND

地

输入选择

允许(使能)

输出

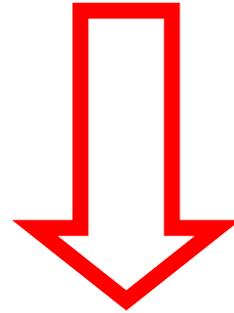
74LS138 输入—输出波形关系:

允许端		选 择			输 出 端							
G_1	\overline{G}_2	C	B	A	\overline{Y}_0	\overline{Y}_1	\overline{Y}_2	\overline{Y}_3	\overline{Y}_4	\overline{Y}_5	\overline{Y}_6	\overline{Y}_7
×	1	×	×	×	1	1	1	1	1	1	1	1
0	×	×	×	×	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0

二、显示译码器：

译码：

二进制代码
(机器代码)  转换 特定的输出状态



控制数码显示器，
直观地显示数字量。

二进制代码
(机器代码) 译码 → 特定的输出信号

控制**数码显示器**，
直观地显示数字量。

译码显示系统：



数码显示器

数码显示器
结构

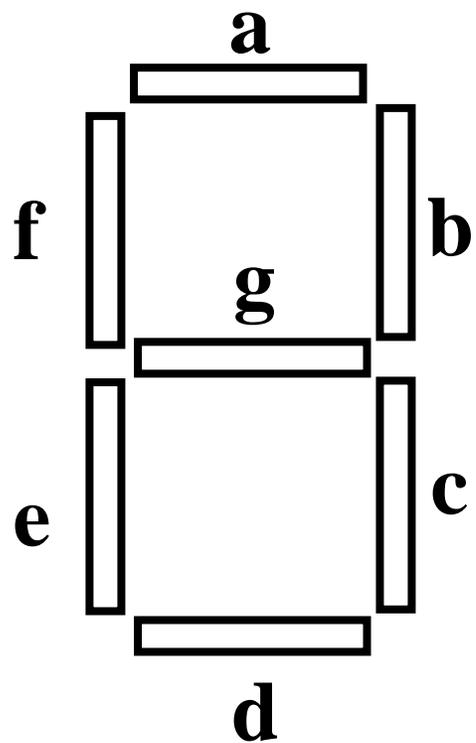
字形重叠式：辉光数码管

分段式：
 { 荧光数码管
 { 半导体显示器

——七段显示器

点矩阵式：液晶显示器

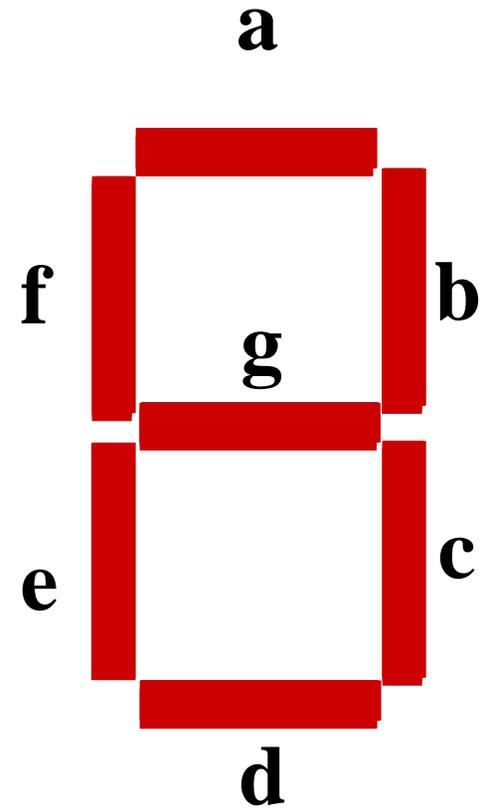
常用的：七段显示器 — 用七个发光字段来构成 0 ~ 9 十个数字。



每个发光字段是一个发光二极管（PN结）：
磷砷化镓（GaAsP）

七段显示器：显示数字情况

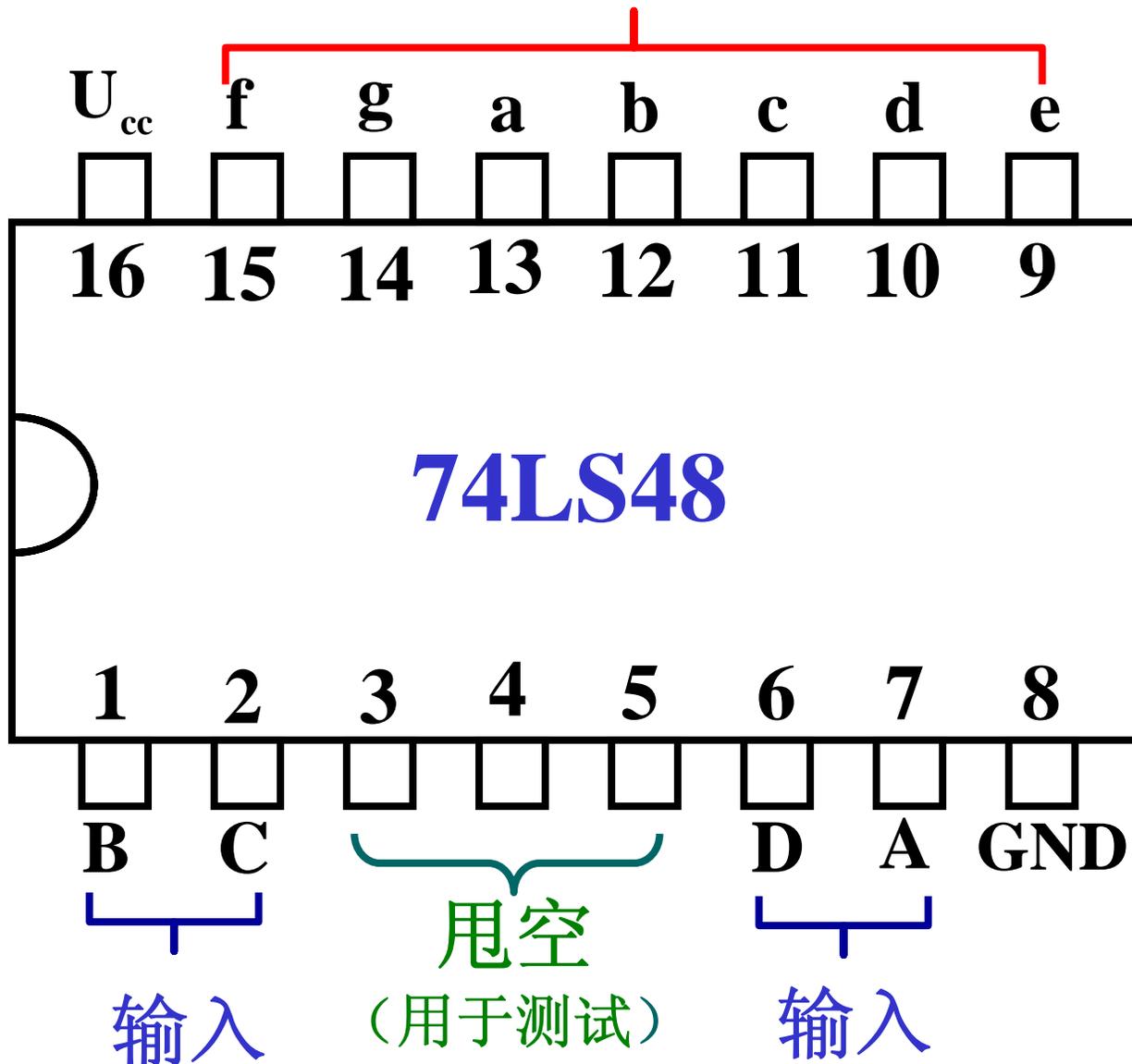
<u>0~9</u>	<u>a</u>	<u>b</u>	<u>c</u>	<u>d</u>	<u>e</u>	<u>f</u>	<u>g</u>
<u>0</u>	1	1	1	1	1	1	0
<u>1</u>	0	1	1	0	0	0	0
<u>2</u>	1	1	0	1	1	0	1
<u>3</u>	1	1	1	1	0	0	1
<u>4</u>	0	1	1	0	0	1	1
	⋮	⋮					
<u>8</u>	1	1	1	1	1	1	1
<u>9</u>	1	1	1	1	0	1	1



74LS48: BCD—七段译码器/驱动器

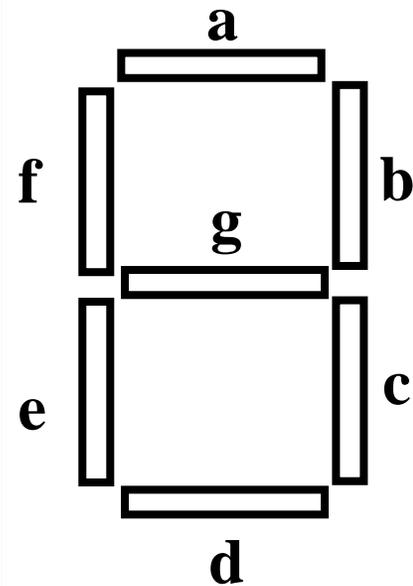
输出：接七段显示器

管脚图

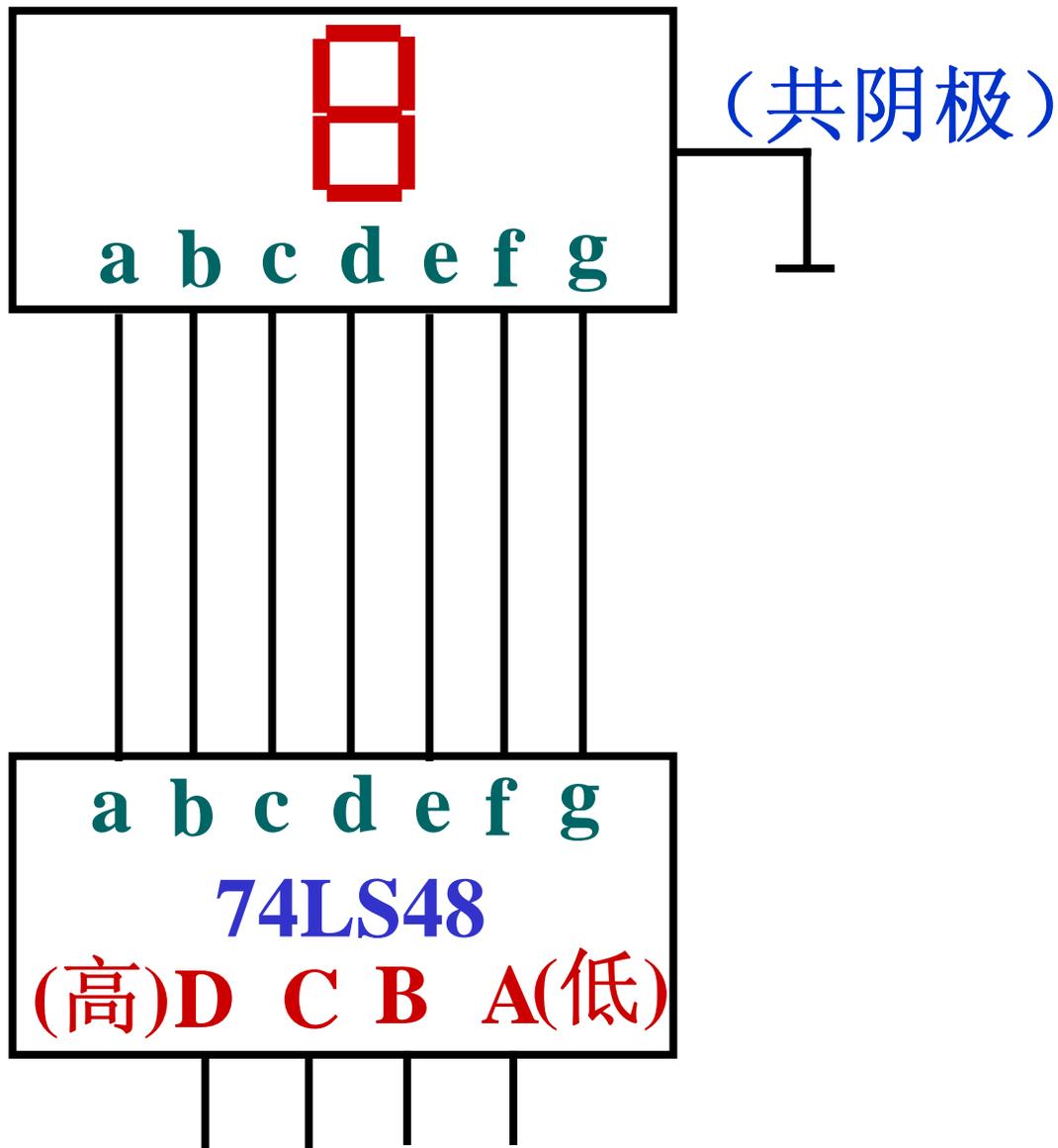


74LS48 功能表

(8 4 2 1) DCBA	a b c d e f g	0~9
0000	1 1 1 1 1 1 0	
0001	0 1 1 0 0 0 0	
0010	1 1 0 1 1 0 1	
0011	1 1 1 1 0 0 1	
0100	0 1 1 0 0 1 1	
0101	1 0 1 1 0 1 1	
0110	1 0 1 1 1 1 1	
0111	1 1 1 0 0 0 0	
1000	1 1 1 1 1 1 1	
1001	1 1 1 1 0 1 1	



译码显示系统:

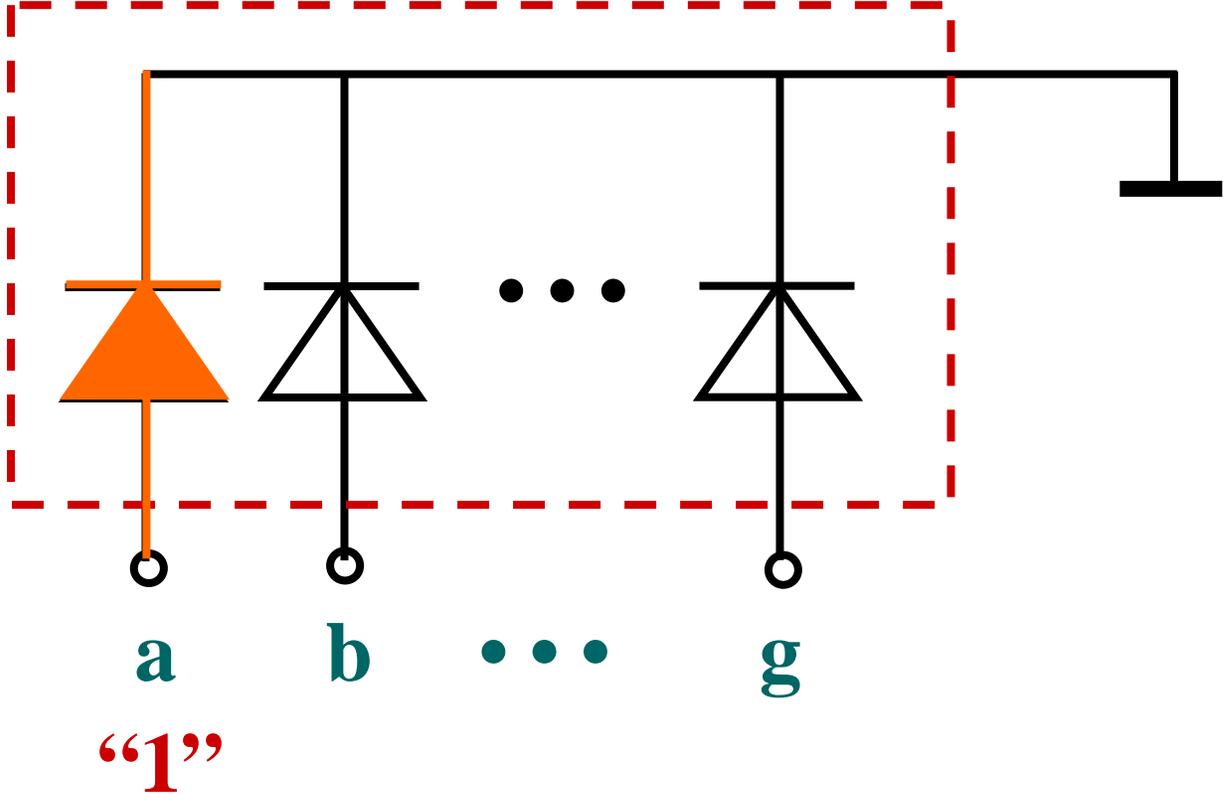


74LS48与

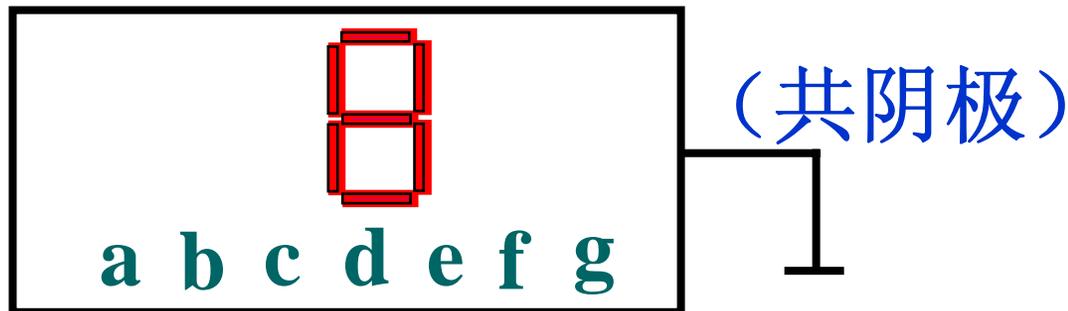
七段显示器

的连接:

共阴极七段显示器工作示意图：



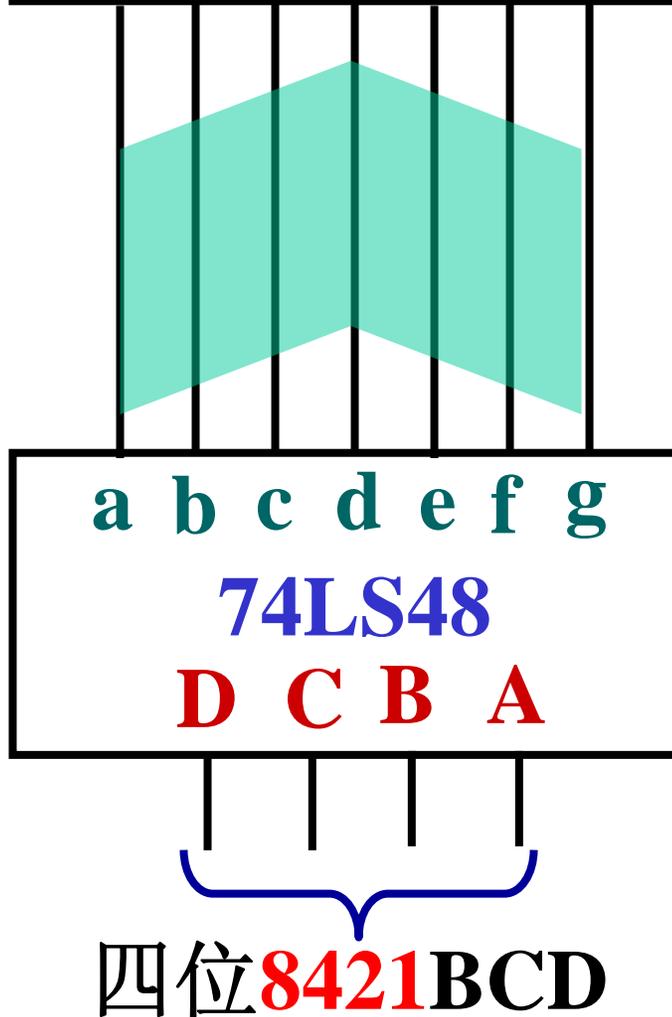
译码显示系统:



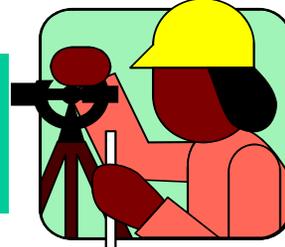
74LS48与

七段显示器

的连接:



小结：组合电路的分析



一、分析方法—逐级写逻辑式法（三步）：

1. 由逻辑图写逻辑式；
2. 化简得最简与或式；
3. 得到逻辑功能。

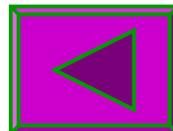
二、典型电路：

异或门，半加器，

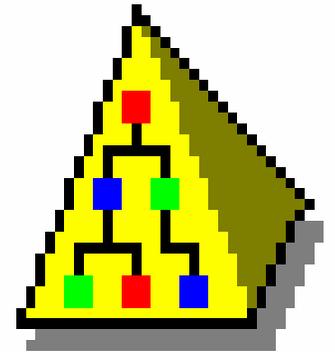
译码器：通用译码器，显示译码器。

三、相应的组件要求会用：

74LS139，74LS138，74LS48等。



§ 4.2 组合电路的设计及典型组件介绍

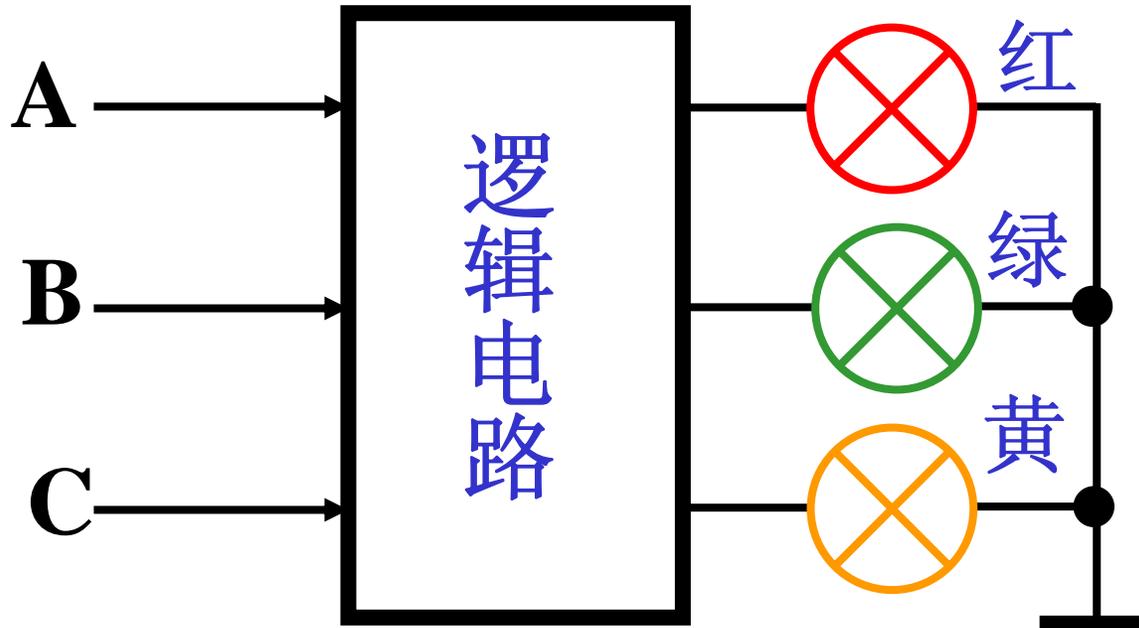


设计步骤（三步）：

- 1、由逻辑功能，列出真值表。
 - 2、由表写逻辑式（或填卡诺图），并化为最简与或式
 - 3、画出逻辑图。
- 公式化简法
卡诺图法

例题:

设计一个三输入三输出的逻辑电路，并用与非门实现。当 $A=1$ 、 $B=C=0$ 时，红绿灯亮；当 $B=1$ 、 $A=C=0$ 时，绿黄灯亮；当 $C=1$ 、 $A=B=0$ 时，黄红灯亮；当 $A=B=C=0$ 时，三个灯全亮； A 、 B 、 C 的其它情况，灯全灭。见下图：



设计过程:

1、由逻辑功能，列出真值表。

设：灯亮为“1”，灯灭为“0”。

其它
情况 {

输 入			输 出		
A	B	C	R(红)	G(绿)	Y(黄)
0	0	0	1	1	1
1	0	0	1	1	0
0	1	0	0	1	1
0	0	1	1	0	1
0	1	1	0	0	0
1	0	1	0	0	0
1	1	0	0	0	0
1	1	1	0	0	0

2、由表填卡诺图,并化为最简与或式:

R

	BC	00	01	11	10
A					
0		1	1	0	0
1		1	0	0	0

G

	BC	00	01	11	10
A					
0		1	0	0	1
1		1	0	0	0

Y

	BC	00	01	11	10
A					
0		1	1	0	1
1		0	0	0	0

输入			输出		
A	B	C	R	G	Y
0	0	0	1	1	1
1	0	0	1	1	0
0	1	0	0	1	1
0	0	1	1	0	1
0	1	1	0	0	0
1	0	1	0	0	0
1	1	0	0	0	0
1	1	1	0	0	0

化为最简与或式:

$\overline{A} \overline{B}$ $R = \overline{A} \overline{B} + \overline{B} \overline{C}$

	BC	00	01	11	10
A	0	1	1	0	0
	1	1	0	0	0

$G = \overline{B} \overline{C} + \overline{A} \overline{C}$

	BC	00	01	11	10
A	0	1	0	0	1
	1	1	0	0	0

$\overline{B} \overline{C}$

$\overline{B} \overline{C}$

$\overline{A} \overline{C}$

$Y = \overline{A} \overline{C} + \overline{A} \overline{B}$

	BC	00	01	11	10
A	0	1	1	0	1
	1	0	0	0	0

$\overline{A} \overline{B}$

$\overline{A} \overline{C}$

3. 用与非门实现:

$$R = \overline{A} \overline{B} + \overline{B} \overline{C}$$

$$G = \overline{B} \overline{C} + \overline{A} \overline{C}$$

$$Y = \overline{A} \overline{B} + \overline{A} \overline{C}$$

最简与或式



两次求反法

$$R = \overline{\overline{A} \overline{B}} \bullet \overline{\overline{B} \overline{C}}$$

$$G = \overline{\overline{B} \overline{C}} \bullet \overline{\overline{A} \overline{C}}$$

$$Y = \overline{\overline{A} \overline{B}} \bullet \overline{\overline{A} \overline{C}}$$

与非-与非式

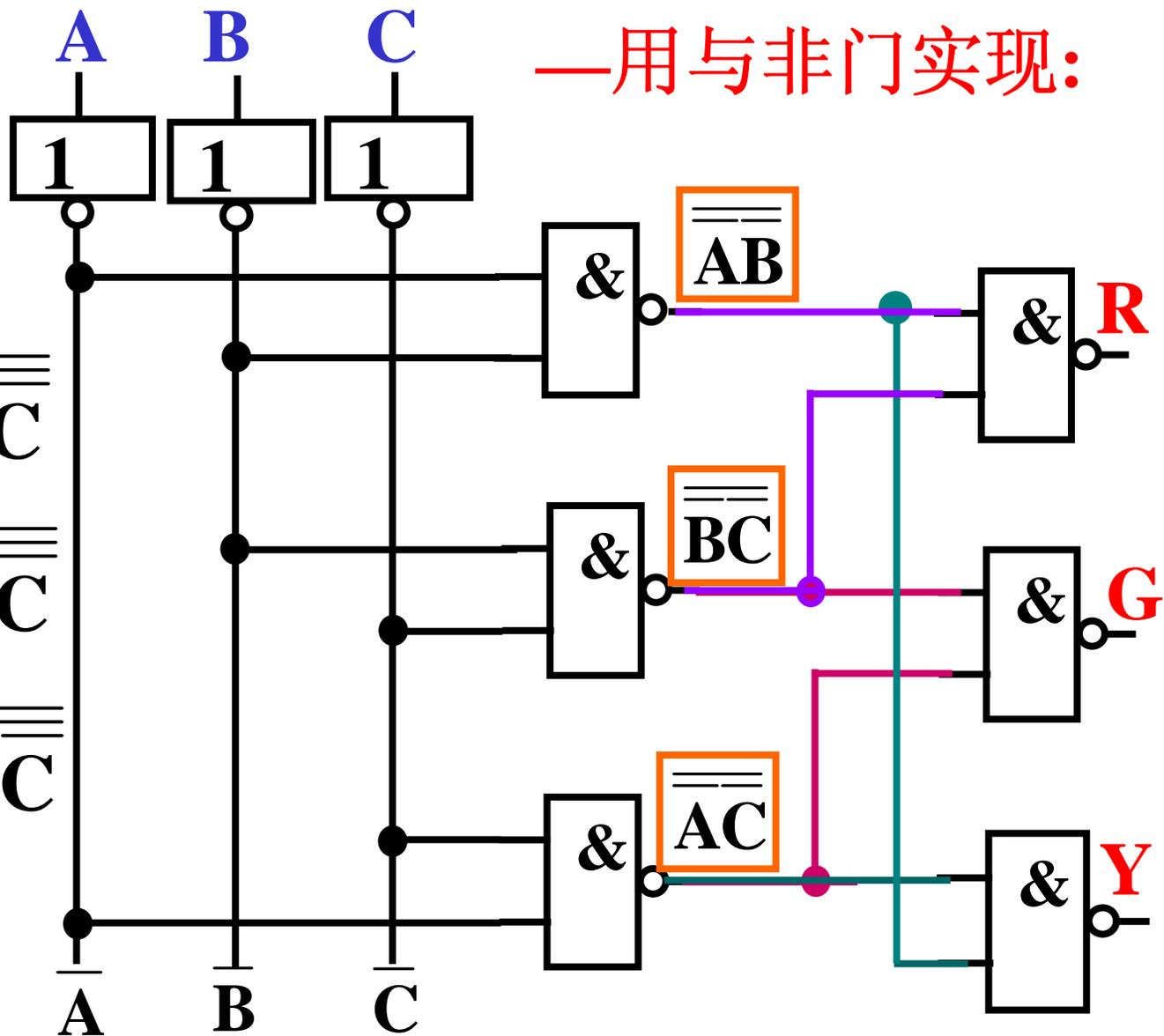
画出逻辑图

—用与非门实现：

$$R = \overline{\overline{A} \overline{B}} \cdot \overline{\overline{B} \overline{C}}$$

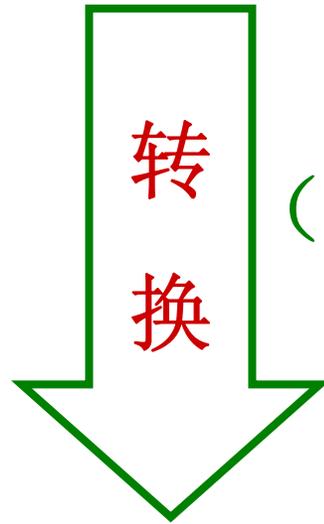
$$G = \overline{\overline{B} \overline{C}} \cdot \overline{\overline{A} \overline{C}}$$

$$Y = \overline{\overline{A} \overline{B}} \cdot \overline{\overline{A} \overline{C}}$$



4.2.1 编码器

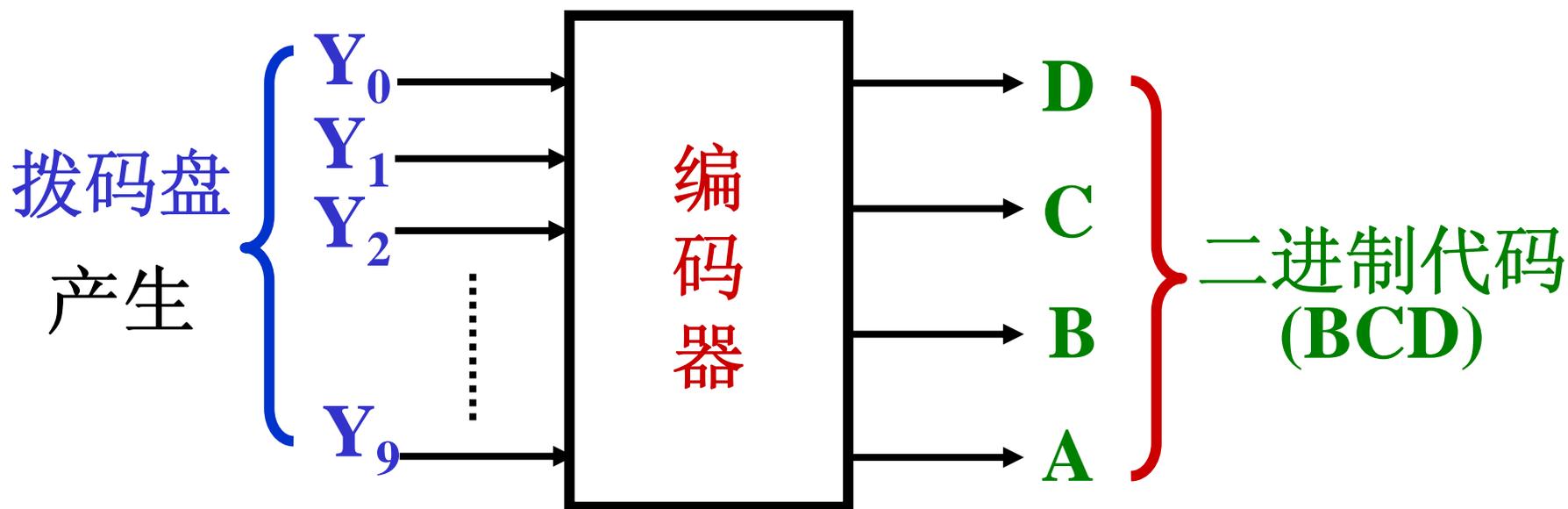
功能： 将电路某种特定的状态
(高电平或低电平)



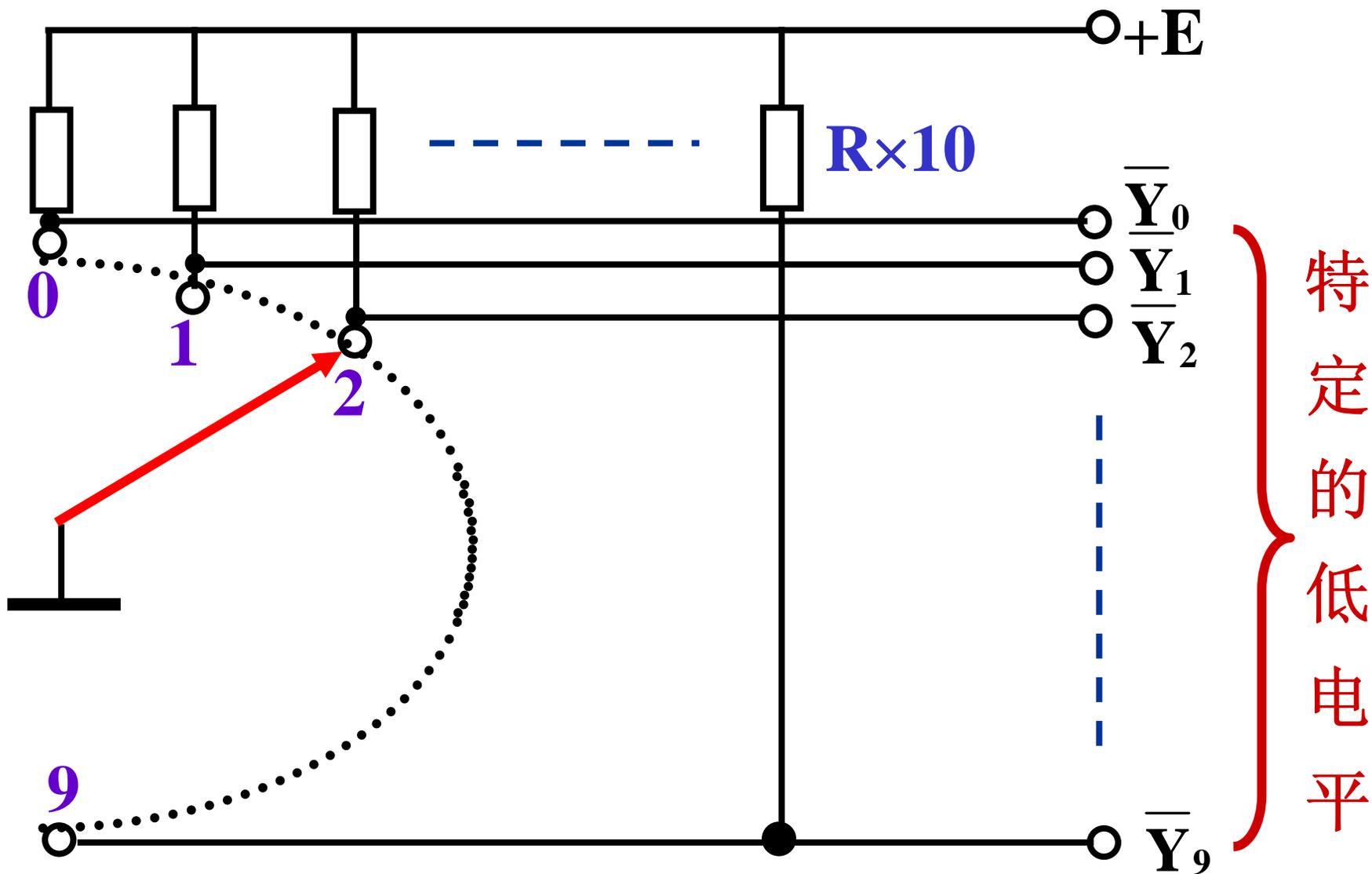
(译码的逆过程)

二进制代码

二—十进制编码器框图：



拨码盘



二—十进制编码器设计

1、由逻辑功能,列出真值表(输入高电平有效):

输入 ("1"项)	D	C	B	A
Y_0	0	0	0	0
Y_1	0	0	0	1
Y_2	0	0	1	0
Y_3	0	0	1	1
Y_4	0	1	0	0
Y_5	0	1	0	1
Y_6	0	1	1	0
Y_7	0	1	1	1
Y_8	1	0	0	0
Y_9	1	0	0	1

输入 (“1”项)	D	C	B	A
Y ₀	0	0	0	0
Y ₁	0	0	0	1
Y ₂	0	0	1	0
Y ₃	0	0	1	1
Y ₄	0	1	0	0
Y ₅	0	1	0	1
Y ₆	0	1	1	0
Y ₇	0	1	1	1
Y ₈	1	0	0	0
Y ₉	1	0	0	1

2、由表写逻辑式,并化为最简式。

$$D = Y_8 + Y_9 \qquad C = Y_4 + Y_5 + Y_6 + Y_7$$

$$B = Y_2 + Y_3 + Y_6 + Y_7$$

$$A = Y_1 + Y_3 + Y_5 + Y_7 + Y_9$$

或运算形式

3、用与非门实现：化成与非—与非式

$$D = Y_8 + Y_9$$

$$C = Y_4 + Y_5 + Y_6 + Y_7$$

两次求反法

$$D = \overline{\overline{Y_8 + Y_9}}$$

$$C = \overline{\overline{Y_4 + Y_5 + Y_6 + Y_7}}$$

$$\therefore D = \overline{\overline{Y_8}} \cdot \overline{\overline{Y_9}}$$

$$\therefore C = \overline{\overline{Y_4}} \cdot \overline{\overline{Y_5}} \cdot \overline{\overline{Y_6}} \cdot \overline{\overline{Y_7}}$$

与非-与非式


$$B = Y_2 + Y_3 + Y_6 + Y_7$$

$$B = \overline{\overline{Y_2} \cdot \overline{Y_3} \cdot \overline{Y_6} \cdot \overline{Y_7}}$$


$$A = Y_1 + Y_3 + Y_5 + Y_7 + Y_9$$

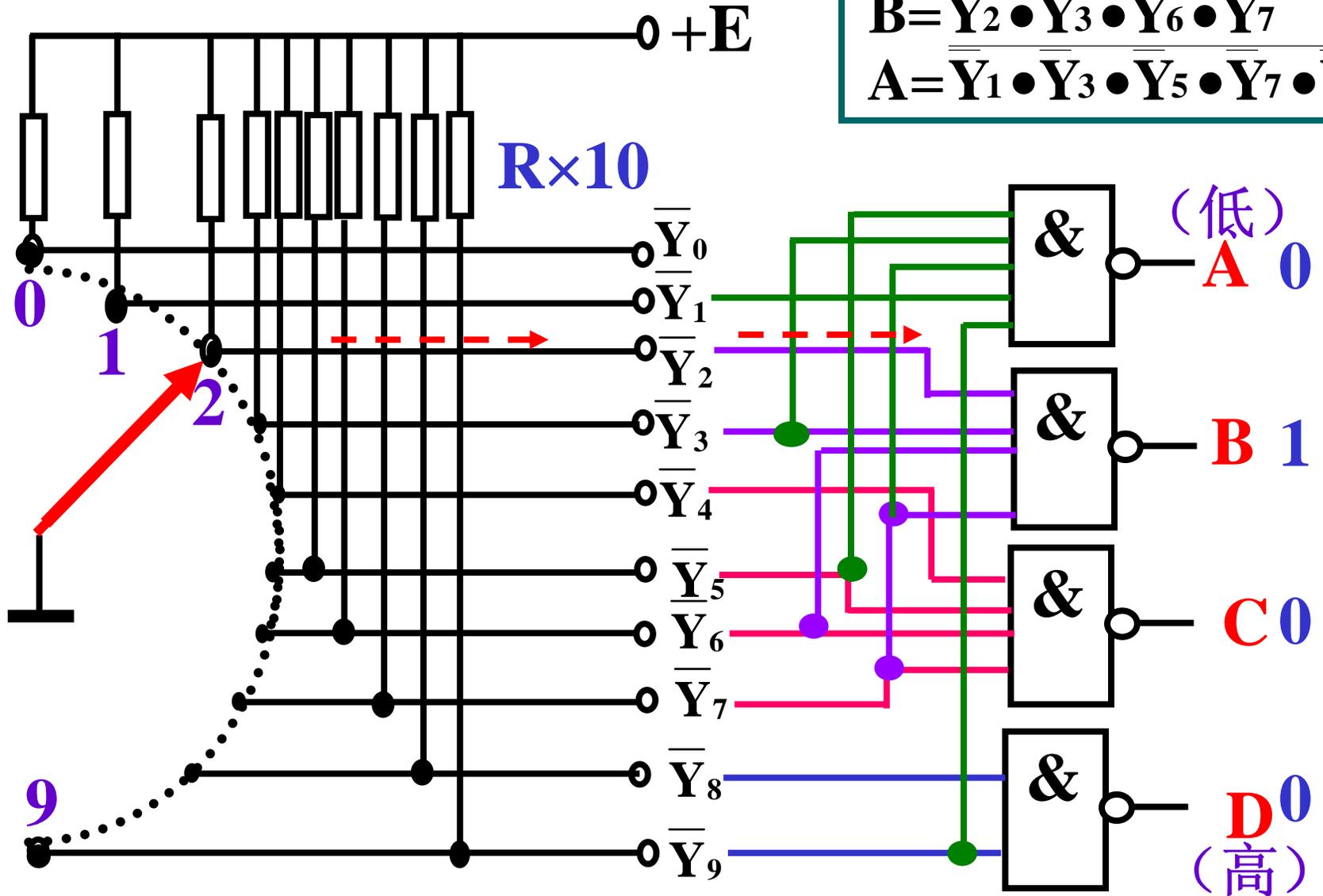
$$A = \overline{\overline{Y_1} \cdot \overline{Y_3} \cdot \overline{Y_5} \cdot \overline{Y_7} \cdot \overline{Y_9}}$$

∴ 用一级与非门实现。

用与非门实现的逻辑图:

拨的是低电平，用一级与非门实现。

$$D = \overline{\overline{Y_8} \cdot \overline{Y_9}}$$
$$C = \overline{\overline{Y_4} \cdot \overline{Y_5} \cdot \overline{Y_6} \cdot \overline{Y_7}}$$
$$B = \overline{\overline{Y_2} \cdot \overline{Y_3} \cdot \overline{Y_6} \cdot \overline{Y_7}}$$
$$A = \overline{\overline{Y_1} \cdot \overline{Y_3} \cdot \overline{Y_5} \cdot \overline{Y_7} \cdot \overline{Y_9}}$$



用与非门实现的逻辑图：

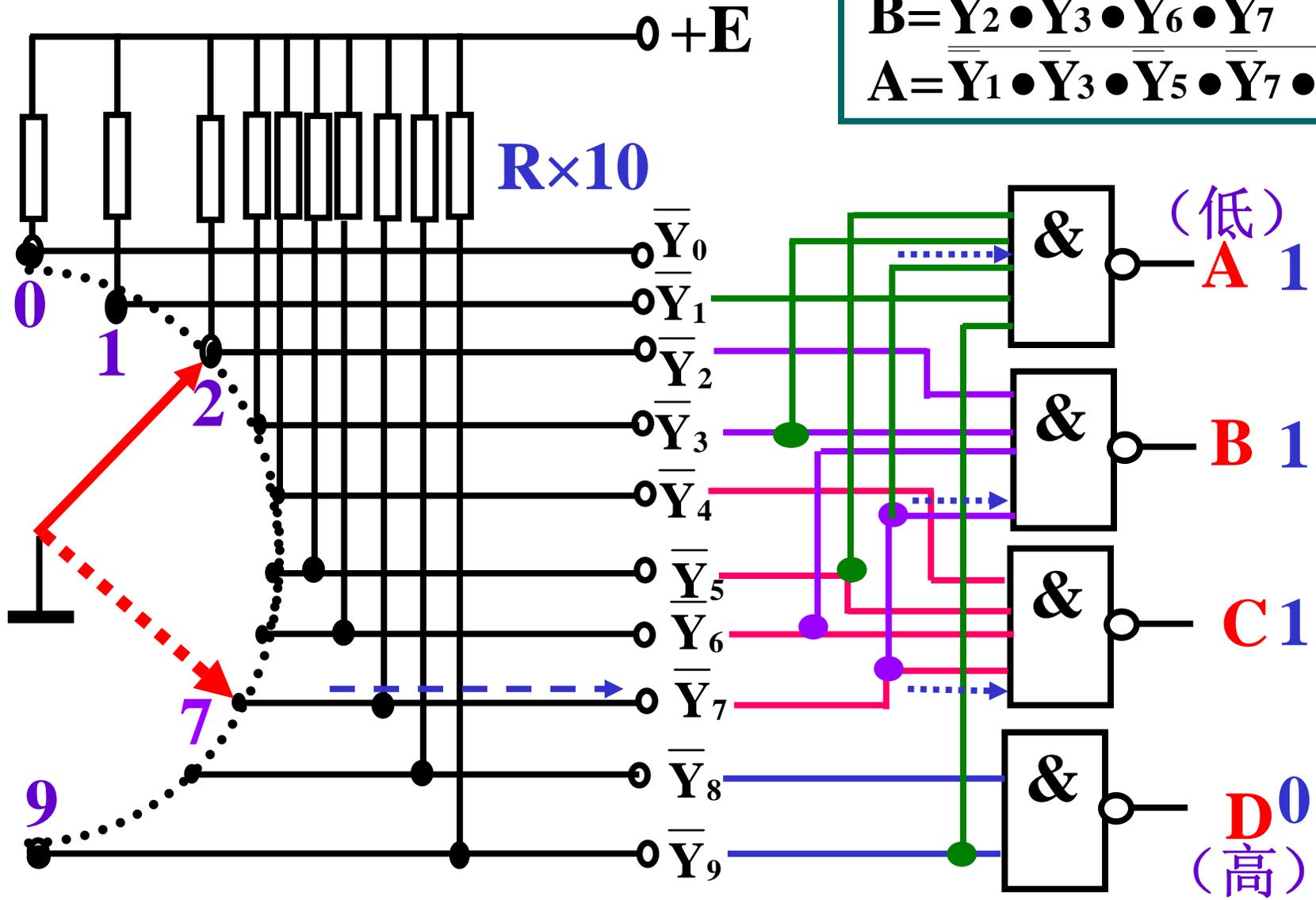
拨的是低电平，用一级与非门实现。

$$D = \overline{\overline{Y_8} \cdot \overline{Y_9}}$$

$$C = \overline{\overline{Y_4} \cdot \overline{Y_5} \cdot \overline{Y_6} \cdot \overline{Y_7}}$$

$$B = \overline{\overline{Y_2} \cdot \overline{Y_3} \cdot \overline{Y_6} \cdot \overline{Y_7}}$$

$$A = \overline{\overline{Y_1} \cdot \overline{Y_3} \cdot \overline{Y_5} \cdot \overline{Y_7} \cdot \overline{Y_9}}$$



4.2.2 全加器

功能：两个多位二进制数相加，
要考虑低位来的进位信号。

例题：设计一位全加器

1、由逻辑功能，列出真值表：

一位全加器真值表(第n位):
看 S_n 取值为1的项:

a_n (加数)	b_n (被加数)	c_{n-1} (低位进位)	S_n (本位和)	c_n (进位位)
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

2、由表写式,并化简:

写 S_n 逻辑式:

a_n (加数)	b_n (被加数)	c_{n-1} (低位进位)	S_n (本位和)	c_n (进位位)
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

$$S_n = \bar{a}_n \cdot (\bar{b}_n c_{n-1} + b_n \bar{c}_{n-1}) + a_n \cdot (\bar{b}_n \bar{c}_{n-1} + b_n c_{n-1})$$

对 S_n 进行逻辑运算，用异或运算表示：

$$\begin{aligned}S_n &= \bar{a}_n \bullet (\bar{b}_n c_{n-1} + b_n \bar{c}_{n-1}) \\ &\quad + a_n \bullet (\bar{b}_n \bar{c}_{n-1} + b_n c_{n-1}) \\ &= \bar{a}_n \bullet (b_n \oplus c_{n-1}) + a_n \bullet \overline{(b_n \oplus c_{n-1})} \\ &= a_n \oplus (b_n \oplus c_{n-1})\end{aligned}$$

$$\therefore S_n = a_n \oplus b_n \oplus c_{n-1}$$

写 c_n 逻辑式,并化为最简式:

a_n	b_n	c_{n-1}	s_n	c_n
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

$$c_n = c_{n-1} \bullet (a_n \bar{b}_n + \bar{a}_n b_n) + a_n \bullet b_n$$

对 c_n 进行逻辑运算:

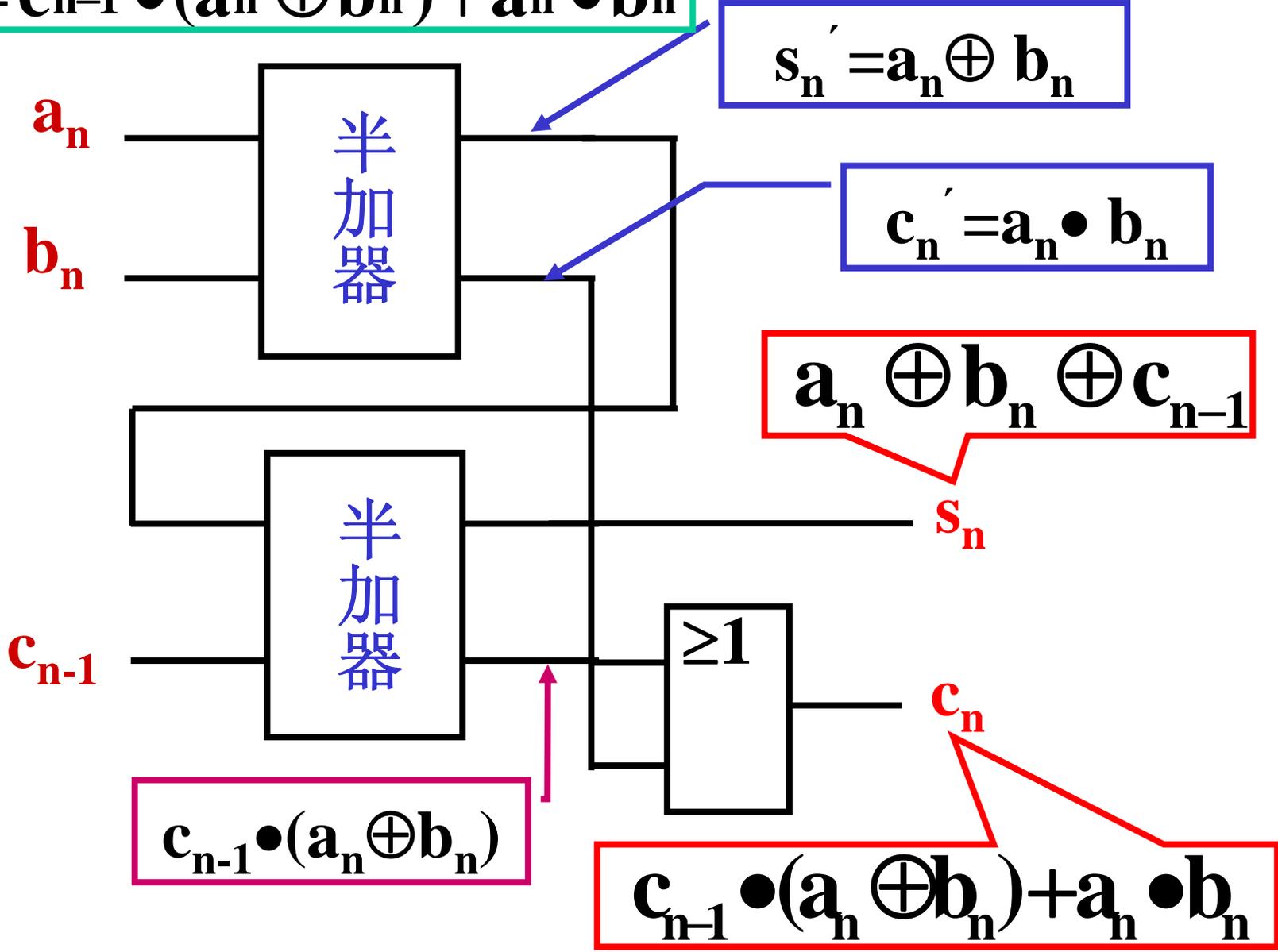
$$c_n = c_{n-1} \bullet (\bar{a}_n b_n + a_n \bar{b}_n) + a_n \bullet b_n$$

$$\therefore c_n = c_{n-1} \bullet (a_n \oplus b_n) + a_n \bullet b_n$$

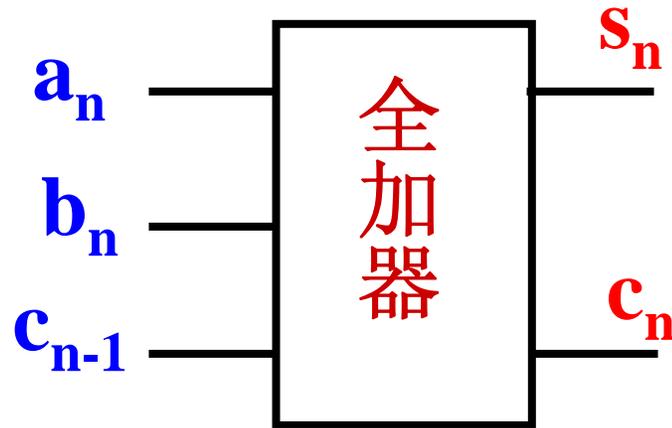
$$S_n = a_n \oplus b_n \oplus c_{n-1}$$

$$C_n = c_{n-1} \cdot (a_n \oplus b_n) + a_n \cdot b_n$$

3. 画逻辑图:



逻辑符号：

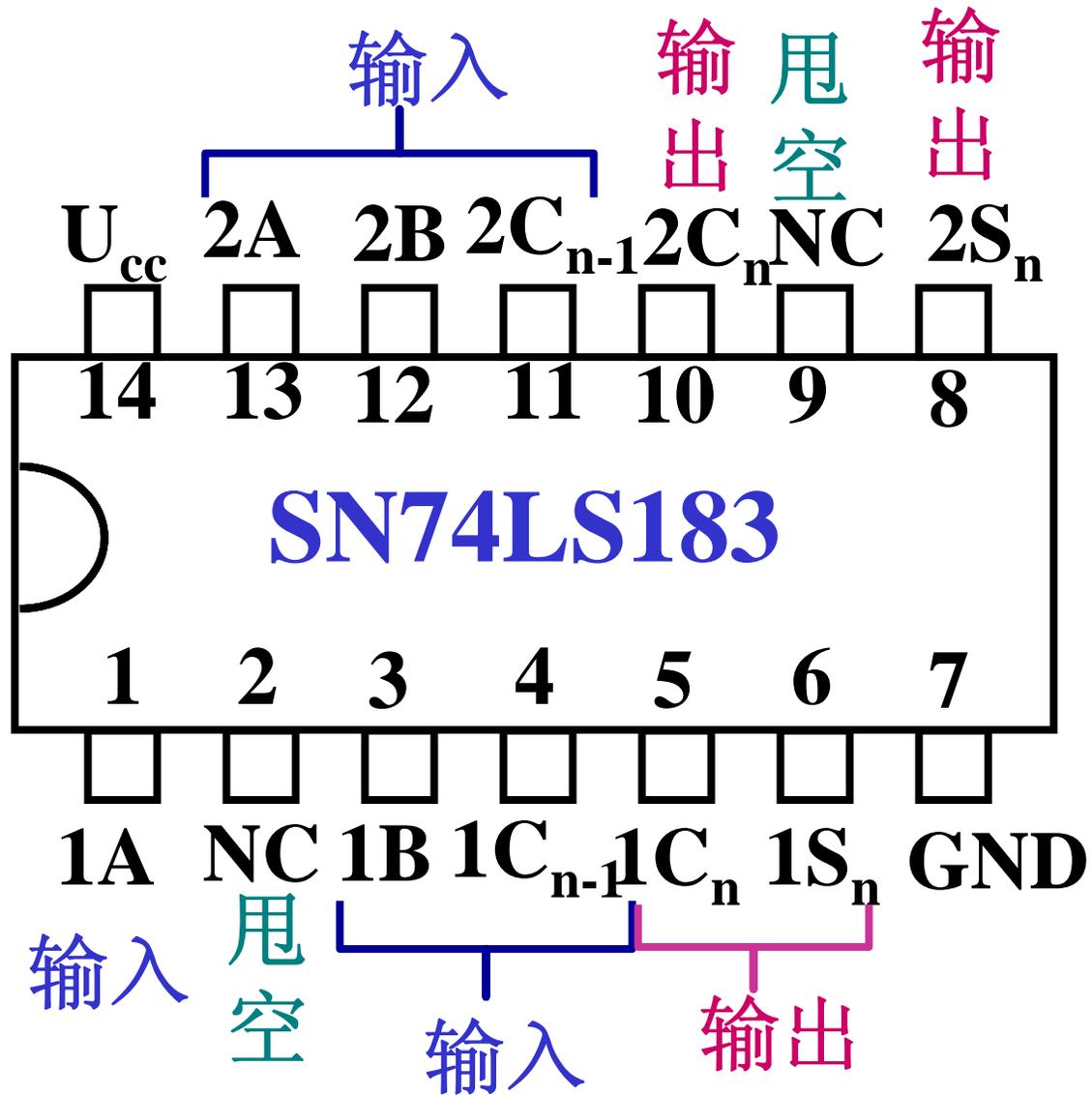


$$s_n = a_n \oplus b_n \oplus c_{n-1}$$

$$c_n = c_{n-1} \bullet (a_n \oplus b_n) + a_n \bullet b_n$$

全加器74LS183—双全加器:

管脚图

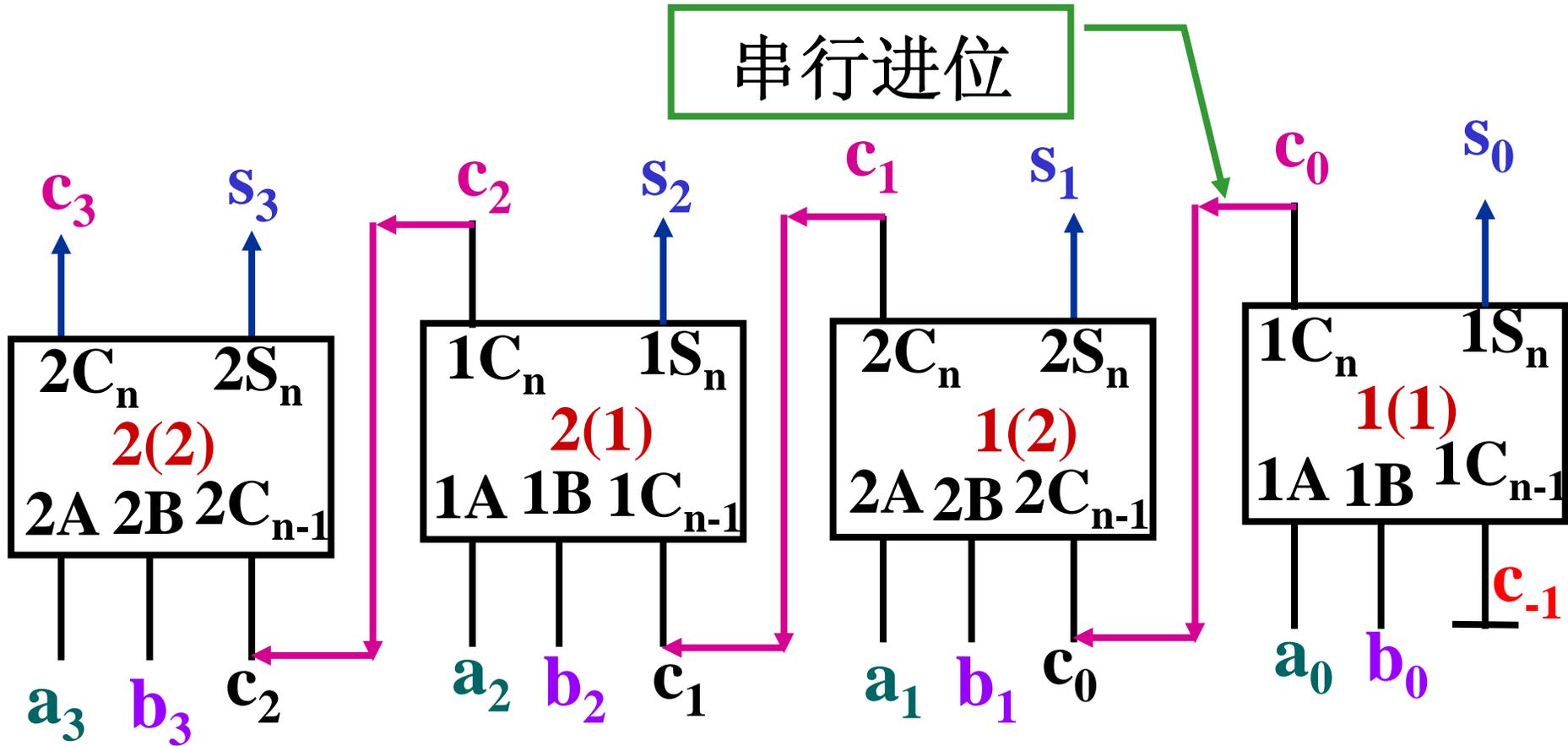


例：用两片74LS183构成四位串行进位加法器。

输入 { $\underline{A}: a_3 a_2 a_1 a_0$
 $\underline{B}: b_3 b_2 b_1 b_0$

输出 { 和 $\underline{S}: s_3 s_2 s_1 s_0$
向高位的进位: c_3

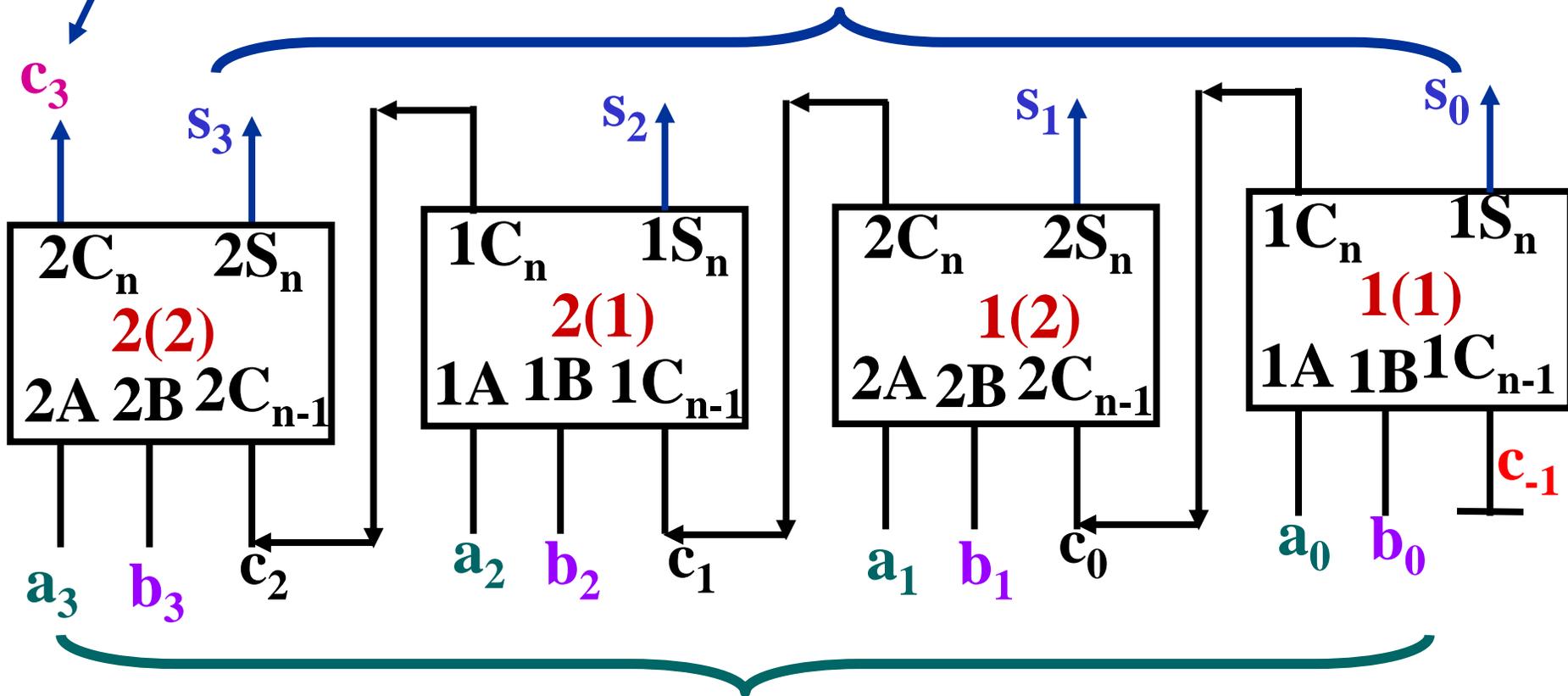
用74LS183 构成的逻辑图:



输出

向高位的进位

和 $\underline{S}: s_3 s_2 s_1 s_0$



输入

$\underline{A}: a_3 a_2 a_1 a_0$

$\underline{B}: b_3 b_2 b_1 b_0$

4.2.3 数码比较器

数码比较器类型（两类）：

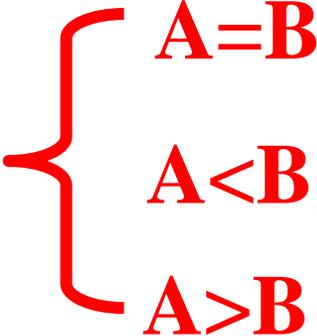
- (1) 仅比较两个数是否相等。
- (2) 除比较两个数是否相等外，还要比较两个数的大小。

第一类问题较简单，主要讨论**第二类**比较器。

比较大小的规则（三条）：

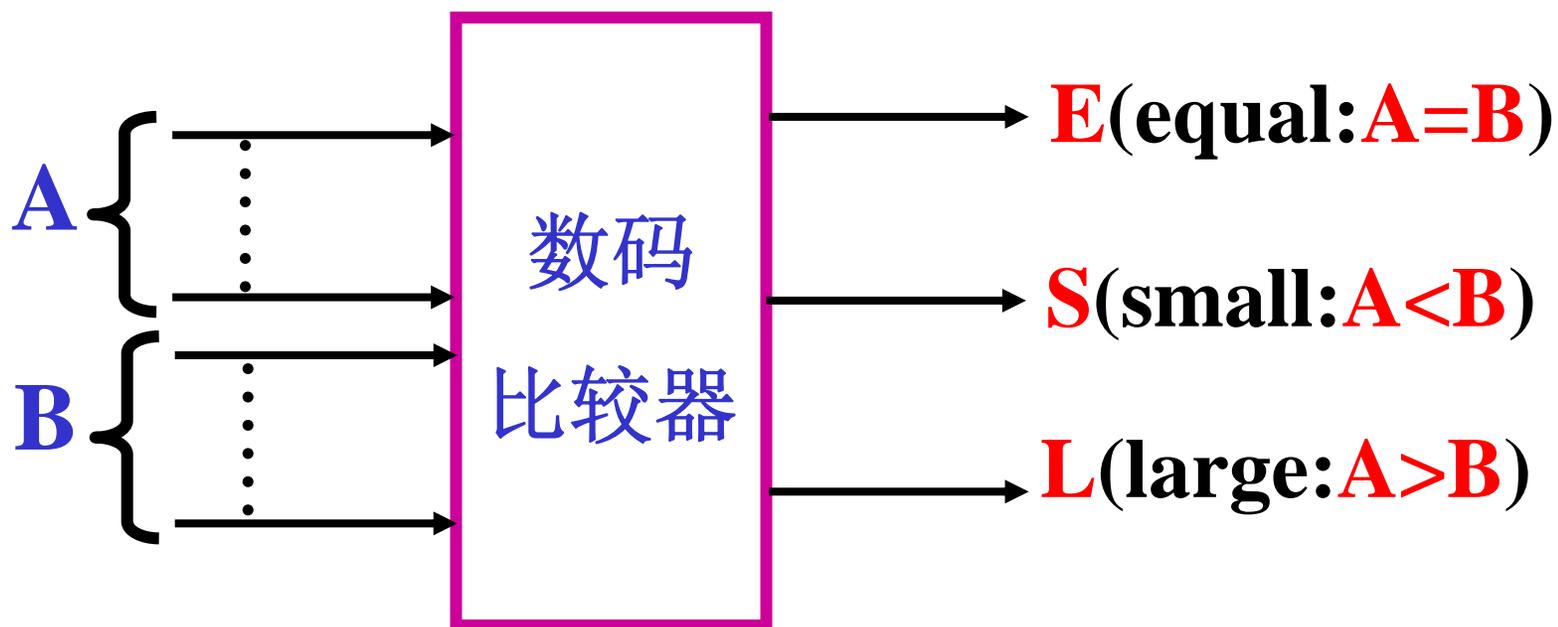
1. 先从高位比起,高位大的,数值一定大;
2. 若高位相等,则需再比较低位数,
最终结果由低位的比较结果决定;

3. 比较结果应有三个标志:



A=B
A<B
A>B

数码比较器示意图:



一、一位数码比较器

1.列出真值表:

设计:

输入 $\left\{ \begin{array}{l} A=a \\ B=b \end{array} \right.$

输入		输出		
a	b	L a>b	E a=b	S a<b
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

一、一位数码比较器真值表：

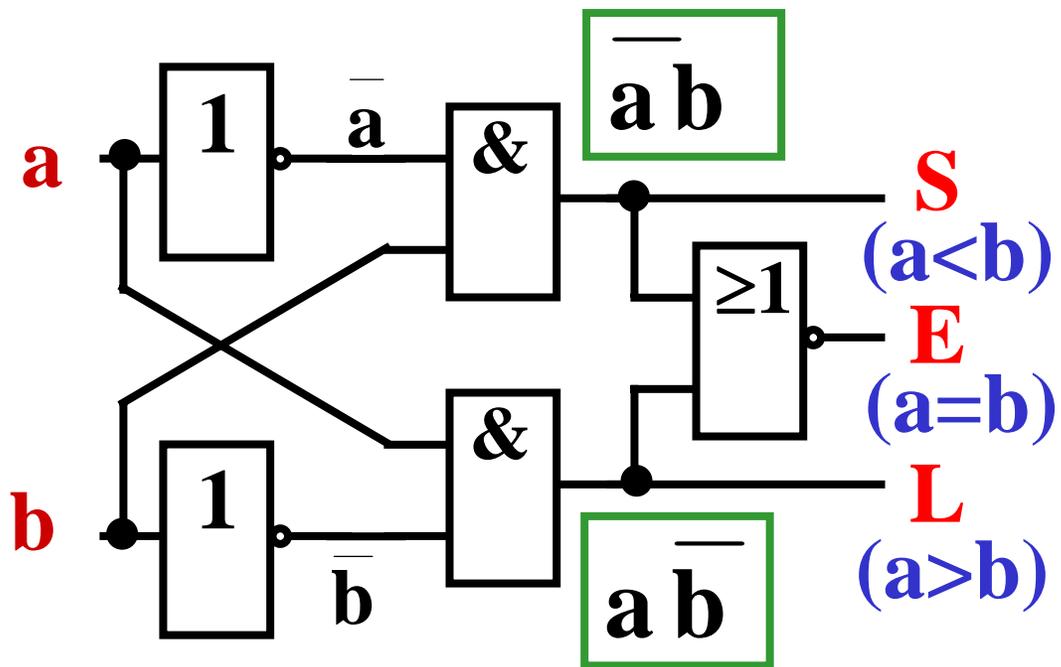
输入		输出		
a	b	L a > b	E a = b	S a < b
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

2.由表写逻辑式：

$$E = \overline{a} \overline{b} + a b = \overline{a \oplus b} \quad (\text{同或运算})$$

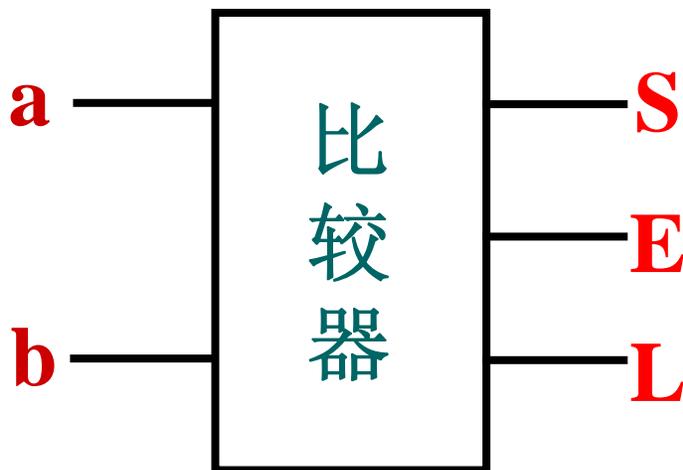
$$S = \overline{a} b \quad L = a \overline{b}$$

3.画出逻辑图:



$$\begin{aligned} E &= \overline{\overline{ab} + a\overline{b}} \\ &= a \oplus b \end{aligned}$$

逻辑符号:



二、四位数码比较器

输入: $\left\{ \begin{array}{l} \mathbf{A} = \mathbf{a}_3\mathbf{a}_2\mathbf{a}_1\mathbf{a}_0 \\ \mathbf{B} = \mathbf{b}_3\mathbf{b}_2\mathbf{b}_1\mathbf{b}_0 \end{array} \right.$

输出: $\left\{ \begin{array}{l} \mathbf{E} \text{ (A=B)} \\ \mathbf{S} \text{ (A<B)} \\ \mathbf{L} \text{ (A>B)} \end{array} \right.$

比较规则: $\left\{ \begin{array}{l} \text{自高而低,} \\ \text{逐位比较。} \end{array} \right.$

四位数码比较器逻辑式:

推理, 得: 变量表示: $\begin{cases} 1: & \text{写原变量} \\ 0: & \text{写反变量} \end{cases}$

$$\begin{aligned} \mathbf{A=B: E} &= \overline{\mathbf{A \oplus B}} \\ &= \overline{(\mathbf{a_3 \oplus b_3})(\mathbf{a_2 \oplus b_2})(\mathbf{a_1 \oplus b_1})(\mathbf{a_0 \oplus b_0})} \end{aligned}$$

$\mathbf{A < B:}$

$$\begin{aligned} \mathbf{S} &= \overline{\mathbf{a_3 b_3}} + \overline{(\mathbf{a_3 \oplus b_3})} \mathbf{a_2 b_2} + \overline{(\mathbf{a_3 \oplus b_3})(\mathbf{a_2 \oplus b_2})} \mathbf{a_1 b_1} \\ &\quad + \overline{(\mathbf{a_3 \oplus b_3})(\mathbf{a_2 \oplus b_2})(\mathbf{a_1 \oplus b_1})} \mathbf{a_0 b_0} \end{aligned}$$

$$\mathbf{A > B: L} = \overline{\mathbf{E + S}}$$

(备注: 没考虑更低位的比较结果)

四位数码比较器的真值表：

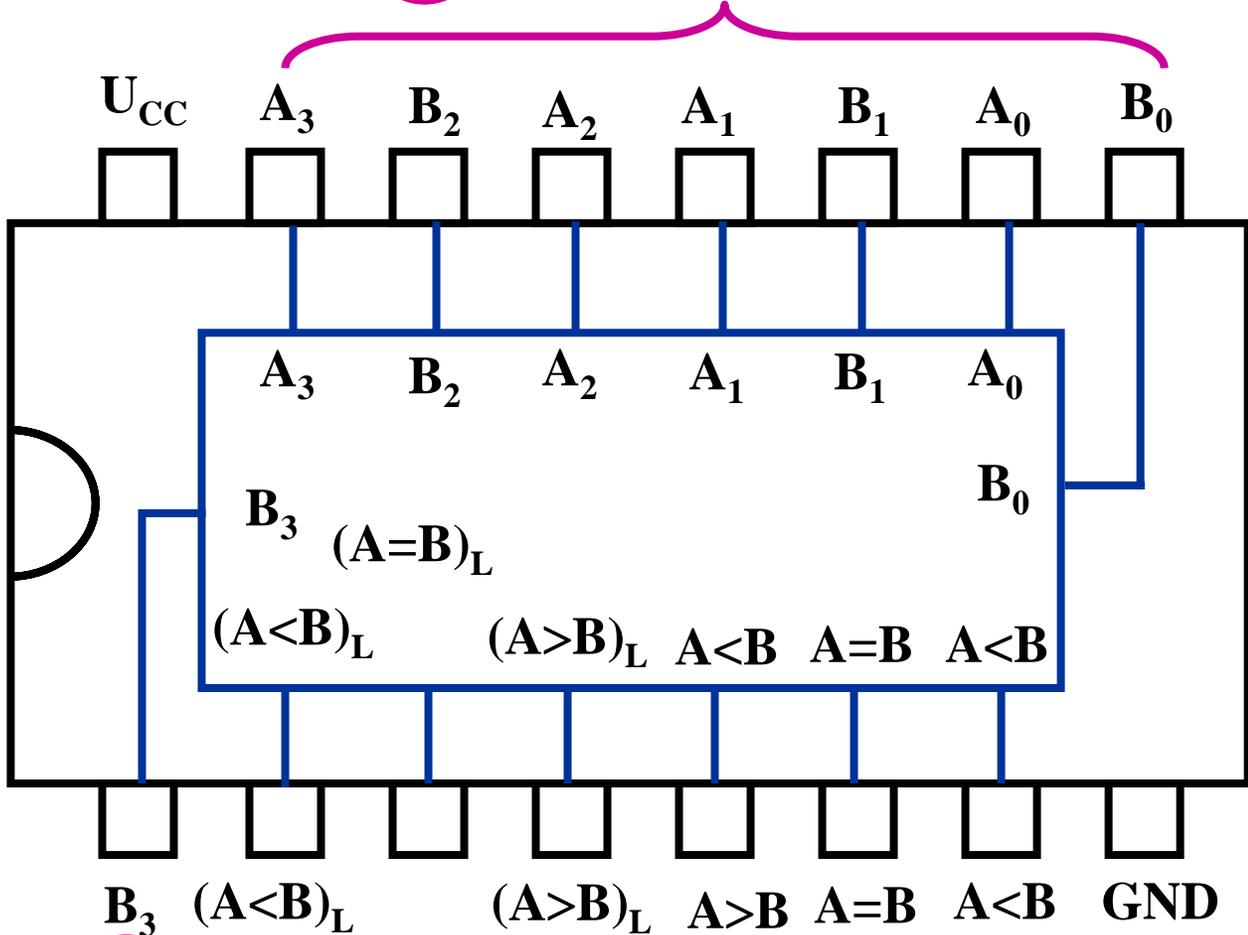
比较输入				输出		
$a_3 b_3$	$a_2 b_2$	$a_1 b_1$	$a_0 b_0$	L (A>B)	E (A=B)	S (A<B)
$a_3 > b_3$	×	×	×	1	0	0
$a_3 < b_3$	×	×	×	0	0	1
$a_3 = b_3$	$a_2 > b_2$	×	×	1	0	0
$a_3 = b_3$	$a_2 < b_2$	×	×	0	0	1
$a_3 = b_3$	$a_2 = b_2$	$a_1 > b_1$	×	1	0	0
$a_3 = b_3$	$a_2 = b_2$	$a_1 < b_1$	×	0	0	1
$a_3 = b_3$	$a_2 = b_2$	$a_1 = b_1$	$a_0 > b_0$	1	0	0
$a_3 = b_3$	$a_2 = b_2$	$a_1 = b_1$	$a_0 < b_0$	0	0	1
$a_3 = b_3$	$a_2 = b_2$	$a_1 = b_1$	$a_0 = b_0$	0	1	0

四位数码比较器

74LS85

① 电源、地

② 数据输入端



②

低位结果输入

③

比较结果

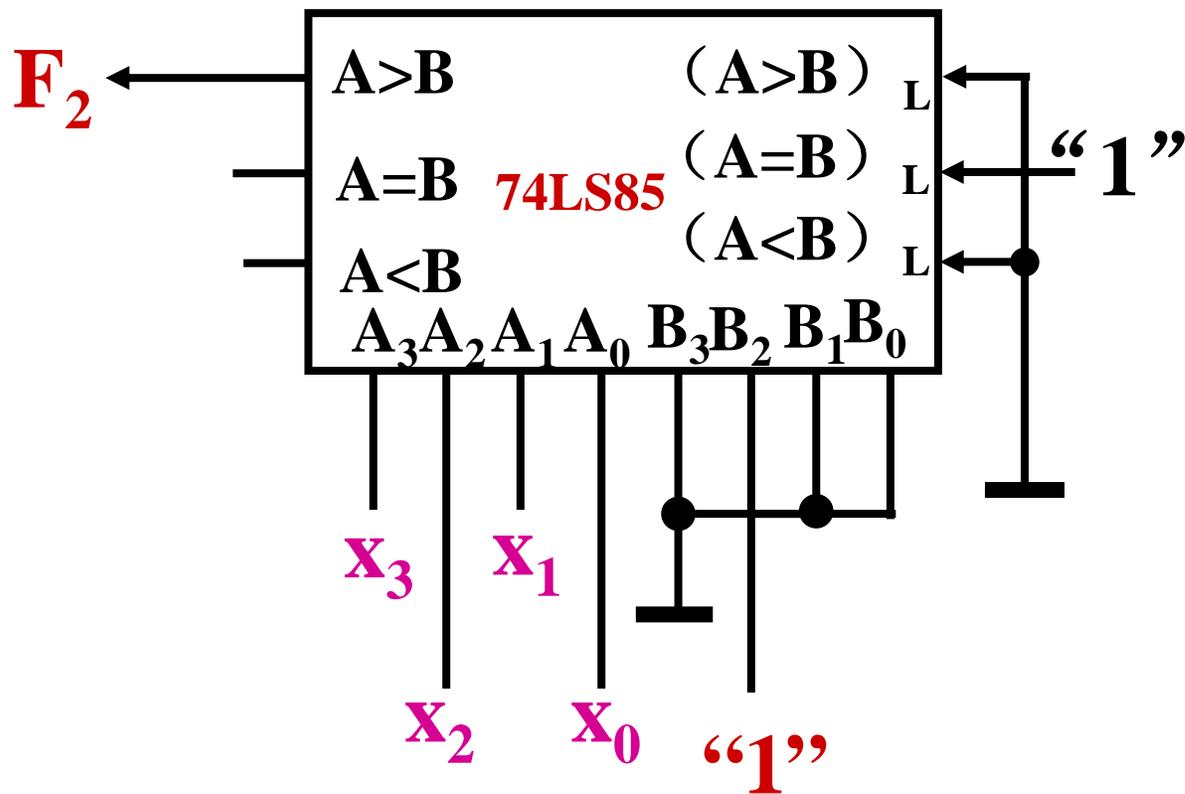
④

(向高位输出)

例2：挑出等于和大于5的四位二进制数。

方案二 设：输入 $B=0100 \sim 4$; $X=x_3x_2x_1x_0$ 。

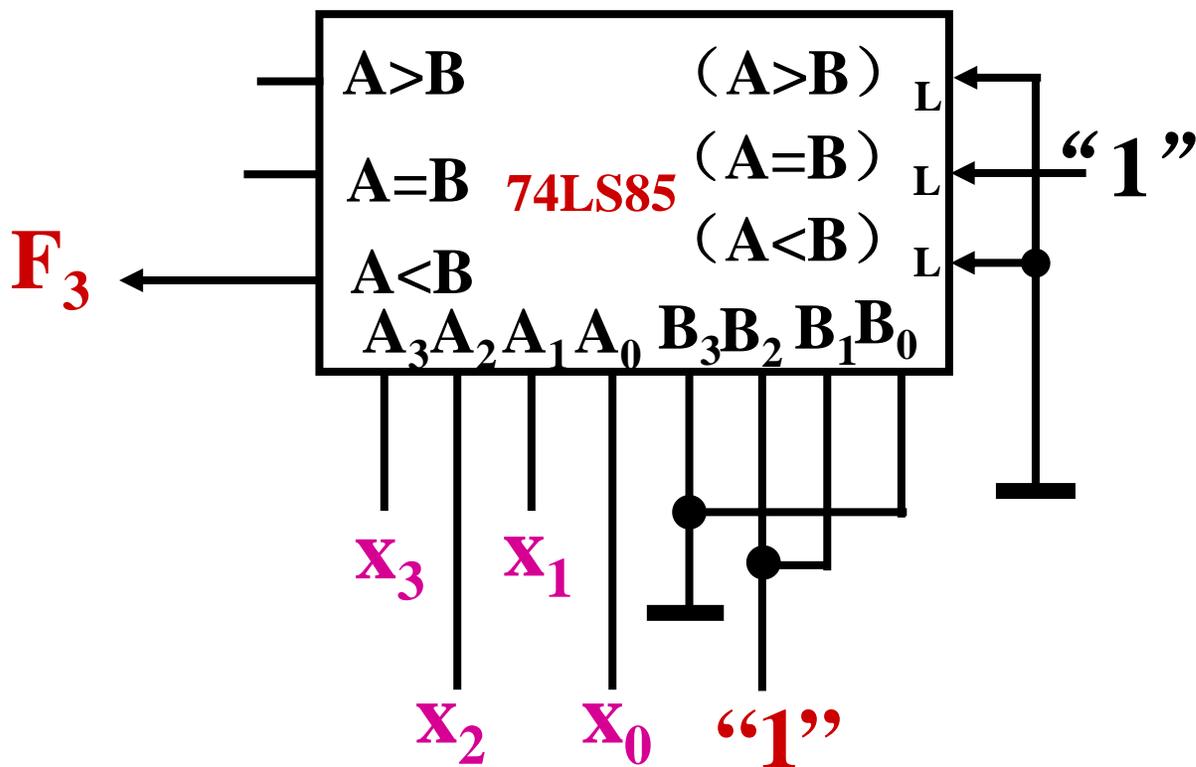
输出 F_2 。



例3：挑出小于和等于5的四位二进制数。

设：输入 $B=0110 \sim 6$; $X=x_3x_2x_1x_0$ 。

输出 F_3 。



例4:

设计三个四位数的比较器，可以对A、B、C进行比较，能判断：

- (1) 三个数是否相等。
- (2) 若不相等，A数是最大还是最小。

比较原则：

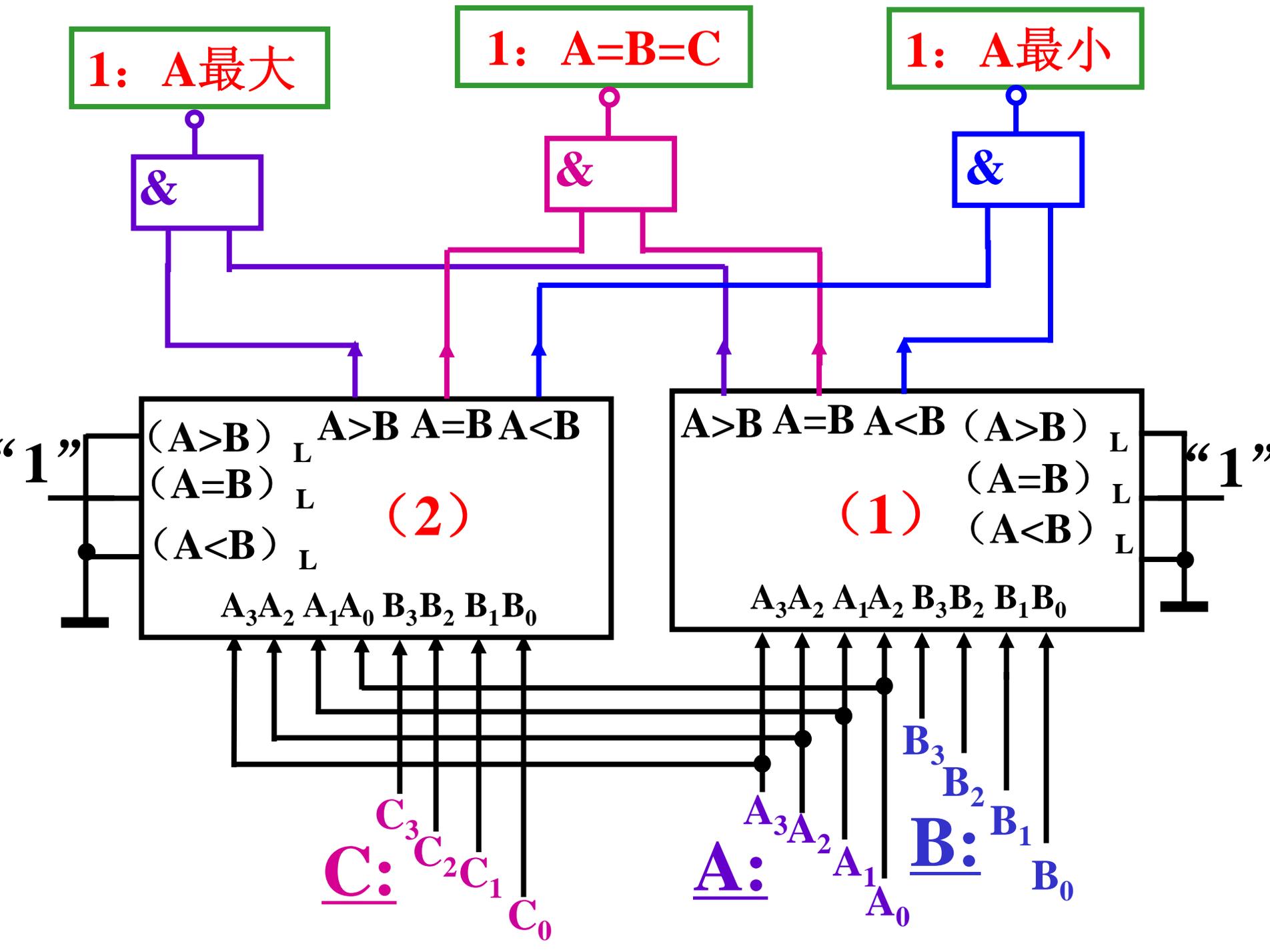
先将A与B比较，再A与C比较：

若 $A=B$ $A=C$ ，则 $A=B=C$ ；

若 $A>B$ $A>C$ ，则A最大；

若 $A<B$ $A<C$ ，则A最小。

可以用两片74LS85实现。

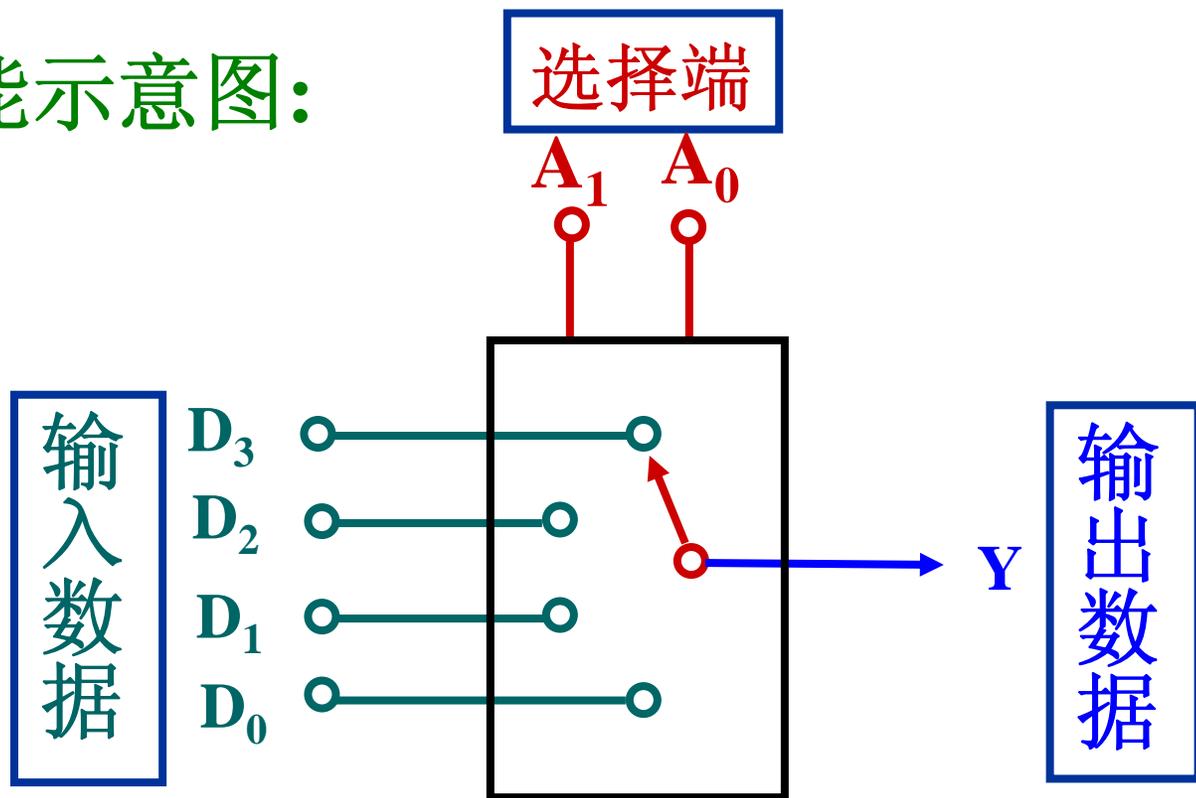


4.2.4 数据选择器

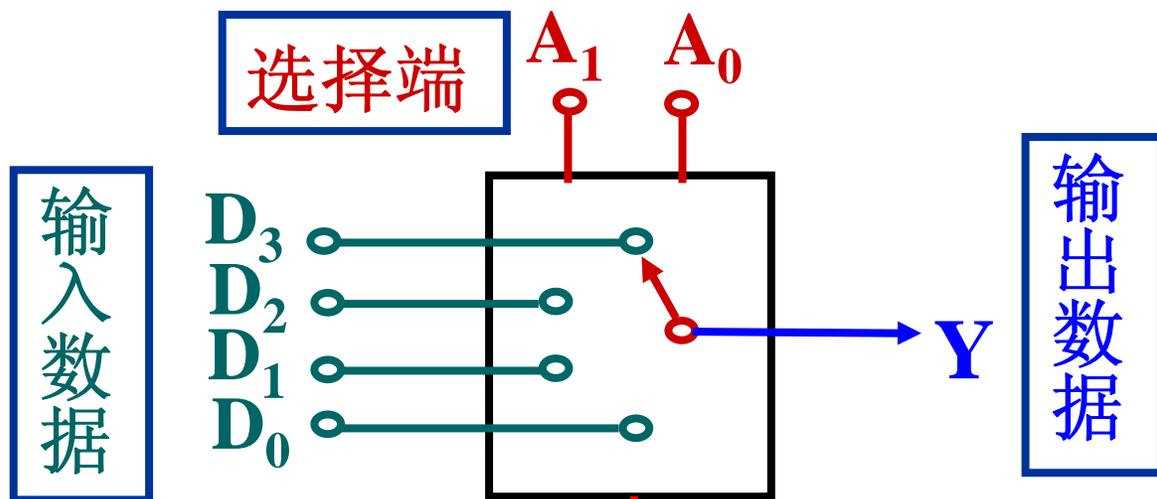
作用：从一组(几路)数据中选择一路信号输出。

数据选择器又称**多路开关**，**可控多路择一器**。

功能示意图：



数据选择器



使能端

E

使能端 E : 输出控制

控制端

选择端

(输入地址代码)

2选1: A_0

4选1: $A_1 A_0$

8选1: $A_2 A_1 A_0$

逻辑关系

输入

输入数据: $D_3 D_2 D_1 D_0$;

输出: $Y = D_i$.

$D_7 D_6 D_5 D_4 D_3 D_2 D_1 D_0$;

设计：四选一数据选择器

1. 列出功能表：

使能端	选 择 端		输出端
\bar{E}	A_1	A_0	Y
1	×	×	0
0	0	0	D_0
0	0	1	D_1
0	1	0	D_2
0	1	1	D_3

禁止状态

工作状态

(输入地址代码)

2. 逻辑式:

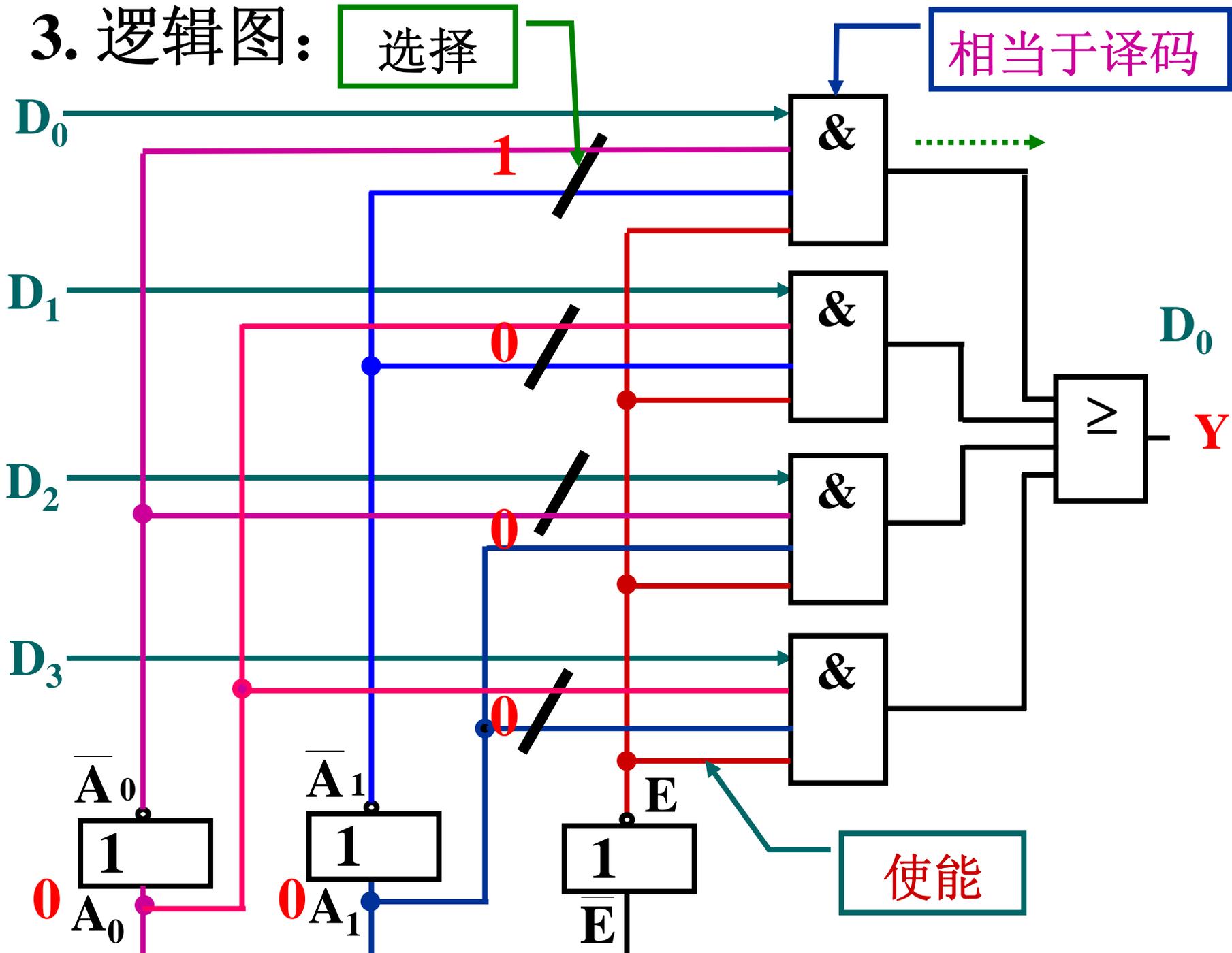
功能表:

使能端	选择端	输出端
$\overline{\mathbf{E}}$	$\mathbf{A}_1 \quad \mathbf{A}_0$	\mathbf{Y}
$\mathbf{1}$	$\times \quad \times$	$\mathbf{0}$
$\mathbf{0}$	$\mathbf{0} \quad \mathbf{0}$	\mathbf{D}_0
$\mathbf{0}$	$\mathbf{0} \quad \mathbf{1}$	\mathbf{D}_1
$\mathbf{0}$	$\mathbf{1} \quad \mathbf{0}$	\mathbf{D}_2
$\mathbf{0}$	$\mathbf{1} \quad \mathbf{1}$	\mathbf{D}_3

$$\mathbf{Y} = \overline{\overline{\mathbf{E}}} (\overline{\mathbf{A}}_1 \overline{\mathbf{A}}_0 \mathbf{D}_0 + \overline{\mathbf{A}}_1 \mathbf{A}_0 \mathbf{D}_1 + \mathbf{A}_1 \overline{\mathbf{A}}_0 \mathbf{D}_2 + \mathbf{A}_1 \mathbf{A}_0 \mathbf{D}_3)$$

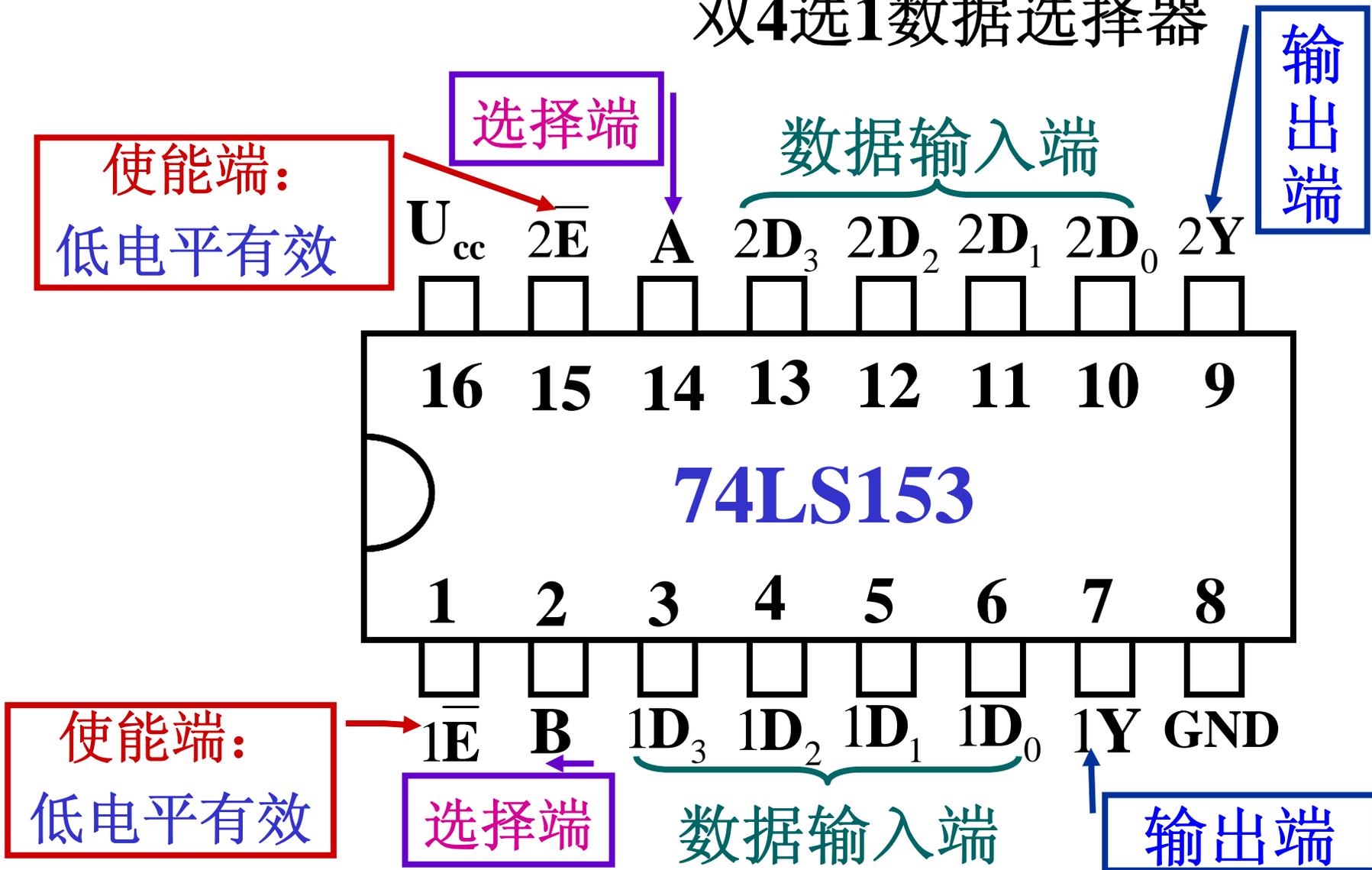
$$\therefore \mathbf{Y} = \mathbf{E} (\overline{\mathbf{A}}_1 \overline{\mathbf{A}}_0 \mathbf{D}_0 + \overline{\mathbf{A}}_1 \mathbf{A}_0 \mathbf{D}_1 + \mathbf{A}_1 \overline{\mathbf{A}}_0 \mathbf{D}_2 + \mathbf{A}_1 \mathbf{A}_0 \mathbf{D}_3)$$

3. 逻辑图:



集成电路组件：74LS153 —

双4选1数据选择器



74LS153 功能表:

使能端	选 择 端		输出端
\bar{E}	B	A	Y
1	×	×	0
0	0	0	D_0
0	0	1	D_1
0	1	0	D_2
0	1	1	D_3

禁止状态

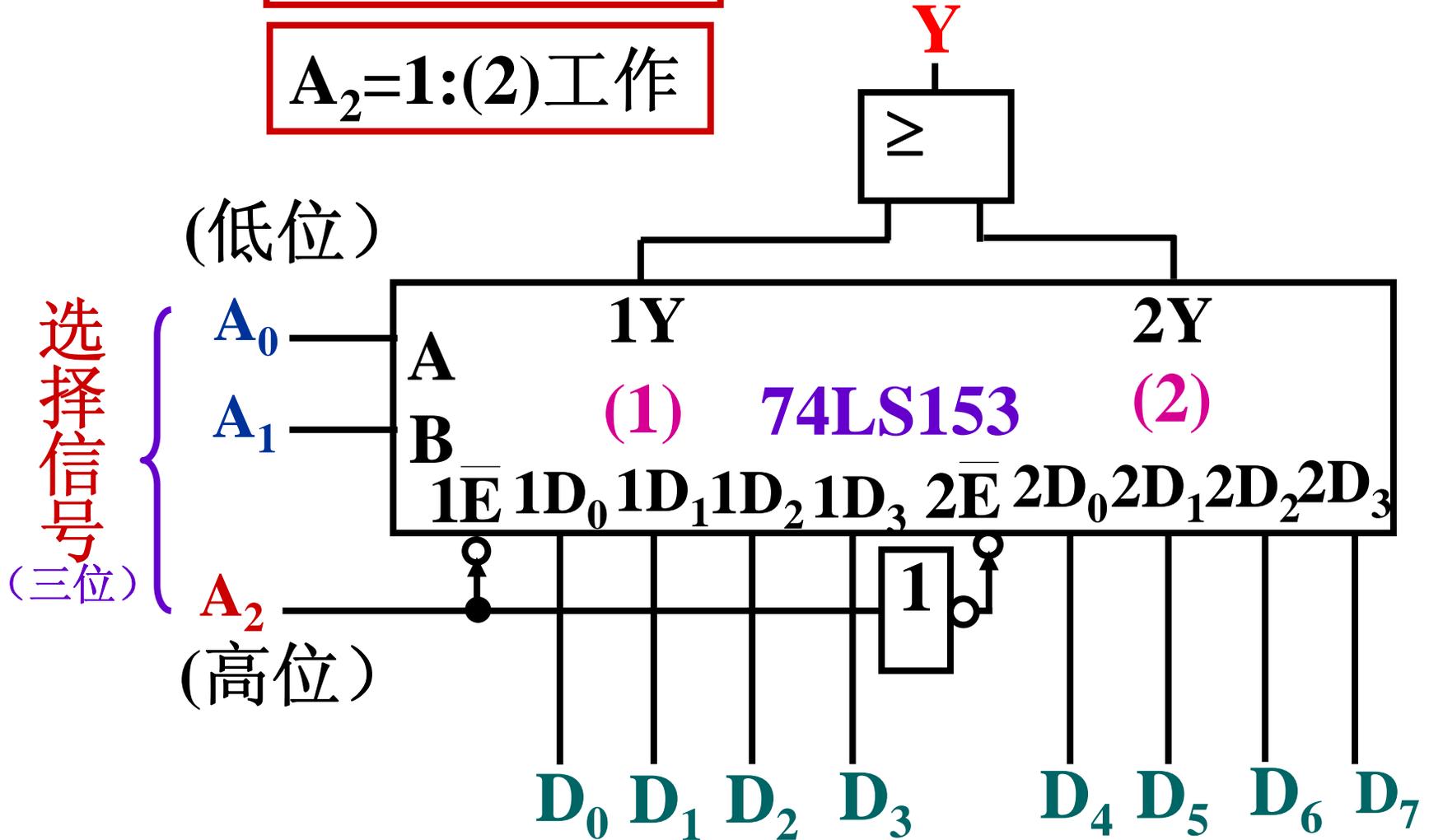
工作状态

其中 { \bar{E} : 为 $1\bar{E}$ 或 $2\bar{E}$, 低电平有效。
选择端 B A 为两个 4 选 1 数据选择器共用。

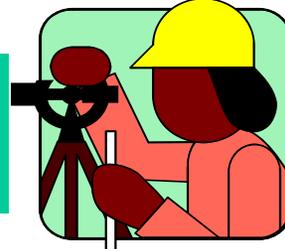
例1. 用一片74LS153组成8选1:

$A_2=0$:(1)工作

$A_2=1$:(2)工作



小结：组合电路的设计



一、设计方法（三步）：

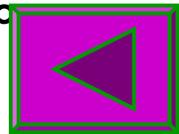
- 1.由逻辑功能，列出真值表；
- 2.由表写逻辑式（或填卡诺图），并化为最简式；
- 3.画出逻辑图。

二、典型电路：

编码器、全加器、数码比较器、
数据选择器。

三、相应的组件要求会用：

74LS183（双全加器）、**74LS85**（四位数码比较器）、**74LS153**（双4选1数据选择器）等。



§ 4.3 中规模组合逻辑组件的灵活应用 (Medium Size Integration: **MSI**)

设计方法：逻辑函数式对照法

1. 由功能确定输入、输出量，写出逻辑式；
2. 把要用的**MSI**逻辑函数式变换成与所求逻辑式相类似的形式：

其中：“**2.把要用的MSI逻辑函数式变换成与所求逻辑式相类似的形式**”中又分这样几种情况：

① 若两者形式上**完全相同**,则该种**MSI**效果最好。

适中 ← 最好

② 若**MSI**函数式更丰富，则可将**多出**的输入变量和乘积项**适当处理**，也可以较方便地得到所需要的逻辑式；

多项 ← 删除

③ 若**MSI**函数式仅是所要产生的逻辑式的一**部分**，可以通过**扩展方法**得到所需逻辑式。

少项 ← 扩展

扩展方法：用使能端或其它输入端扩展，适当加其它门；
采用多片MSI进行适当连接。

3. 接线，画出逻辑图。

一般地：

若要产生单输出逻辑函数时，

可先考虑数据选择器。

若要产生多输出逻辑函数时，

使用译码器+门电路较有利。

中规模组合逻辑组件逻辑图的分析：

由逻辑图



代入MSI的
逻辑函数式

得逻辑式



得逻辑功能

例1. 已知：组合电路逻辑功能如表所示，试用中规模组件实现。

输 入			输出
A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

设计：

1. 由表写式：

$$F = \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} + ABC$$

∵ F 是单输出逻辑函数，可考虑用数据选择器(方案一)：

双4选1—74LS153

双4选1—74LS153引出端:

输入端: { 使能端 \bar{E}
选择端: A_1A_0
数据输入端: $D_3D_2D_1D_0$

输出端: Y

74LS153逻辑函数式:

$$Y = \bar{E}(\bar{A}_1\bar{A}_0D_0 + \bar{A}_1A_0D_1 + A_1\bar{A}_0D_2 + A_1A_0D_3)$$

$$\bar{E} = 0 \quad (E=1)$$

74LS153函数式:

$$Y = E(\overline{A_1}\overline{A_0}D_0 + \overline{A_1}A_0D_1 + A_1\overline{A_0}D_2 + A_1A_0D_3)$$

2. 与F式对照:

$$F = \overline{A}BC + \overline{A}B\overline{C} + A\overline{B}C + ABC$$

74LS153 当 $\overline{E} = 0$ 时, 为工作状态。

若令: $A_1 = A, A_0 = B$;

MSI 没有 C 端, 可以用输入数据端改接:

$$\text{既: } D_0 = D_3 = C$$

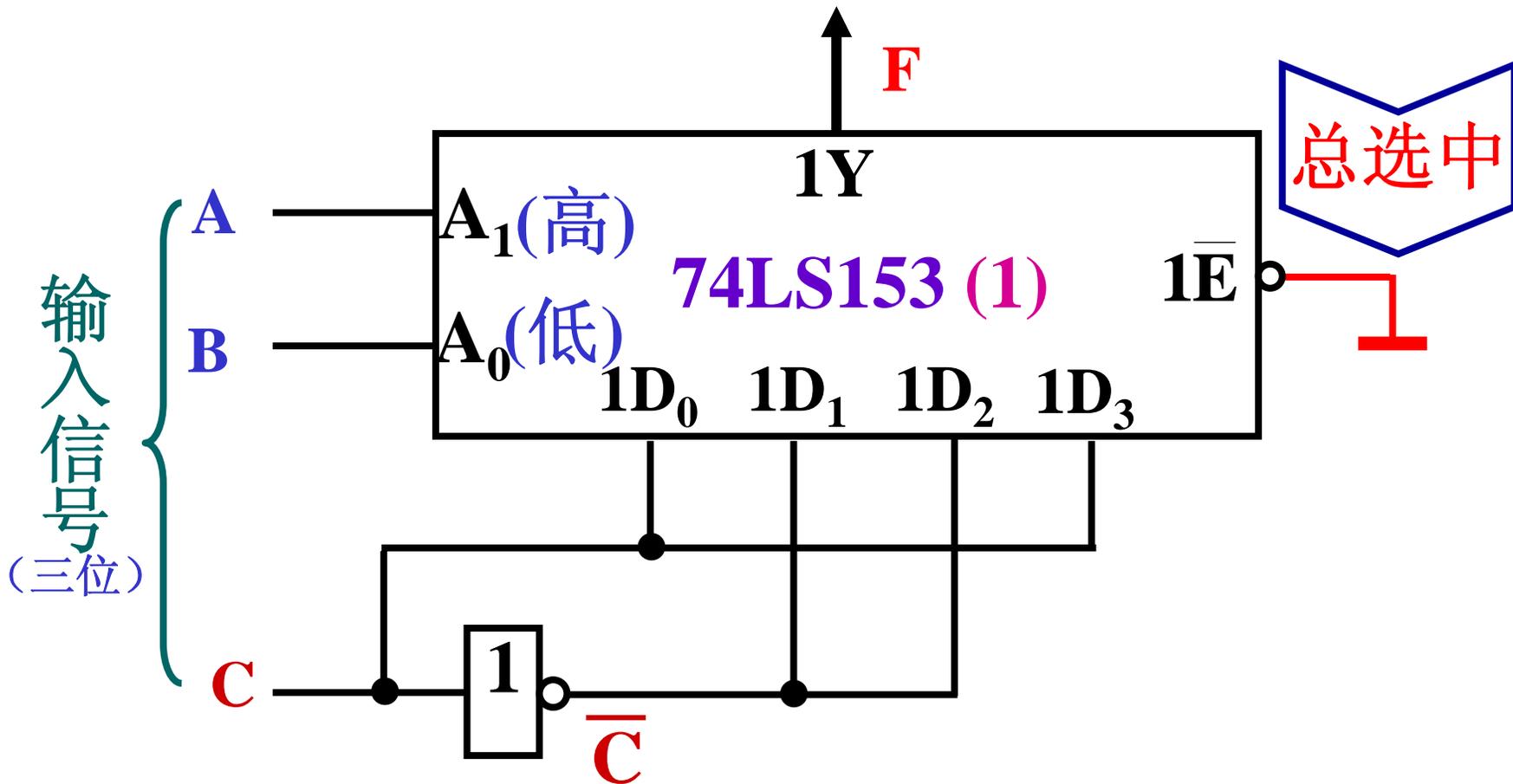
$$D_1 = D_2 = \overline{C}$$

第三根输入线 (C, \overline{C})

分送给对应的数据输入端。

3.画出逻辑图:

$$\underline{\underline{\overline{V}BC}} + \underline{\underline{\overline{V}B\overline{C}}} + \underline{\underline{\overline{V}B\overline{C}}} + \underline{\underline{\overline{V}BC}}$$



$$D_0 = D_3 = C; D_1 = D_2 = \overline{C}。$$

例1方案二：用8选1—74LS151实现

74LS151功能表：

使能端	选 择 端			输 出 端	
\bar{S}	A_2	A_1	A_0	Y	W
1	×	×	×	0	1
0	0	0	0	D_0	\bar{D}_0
0	0	0	1	D_1	\bar{D}_1
0	0	1	0	D_2	\bar{D}_2
0	0	1	1	D_3	\bar{D}_3
0	1	0	0	D_4	\bar{D}_4
0	1	0	1	D_5	\bar{D}_5
0	1	1	0	D_6	\bar{D}_6
0	1	1	1	D_7	\bar{D}_7

输入端：

使能端： \bar{S}

选择端： $A_2 A_1 A_0$

数据输入端：

$D_7 \sim D_0$

输出端：Y

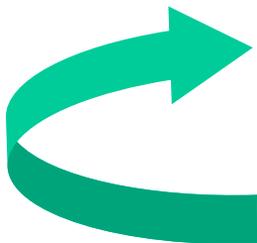
例1.用8选1—74LS151实现

74LS151功能表： 令 $\bar{S} = 0$ ，MSI始终被选中：

使能端	选 择 端			输出端	
\bar{S}	A_2	A_1	A_0	Y	W
1	×	×	×	0	1
0	0	0	0	D_0	\bar{D}_0
0	0	0	1	D_1	\bar{D}_1
0	0	1	0	D_2	\bar{D}_2
0	0	1	1	D_3	\bar{D}_3
0	1	0	0	D_4	\bar{D}_4
0	1	0	1	D_5	\bar{D}_5
0	1	1	0	D_6	\bar{D}_6
0	1	1	1	D_7	\bar{D}_7

$$\begin{aligned}
 Y = & \bar{A}_2 \bar{A}_1 \bar{A}_0 D_0 + \bar{A}_2 \bar{A}_1 A_0 D_1 \\
 & + \bar{A}_2 A_1 \bar{A}_0 D_2 + \bar{A}_2 A_1 A_0 D_3 \\
 & + A_2 \bar{A}_1 \bar{A}_0 D_4 + A_2 \bar{A}_1 A_0 D_5 \\
 & + A_2 A_1 \bar{A}_0 D_6 + A_2 A_1 A_0 D_7
 \end{aligned}$$

1.将Y与F式相对照:


$$F = \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} + ABC$$

$$Y = \overline{A_2}\overline{A_1}\overline{A_0}D_0 + \overline{A_2}\overline{A_1}A_0D_1 + \overline{A_2}A_1\overline{A_0}D_2 + \overline{A_2}A_1A_0D_3 \\ + A_2\overline{A_1}\overline{A_0}D_4 + A_2\overline{A_1}A_0D_5 + A_2A_1\overline{A_0}D_6 + A_2A_1A_0D_7$$

若令： $A_2 = A$ ， $A_1 = B$ ， $A_0 = C$ ；

发现 D_i 数据似乎多余，**改接：**

- 1) F式中**不出现**的项，令其对应的数据 **$D_i=0$** ；
于是**消去**这些项。
- 2) F式中**出现**的项，令其对应的数据 **$D_i=1$** ；
于是**保留**这些项。


$$F = \overline{\overline{A}}\overline{B}C + \overline{A}\overline{B}\overline{C} + A\overline{B}\overline{C} + ABC$$

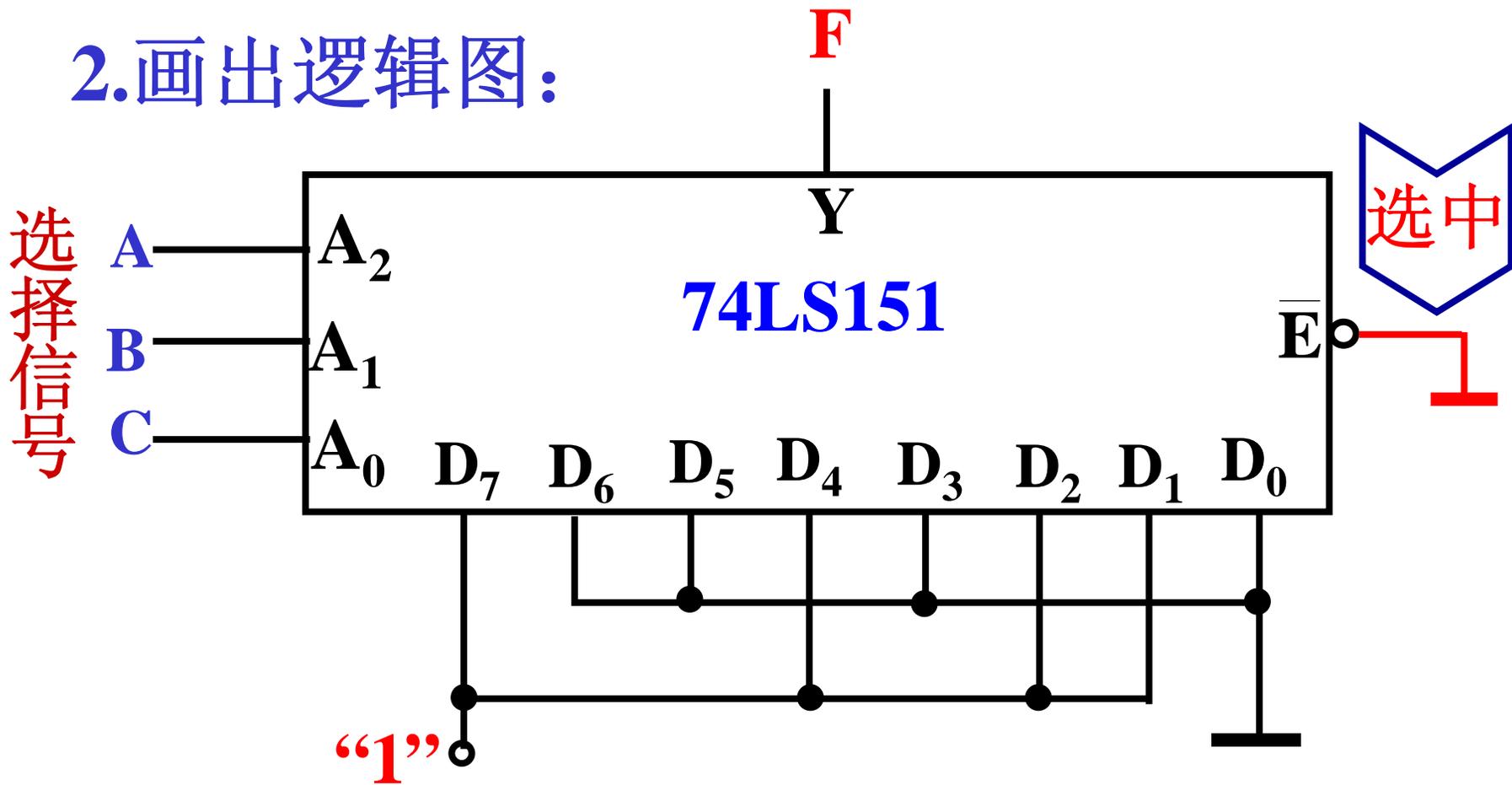
$$Y = \overline{\overline{A}}\overline{B}C D_0 + \overline{A}\overline{B}\overline{C} D_1 + \overline{A}\overline{B}C D_2 + \overline{\overline{A}}\overline{B}C D_3 \\ + \overline{\overline{A}}\overline{B}\overline{C} D_4 + \overline{A}\overline{B}\overline{C} D_5 + \overline{A}B\overline{C} D_6 + ABC D_7$$

令 $D_0 = D_3 = D_5 = D_6 = 0$ ，消去相应的项；

令 $D_1 = D_2 = D_4 = D_7 = 1$ ，保留相应的项。

即： $Y = \overline{\overline{A}}\overline{B}C + \overline{A}\overline{B}\overline{C} + A\overline{B}\overline{C} + ABC = F$

2.画出逻辑图:



$$Y = \bar{A}\bar{B}\bar{C} \cdot 0 + \bar{A}\bar{B}C \cdot 1 + \bar{A}B\bar{C} \cdot 1 + \bar{A}BC \cdot 0 \\ + A\bar{B}\bar{C} \cdot 1 + A\bar{B}C \cdot 0 + AB\bar{C} \cdot 0 + ABC \cdot 1$$

即: $Y = \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC = F$

例1方案三：用3-8线译码器—74LS138实现

假设：

使能端被选中，有

74LS138功能表：

输入			输出
A ₂	A ₁	A ₀	$\overline{Y}_i = 0$
0	0	0	\overline{Y}_0
0	0	1	\overline{Y}_1
0	1	0	\overline{Y}_2
0	1	1	\overline{Y}_3
1	0	0	\overline{Y}_4
1	0	1	\overline{Y}_5
1	1	0	\overline{Y}_6
1	1	1	\overline{Y}_7

$$\overline{Y}_0 = \overline{\overline{\overline{A_2 A_1 A_0}}}$$

$$\overline{Y}_1 = \overline{\overline{\overline{A_2 A_1 A_0}}}$$

$$\overline{Y}_2 = \overline{\overline{\overline{A_2 A_1 A_0}}}$$

$$\overline{Y}_3 = \overline{\overline{\overline{A_2 A_1 A_0}}}$$

$$\overline{Y}_4 = \overline{\overline{\overline{A_2 A_1 A_0}}}$$

$$\overline{Y}_5 = \overline{\overline{\overline{A_2 A_1 A_0}}}$$

$$\overline{Y}_6 = \overline{\overline{\overline{A_2 A_1 A_0}}}$$

$$\overline{Y}_7 = \overline{\overline{\overline{A_2 A_1 A_0}}}$$

当**74LS138**使能端被选中时，

$\overline{Y}_0 \sim \overline{Y}_7$: 均为**最小项反**的形式。

待设计的逻辑式：

$$F = \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} + ABC$$

两次求反法：

$$F = \overline{\overline{\overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} + ABC}}$$

即： $F = \overline{\overline{\overline{A}\overline{B}C} \cdot \overline{\overline{\overline{A}B\overline{C}}} \cdot \overline{\overline{\overline{A}\overline{B}\overline{C}}} \cdot \overline{\overline{\overline{ABC}}}}$

假设74LS138使能端被选中，有：

$$\overline{Y}_0 = \overline{\overline{\overline{A_2 A_1 A_0}}}$$

$$\overline{Y}_1 = \overline{\overline{\overline{A_2 A_1 A_0}}}$$

$$\overline{Y}_2 = \overline{\overline{\overline{A_2 A_1 A_0}}}$$

$$\overline{Y}_3 = \overline{\overline{\overline{A_2 A_1 A_0}}}$$

$$\overline{Y}_4 = \overline{\overline{\overline{A_2 A_1 A_0}}}$$

$$\overline{Y}_5 = \overline{\overline{\overline{A_2 A_1 A_0}}}$$

$$\overline{Y}_6 = \overline{\overline{\overline{A_2 A_1 A_0}}}$$

$$\overline{Y}_7 = \overline{\overline{\overline{A_2 A_1 A_0}}}$$

1. 把F与74LS138的函数式相对照：

若令： $A_2 = A$ ， $A_1 = B$ ， $A_0 = C$ ；

$$F = \overline{\overline{\overline{ABC}}} \cdot \overline{\overline{\overline{ABC}}} \cdot \overline{\overline{\overline{ABC}}} \cdot \overline{\overline{\overline{ABC}}}$$

$$\overline{Y}_1$$

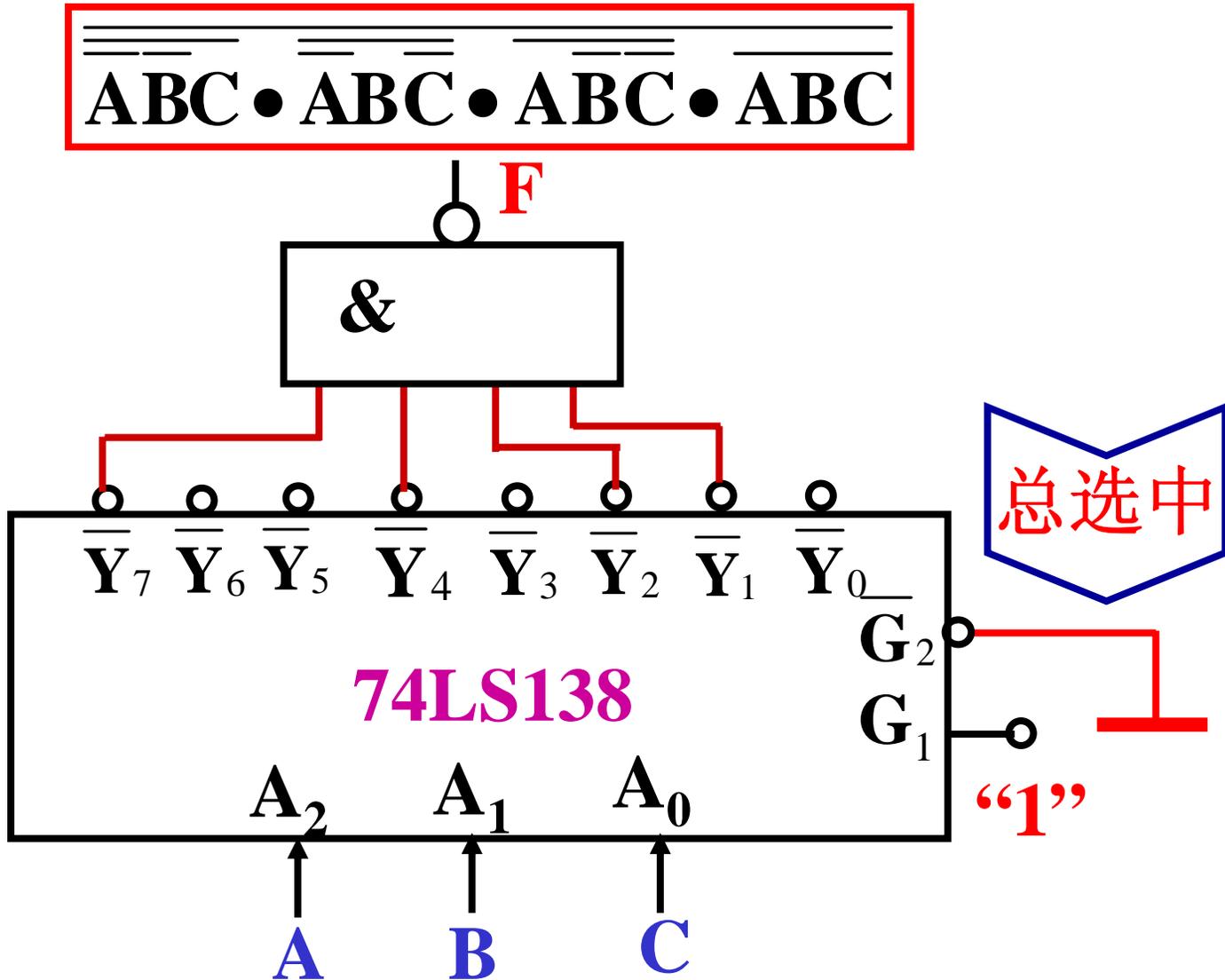
$$\overline{Y}_2$$

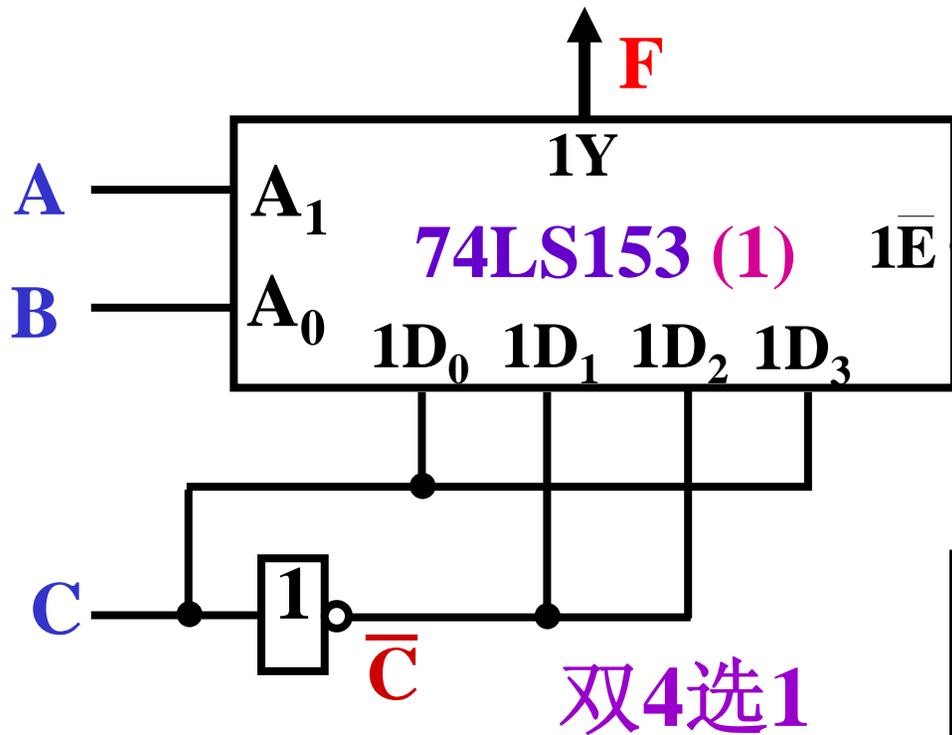
$$\overline{Y}_4$$

$$\overline{Y}_7$$

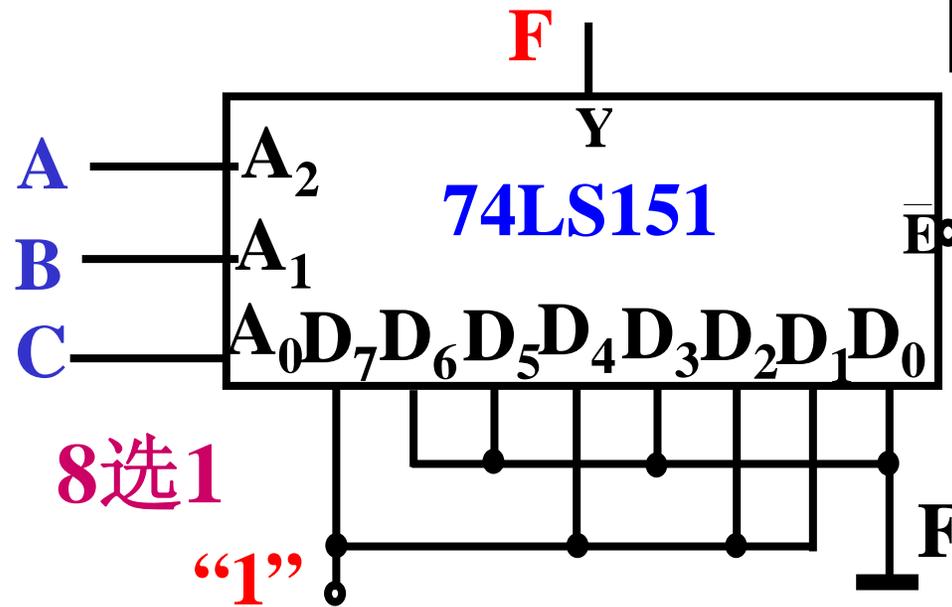
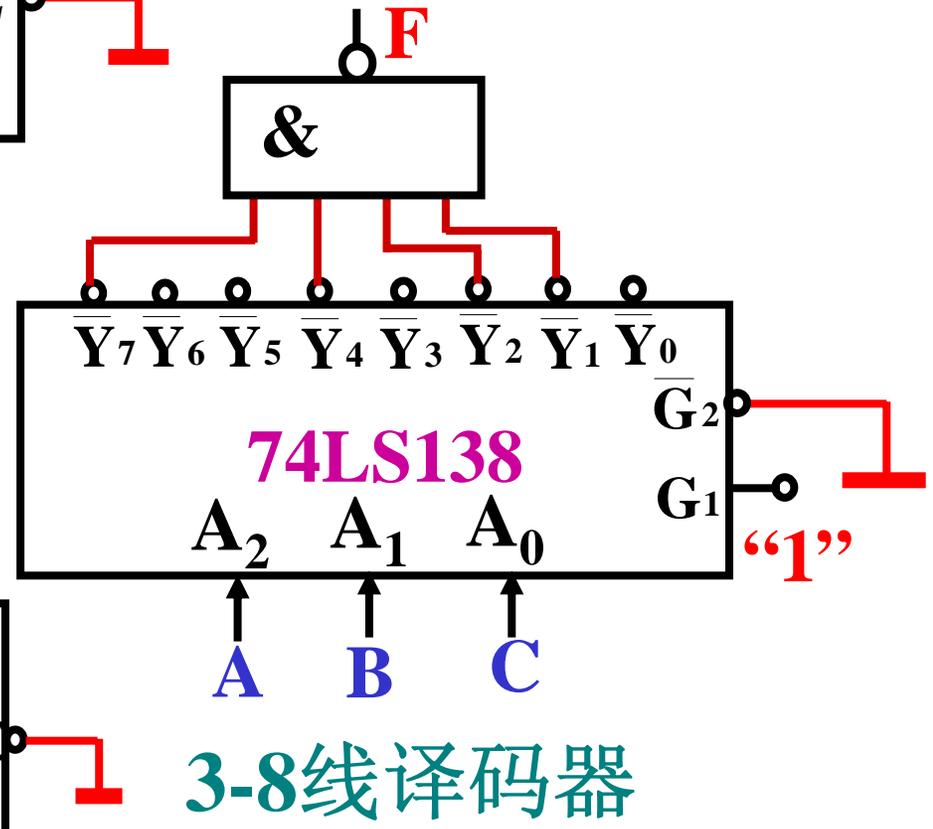
用与非门
实现

2.画出逻辑图:





例1方案归纳:



$$F = \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC$$

例2. 分别用四选一数据选择器和2-4线译码器实现逻辑函数: $F = AB + C$

方案一: 用双四选一数据选择器74LS153实现

74LS153逻辑函数式:

$$Y = E(\bar{A}_1\bar{A}_0D_0 + \bar{A}_1A_0D_1 + A_1\bar{A}_0D_2 + A_1A_0D_3)$$

当 $\bar{E} = 0$ (即 $E=1$)时, 为工作状态:

$$Y = \bar{A}_1\bar{A}_0D_0 + \bar{A}_1A_0D_1 + A_1\bar{A}_0D_2 + A_1A_0D_3$$

1. 与F式对照: 且令: $A_1 = A, A_0 = B$;

令 $D_3=1$, 使Y中保留AB; 因为MSI没有C端, 可以用输入数据端扩展: $D_0 = D_1 = D_2 = C$ 。

$$\therefore Y = \overline{A}\overline{B}D_0 + \overline{A}BD_1 + A\overline{B}D_2 + ABD_3$$

C
C
C
1

$$\therefore Y = AB + \underbrace{\overline{A}\overline{B}C + \overline{A}BC + A\overline{B}C}$$

因为数据选择器只有一个输出端，
且B、A在三种情况时，都选择C。

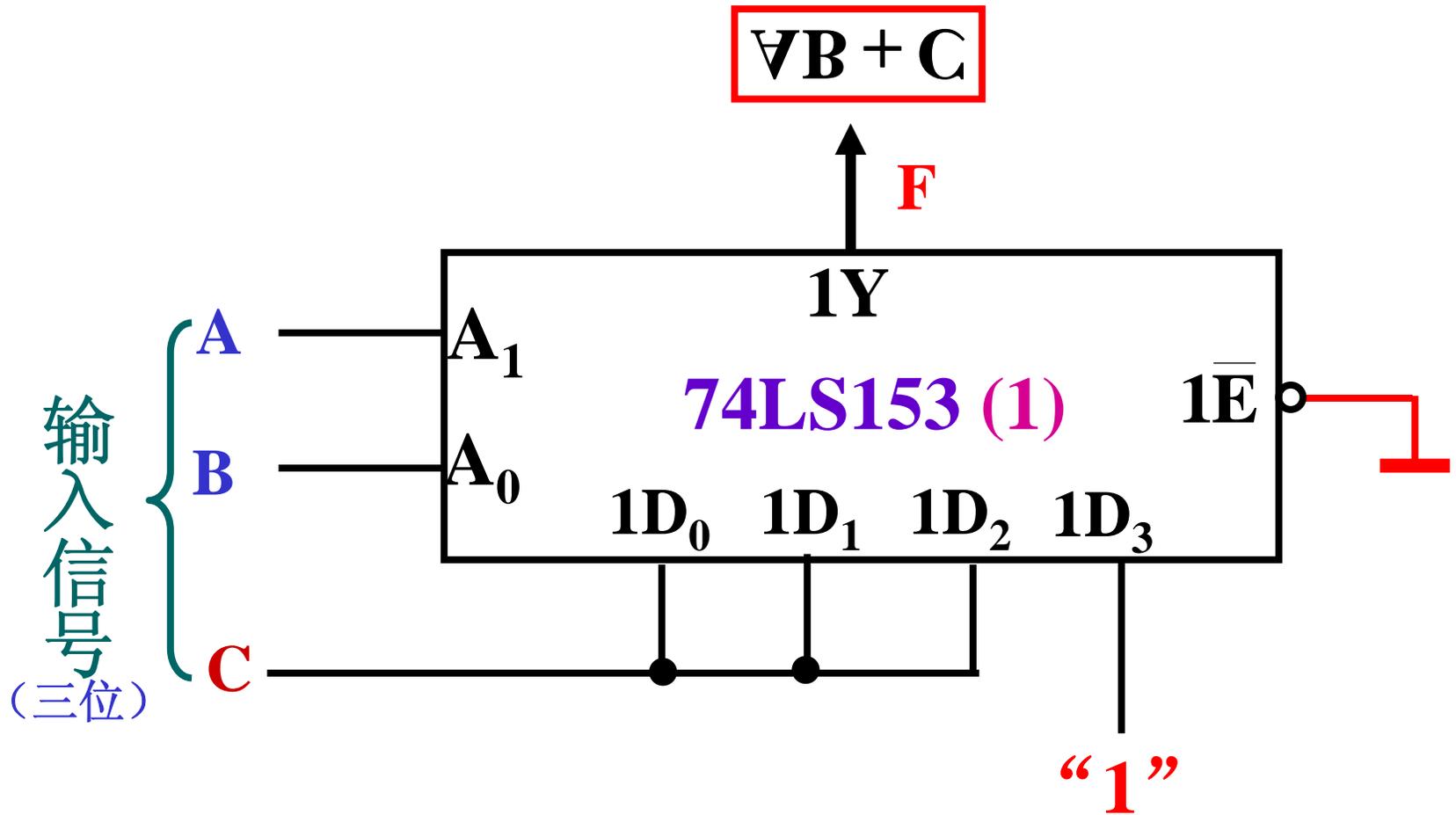
得： $Y=AB+C=F$

Y=F的推导过程:

$$\begin{aligned} \because Y &= BA + \overline{B}\overline{A}C + \overline{B}AC + B\overline{A}C \\ &= BA + (\overline{B}\overline{A} + \overline{B}A + B\overline{A})C \\ &= BA + (\overline{B} + \overline{B}A)C \\ &= AB + (\overline{B} + \overline{A})C \\ &= AB + \overline{A}BC \\ &= AB + C \\ &= F \end{aligned}$$

即: $Y=F=AB+C$

2.画出逻辑图: $D_0 = D_1 = D_2 = C; D_3 = 1。$



方案二：用双2-4线译码器74LS139

实现逻辑函数： $F = AB + C$

因为译码器的输出形式是最小项反的形式，
所以将F也用三变量A、B、C的最小项形式
表示。

1. 写出F的逻辑式：

$$\begin{aligned} F &= AB(\bar{C} + C) + (AB + \bar{A}\bar{B} + A\bar{B} + \bar{A}\bar{B})C \\ &= ABC + ABC\bar{C} + \bar{A}BC + A\bar{B}C + \bar{A}\bar{B}C \end{aligned}$$

两次求反：

$$F = \overline{\overline{ABC}} \cdot \overline{\overline{ABC}} \cdot \overline{\overline{ABC}} \cdot \overline{\overline{ABC}} \cdot \overline{\overline{ABC}}$$

74LS139只有两个输入数据选择端，现在**F**有三个输入变量，可以利用**74LS139**中两个**2-4线译码器**的使能端 **$\bar{2}$** 扩展。

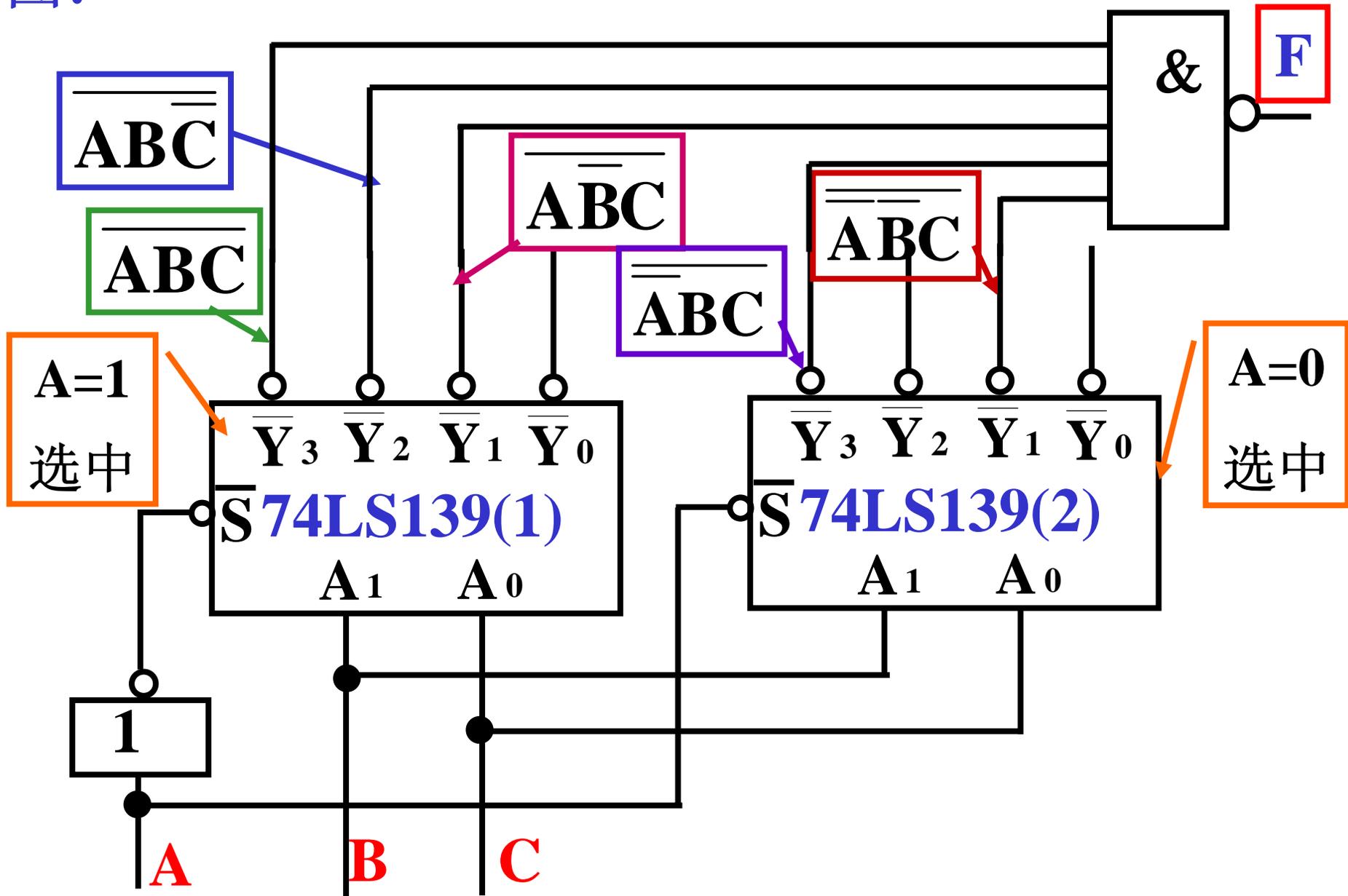
令：**F**的输入变量**A**去控制**74LS139**中两个**2-4线译码器**的使能端；**B**、**C**作为**74LS139**输入数据选择端： **$A_1=B$** ， **$A_0=C$** 。

又知道当**74LS139**中**2-4线译码器**使能端被选中时，有：

$$\left. \begin{array}{l} \bar{Y}_0 = \overline{A_1 A_0} \quad \bar{Y}_1 = \overline{\bar{A}_1 A_0} \\ \bar{Y}_2 = \overline{A_1 \bar{A}_0} \quad \bar{Y}_3 = \overline{A_1 A_0} \end{array} \right\} A_1, A_0: \text{输入选择端}$$

2. 逻辑图:

$$F = \overline{\overline{A}BC} \cdot \overline{A\overline{B}C} \cdot \overline{AB\overline{C}} \cdot \overline{A\overline{B}\overline{C}} \cdot \overline{\overline{A}B\overline{C}}$$



方案三：用双2-4线译码器74LS139

实现逻辑函数： $F=AB+C$

让74LS139中两个2-4线译码器同时使能，利用它们的输入选择端进行组合：

$$\begin{aligned}\because F &= AB + C \\ &= AB + C(B + \bar{B}) \\ &= AB + BC + \bar{B}C\end{aligned}$$

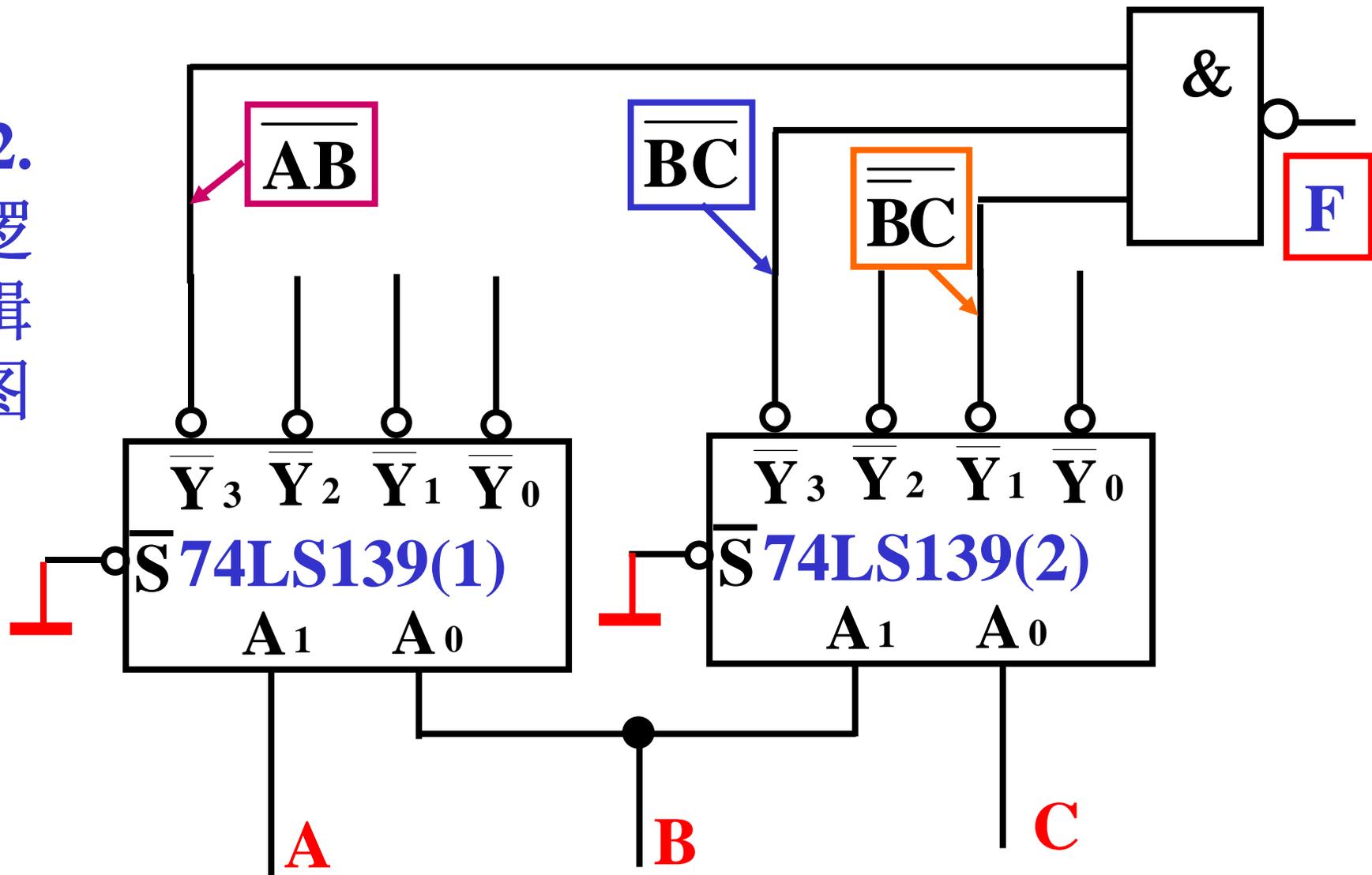
$$\therefore F = AB + BC + \bar{B}C$$

$$\therefore F = \overline{\overline{AB} \cdot \overline{BC} \cdot \overline{\bar{B}C}}$$



两次求反

2. 逻辑图

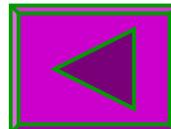
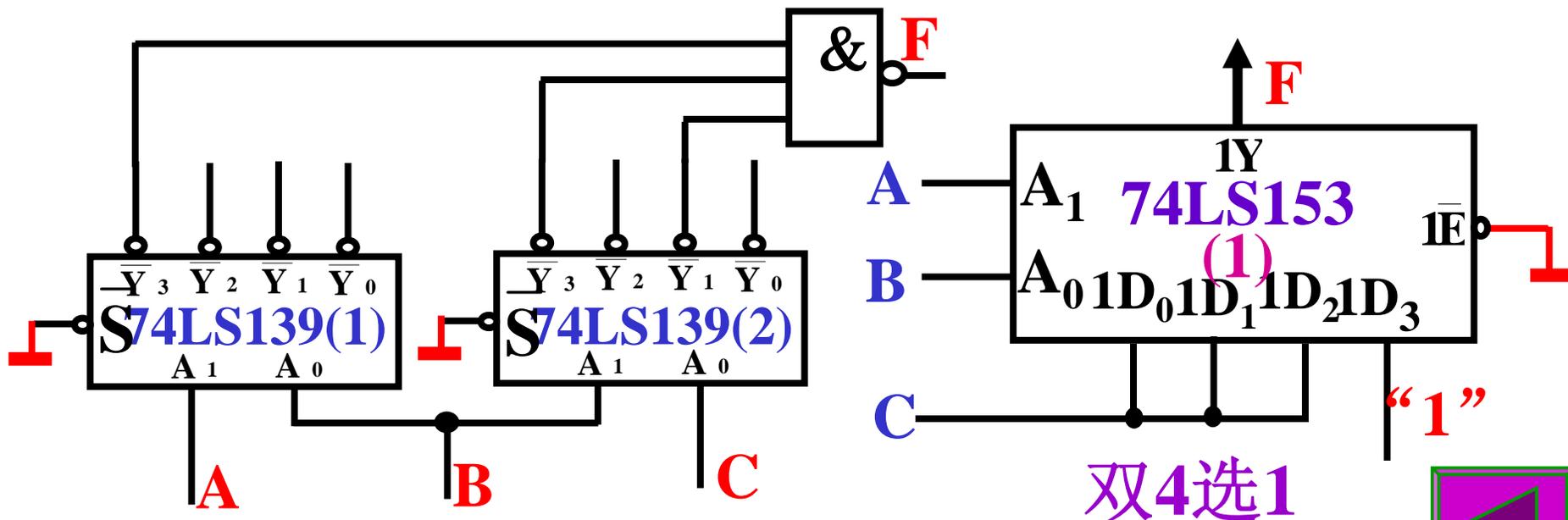
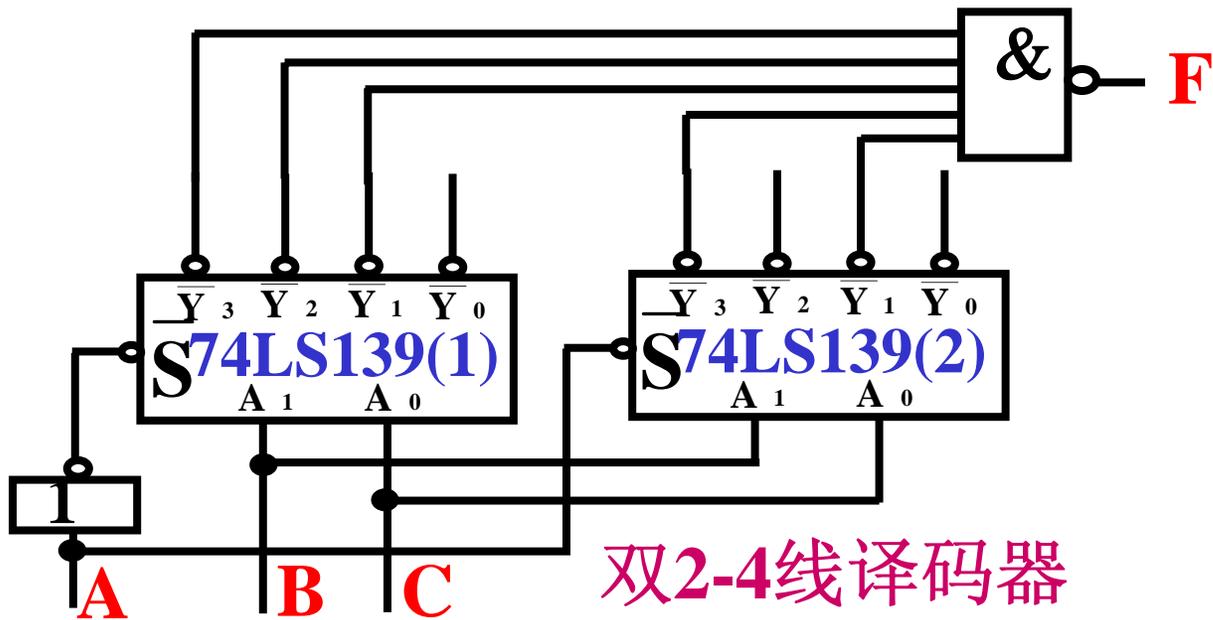


$$F = \overline{AB} \cdot \overline{BC} \cdot \overline{\overline{BC}}$$

例2方案

归纳:

$$\overline{VB} + C$$

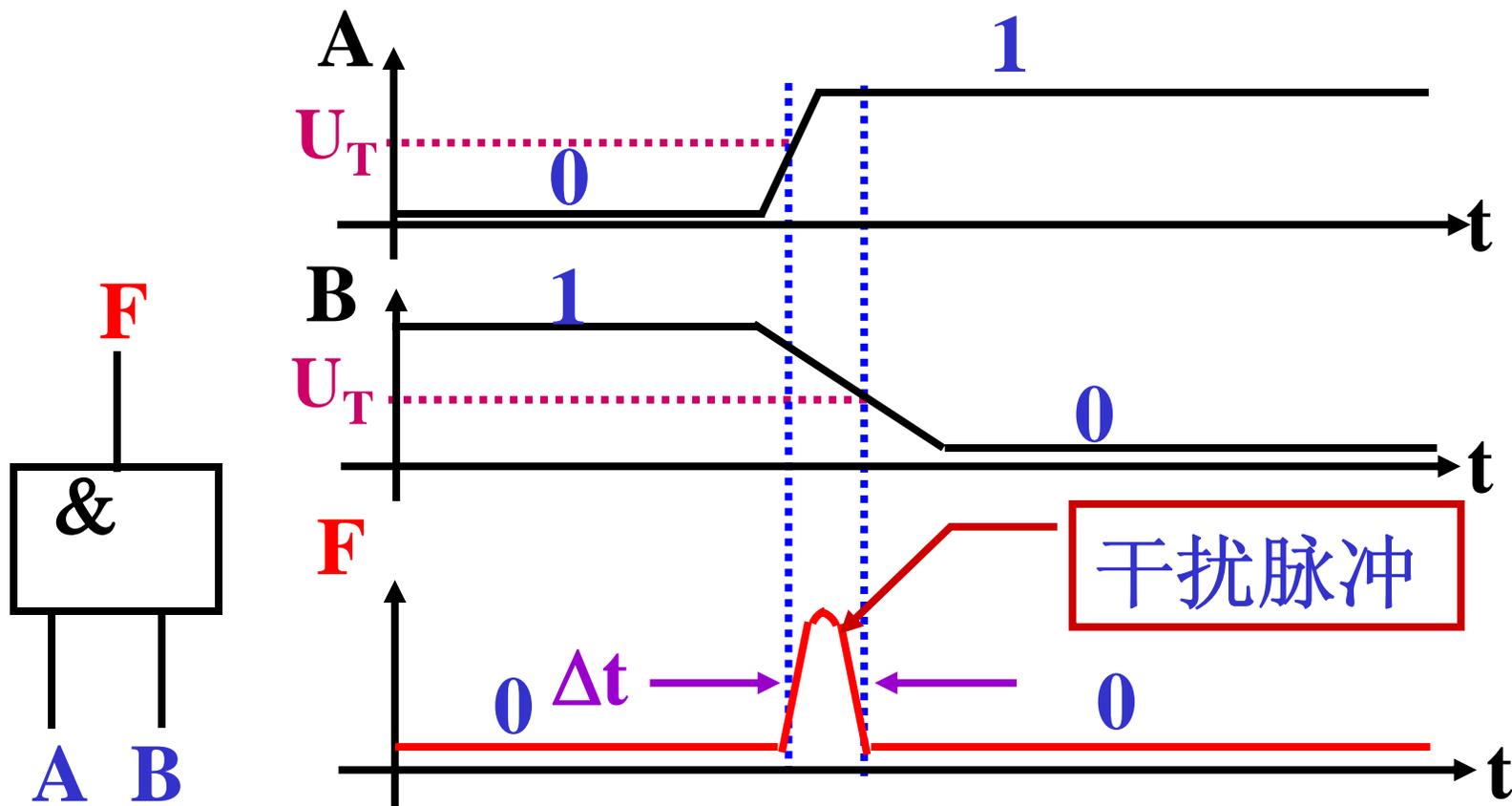


§ 4.4 组合电路中的竞争-冒险现象

- 任何一个门电路，只要有**两个输入信号同时向相反方向变化**，则输出端就有**可能出现虚假信号——过渡脉冲（尖峰脉冲: glitch）:竞争-冒险现象**。

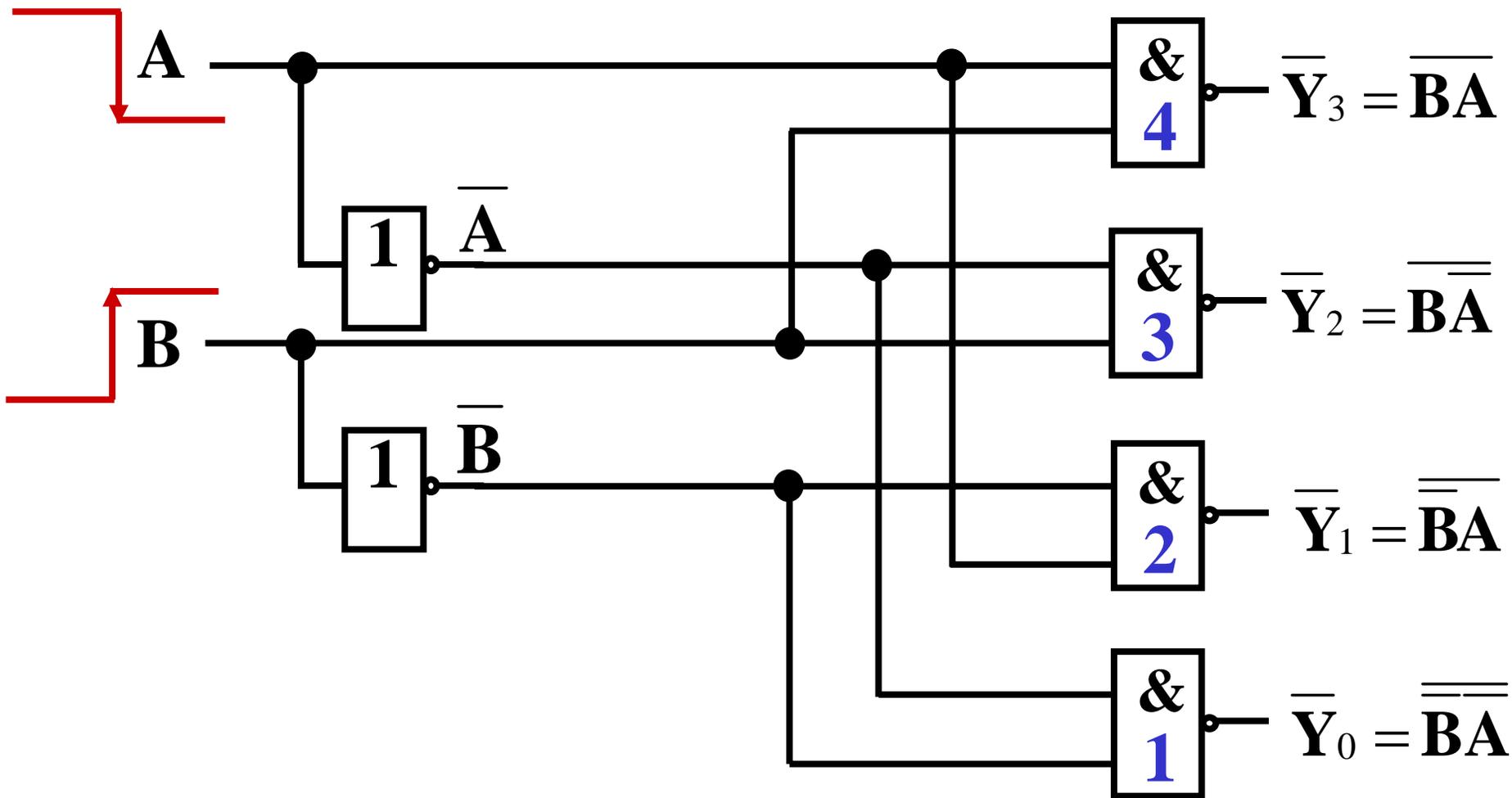
- **原因:** { 信号存在**前后沿**过渡时间不一致问题;
门电路的 t_{pd} 不一样。

例1: 与门的竞争-冒险



因竞争-冒险产生干扰脉冲

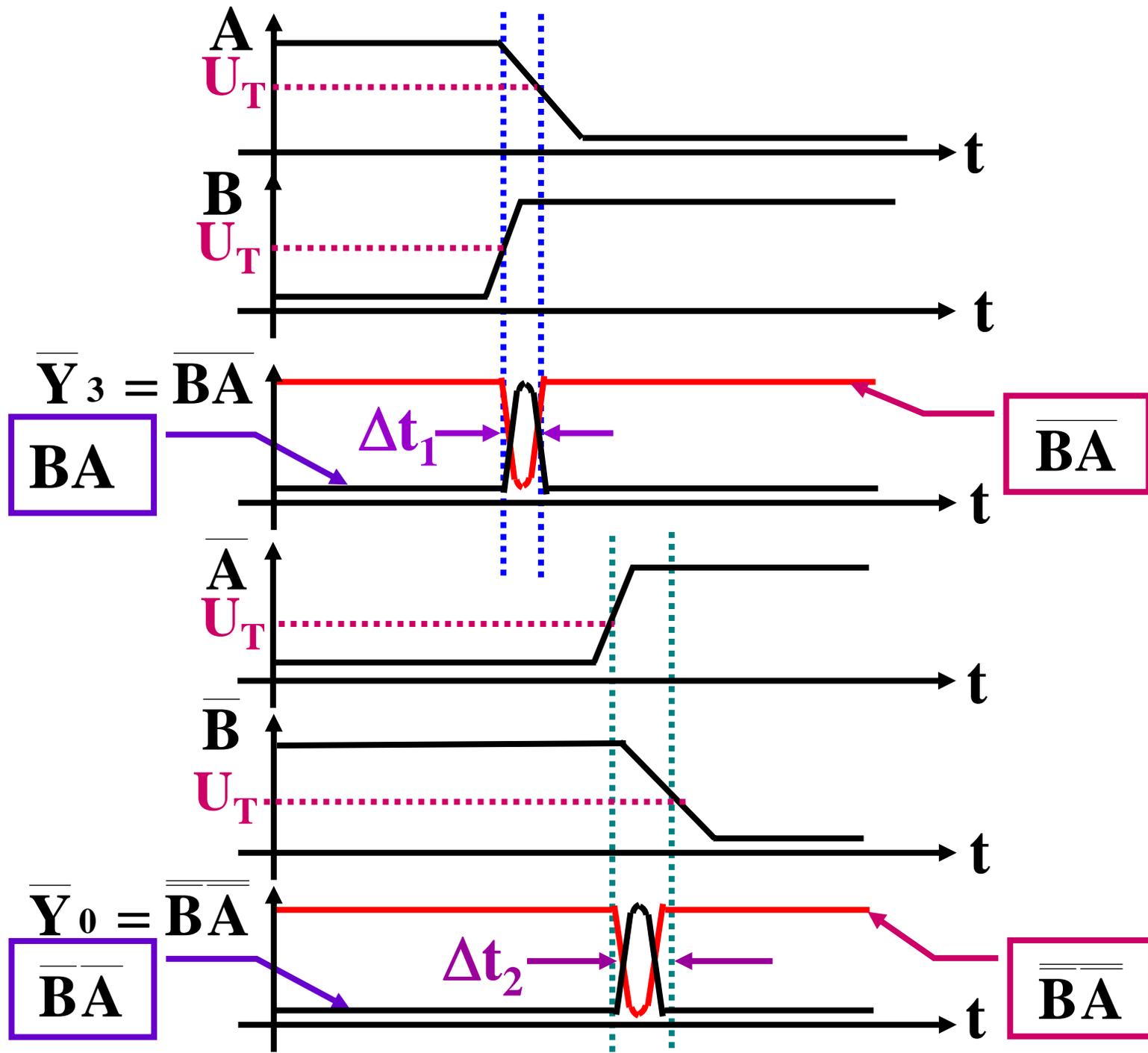
例2: 2—4线译码器



2—4线译码器真值表：

B	A	$\overline{\mathbf{B}}$	$\overline{\mathbf{A}}$	$\overline{\overline{\mathbf{B}\mathbf{A}}}$	$\overline{\overline{\mathbf{B}\mathbf{A}}}$	$\overline{\overline{\mathbf{B}\mathbf{A}}}$	$\overline{\overline{\mathbf{B}\mathbf{A}}}$
0	0	1	1	0	1	1	1
							
0	1	1	0	1	0	1	1
							
1	0	0	1	1	1	0	1
							
1	1	0	0	1	1	1	0

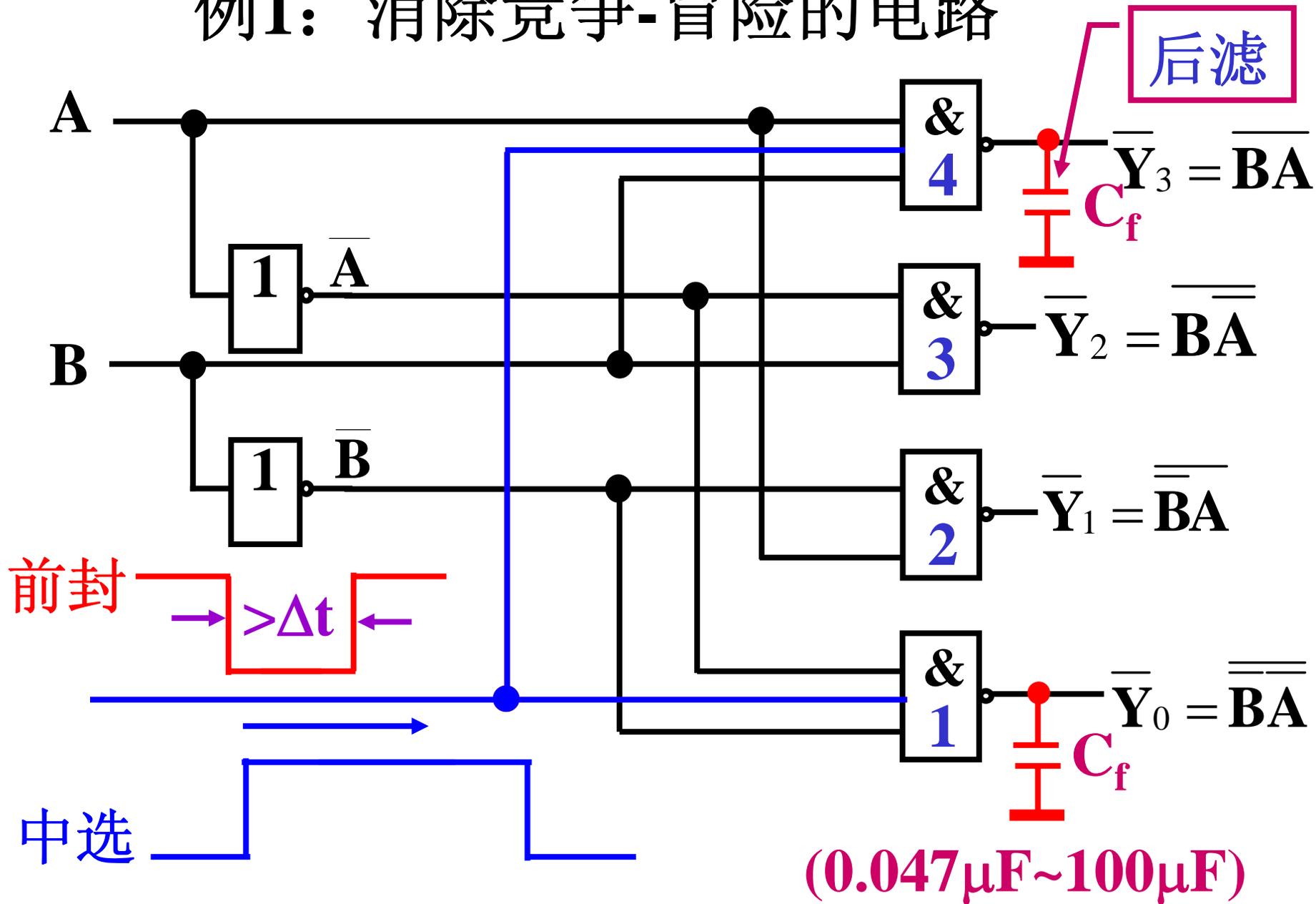
用波形说明：



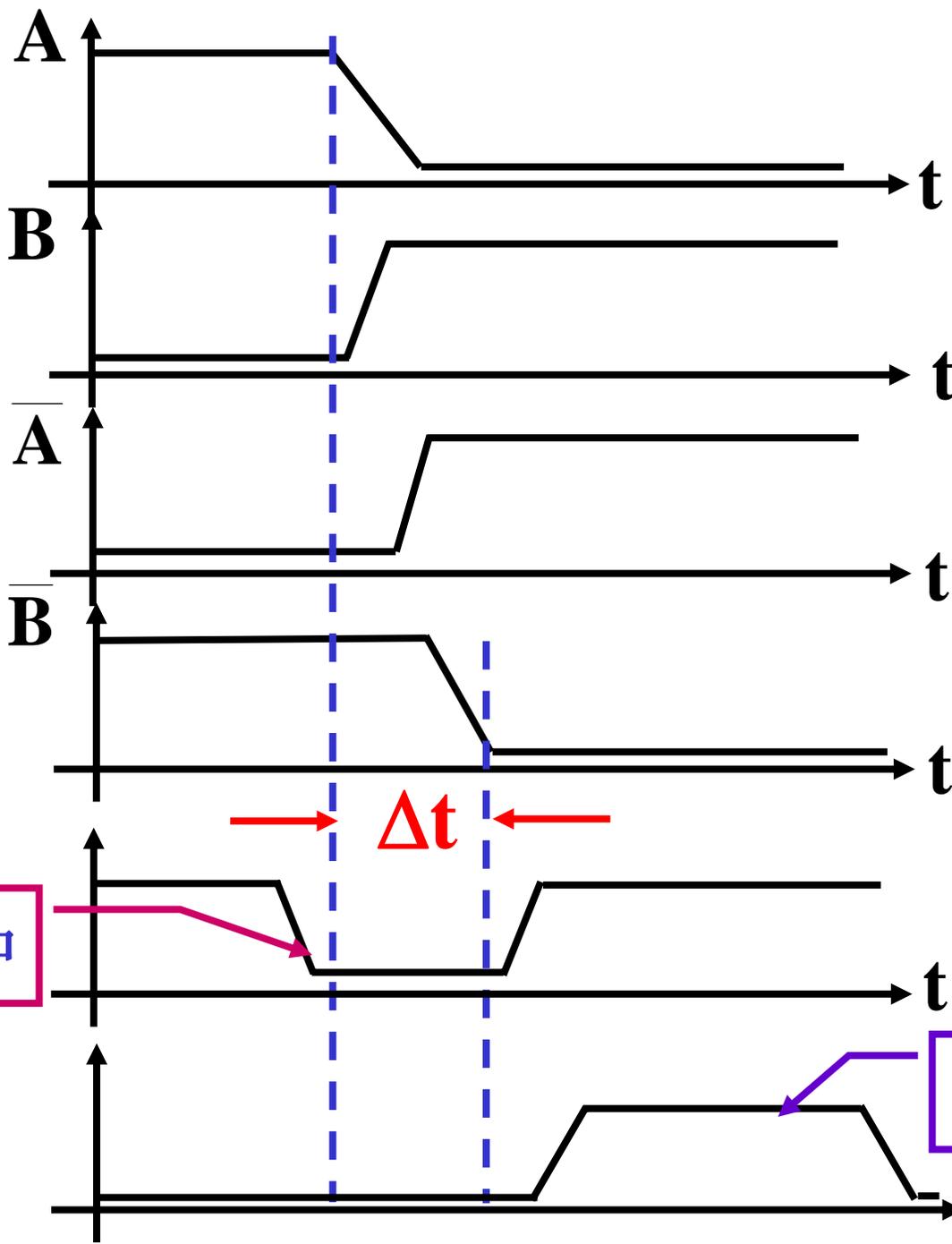
消除办法:

- 1) .引入**封锁脉冲**—在输入信号发生竞争期间，封锁门的输出；封锁脉冲必须与输入信号的转换同步。←— **前封**
- 2) .引入**选通脉冲**—等电路达到新稳态后，再输出。←— **中选**
- 3) .接入**滤波电容**—吸收和削弱窄脉冲。←— **后滤**
- 4) .修改逻辑设计，增加冗余项。←— **添项**

例1：消除竞争-冒险的电路



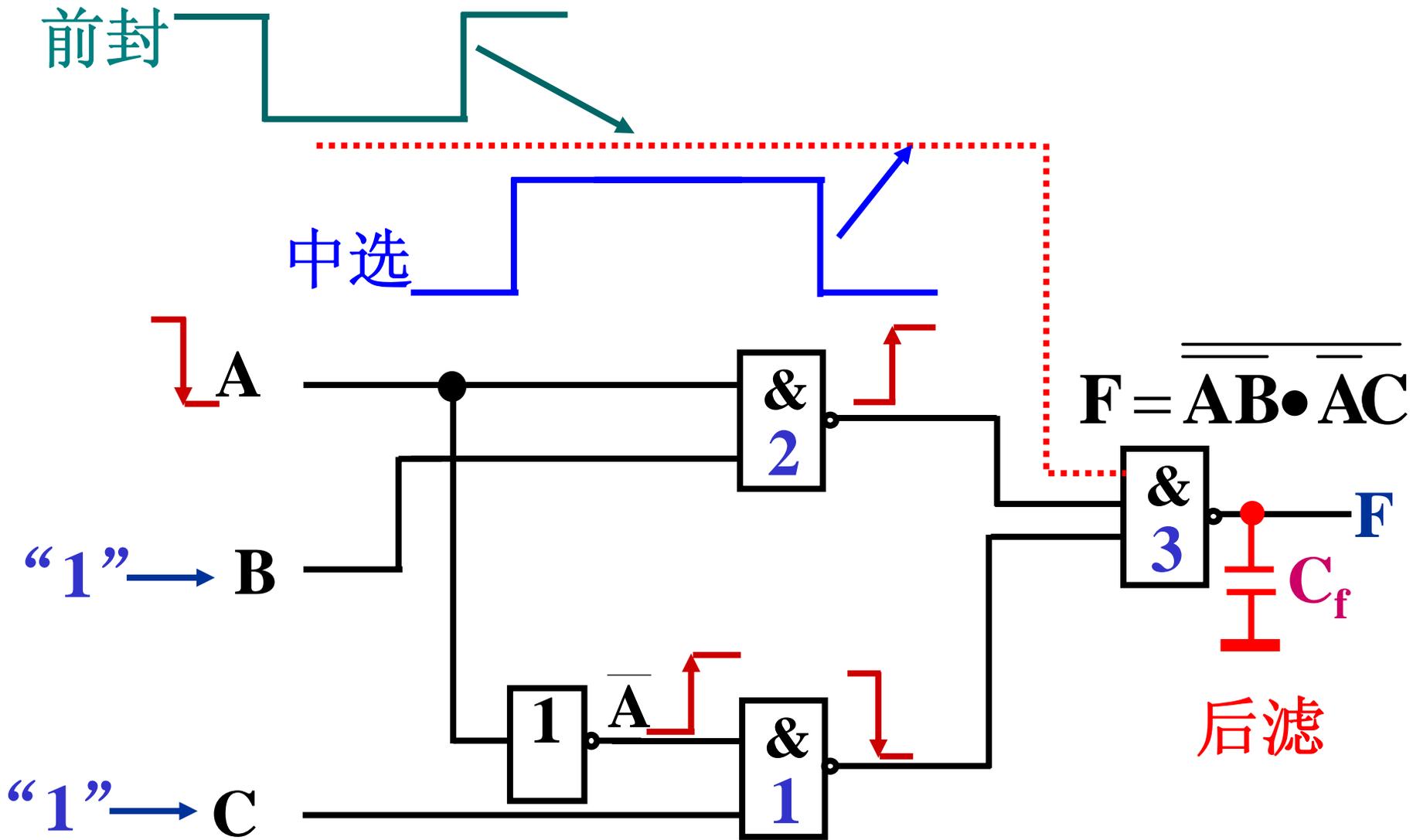
波形关系

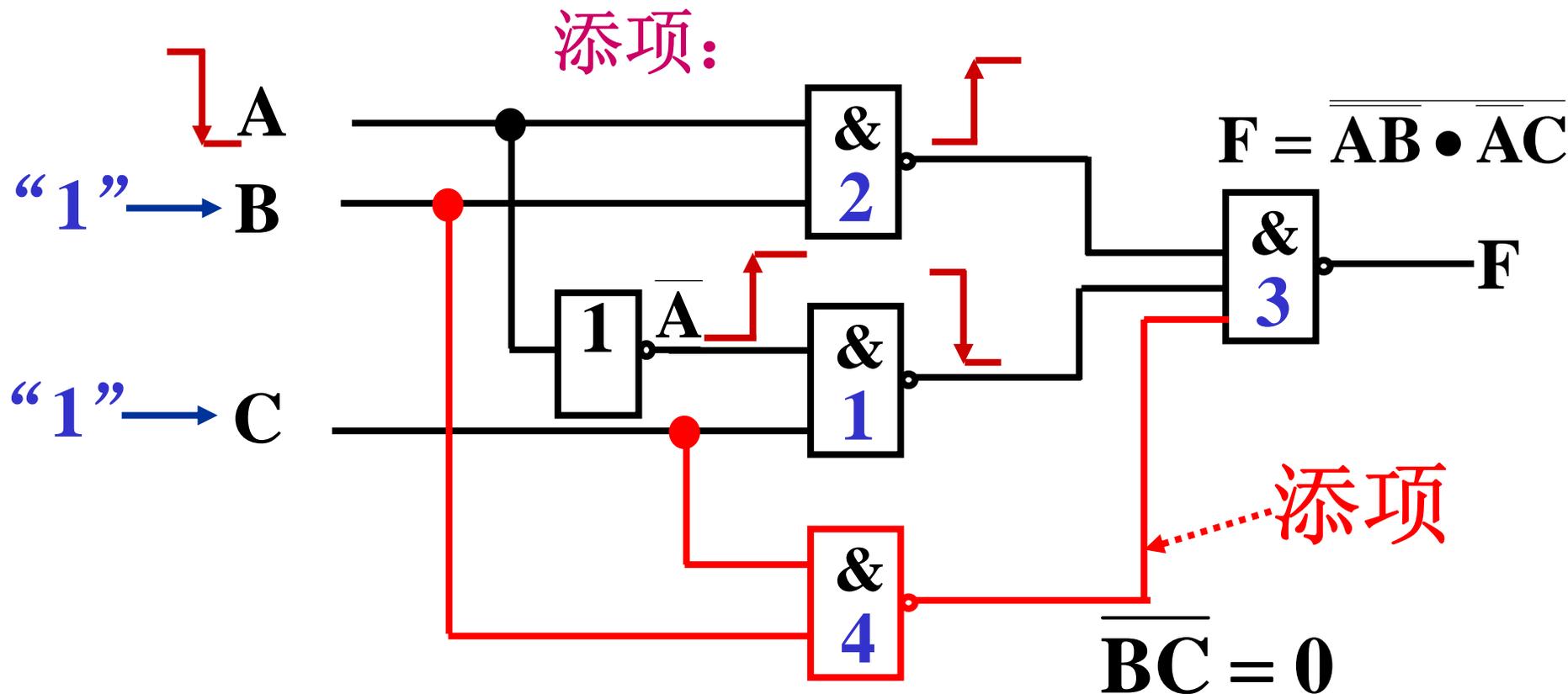


封锁脉冲

选通脉冲

例2：消除竞争-冒险的电路

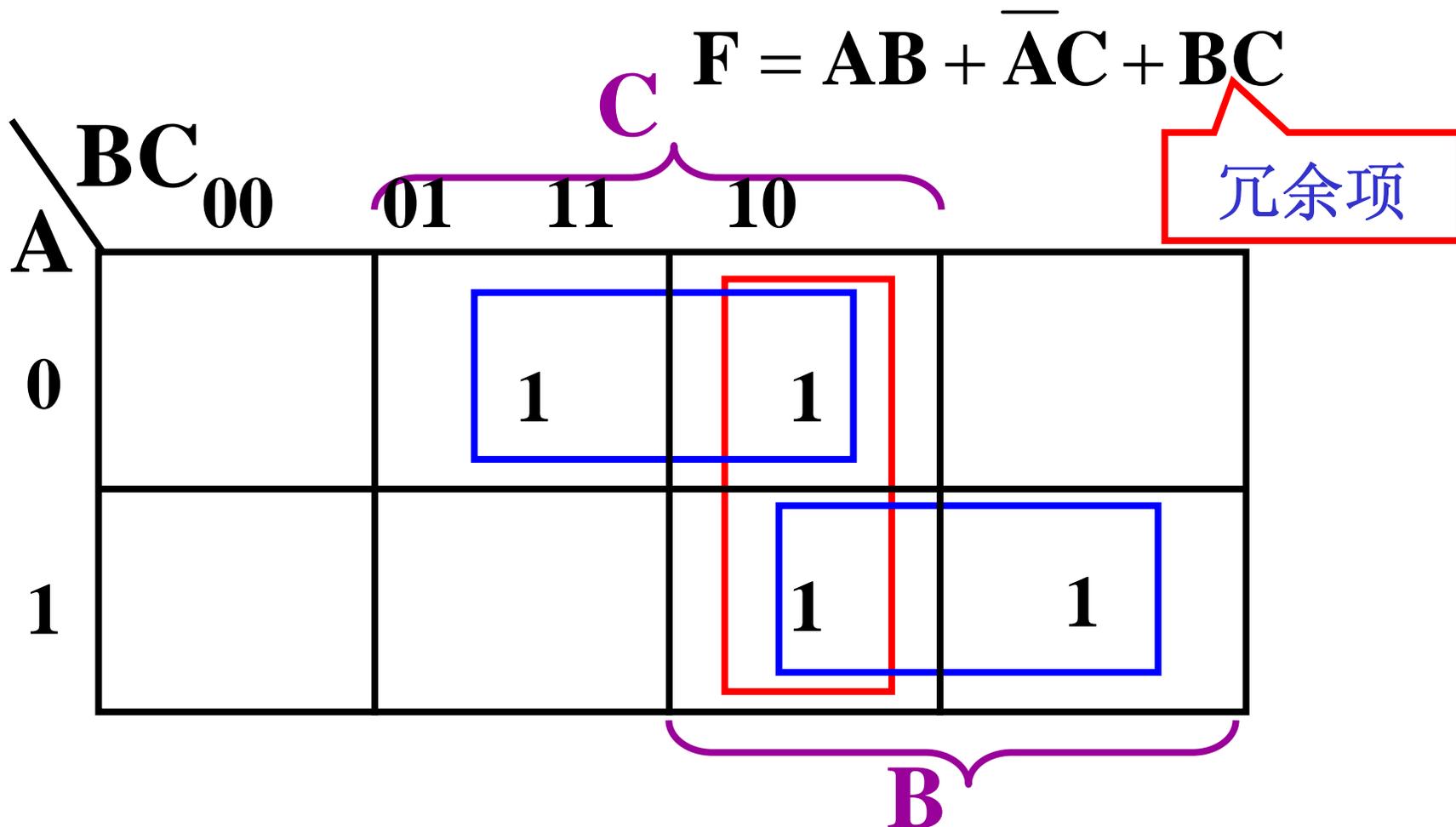




$\therefore F = \overline{AB} \cdot \overline{AC} = AB + \overline{AC}$ (封3号门)

当 $B = C = 1$, $F = A + \overline{A} = 1$ 时, 有竞争冒险的可能; 为消除之, 可以添加冗余项 BC :

$F = AB + \overline{AC} + BC$



当**B=C=1**时，始终有**F=1**，所以**A**的变化不会引起竞争-冒险，使可靠性提高。即**B=C=1**时：

$$F = AB + \bar{A}C + BC = A + \bar{A} + 1 = 1$$

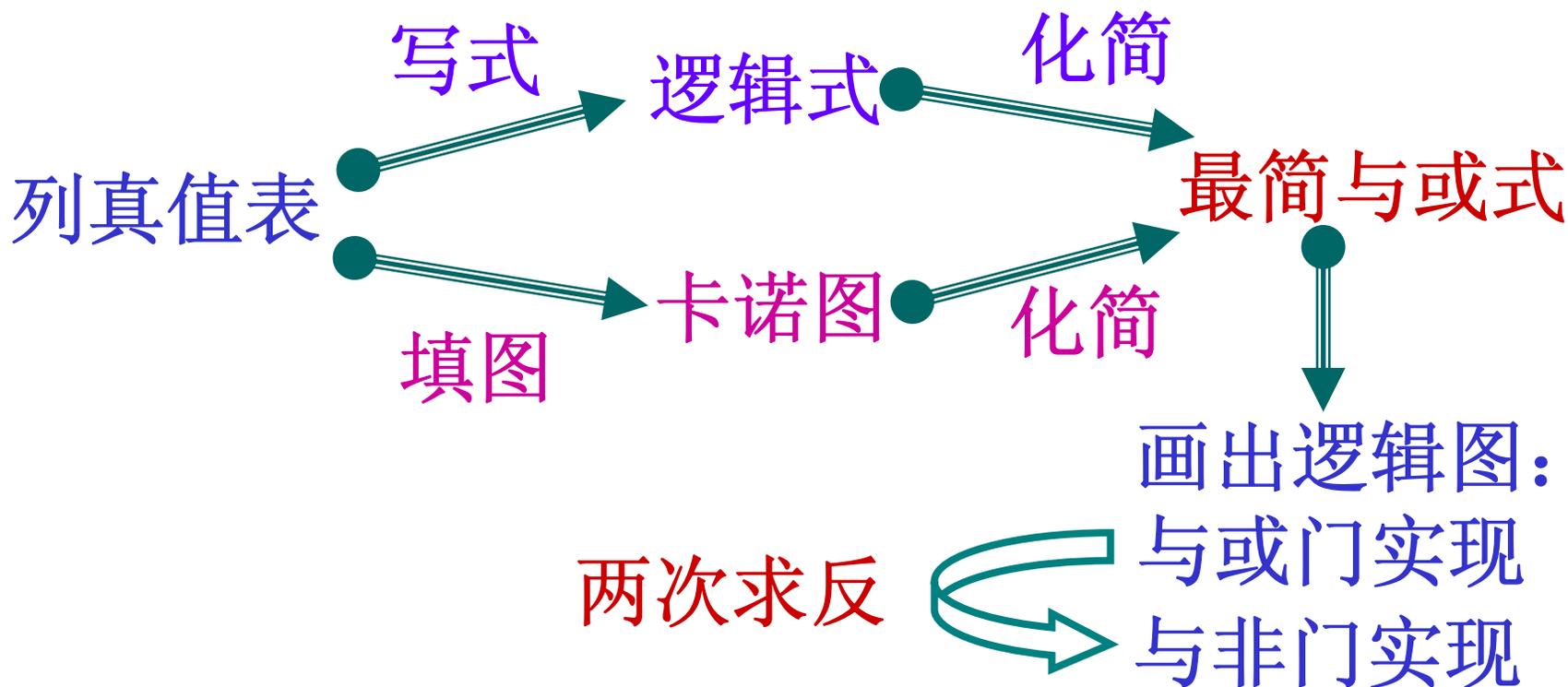
本章小结



一、组合电路的分析方法:逐级写逻辑式法。

二、组合电路的设计方法:

1. 用门电路构成:



2. 用中规模组件设计:

逻辑函数式对照法, 较灵活。

三、典型电路 (要会用)

1. 编码器

2. 译码器

{ 通用译码器
显示译码器

3. 加法器

{ 半加器
全加器

4. 数码比较器

5. 数据选择器

四、竞争-冒险现象: 了解

