

掩膜电镀法制备圆片级封装重布线中孔洞形成机理研究

宁文果^{1,2}, 朱春生^{1,2}, 李 珩^{1,2}, 徐高卫¹, 罗 乐¹

(1. 中国科学院上海微系统与信息技术研究所, 上海 200050; 2. 中国科学院大学, 北京 100049)

摘 要: 在圆片级封装电镀铜重布线工艺中通常使用退火的方法促进铜晶粒生长、使电阻减小. 而作为电镀铜种子层的溅射铜表面存在的微小裂纹通常会造造成电镀液无法进入, 从而使电镀铜和溅射铜界面出现孔洞, 这类界面缺陷将影响后续高温退火过程中铜晶粒的生长, 并导致电镀铜电阻增大. 为研究此问题, 本文尝试在电镀铜前轻微腐蚀溅射铜种子层, 使裂纹尺寸变大, 电镀液得以进入裂纹, 并电镀填充裂纹形成无孔洞的电镀铜; 此外若在电镀铜后在电镀铜表面溅射一层 TaN 层可限制高温下铜原子运动, 使电镀铜经受 300°C 退火 10 分钟而不形成孔洞, 高温退火同时可使得铜晶粒长大, 电阻变小.

关键词: 电镀铜; 孔洞; 退火

中图分类号: TN305 **文献标识码:** A **文章编号:** 0372-2112 (2014)02-0411-06

电子学报 URL: <http://www.ejournal.org.cn> **DOI:** 10.3969/j.issn.0372-2112.2014.02.030

Study on the Void Formation in Through-Mask Plated Redistribution Layer in Wafer Level Package

NING Wen-guo^{1,2}, ZHU Chun-sheng^{1,2}, LI Heng^{1,2}, XU Gao-wei¹, LUO Le¹

(1. Shanghai Institute of Microsystem and Information Technology (SIMIT), Chinese Academy of Sciences (CAS), Shanghai 200050, China;

2. University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: Thermal annealing is widely used to promote copper grain growth and reduce electrical resistance of the through-mask plated redistribution layer in wafer level package. However, the crack on the surface of the sputtered copper seed layer prevents the plating process in the crack and increases the electrical resistance, and results in void formation on the interface between the sputtered seed layer and the plated copper interconnects. To solve this problem, the sputtered seed layer was slightly etched before the electroplating process and a TaN layer was sputtered on the Cu interconnect surface before thermal annealing process. The process suppressed void formation during the electroplating process and the annealing process at 300°C. This process resulted in grain growth at elevated temperature and lower electrical resistance in the copper interconnects.

Key words: through-mask plating; void; thermal annealing

1 引言

圆片级封装是在划片前进行的封装, 有利于提高封装密度, 降低成本和批量化生产^[1]. 在圆片级封装中, 常使用电镀铜作为重布线来将输入输出端焊盘再分布为焊盘阵列. 与铝相比, 铜的电阻率小, 可有效降低电阻电容(RC)延迟^[2], 提高电路的速度, 特别是当晶体管尺寸减小遇到困难时. 所以半导体工业中为了减小铜互连的电阻, 会特别关注互连的电性能^[3,4].

铜互连中电阻通常与晶粒尺寸成反比. 为了降低互连电阻, 常采用退火来使铜晶粒长大^[5]. 而退火过程中由于热膨胀系数的差别引起的热应力, 会影响铜互连的

机械和电性能方面的可靠性, 当退火温度较高时, 此现象尤为显著^[6].

传统的铜退火工艺是 100°C 下退火 60 分钟. 退火过程可减小晶界并降低储存于晶体结构中的应变能. 为进一步减小铜互连的电阻, 需继续提高退火温度. 有研究者对使用镶嵌工艺的电镀铜互连在 300°C 退火 10 分钟, 使得铜的晶粒长大, 电阻减小. 研究发现, 使用镶嵌工艺电镀的铜直接进行高温退火时, 铜互连中出现了孔洞, 电阻增大; 在电镀铜表面溅射一层 TaN 可防止孔洞出现^[5].

目前还没有针对掩膜电镀工艺 (through-mask plating, TMP) 的电镀铜在高温退火时孔洞形成情况及其机

理的研究.在TMP法中,不使用过负载层(Overburden Layer, OBL).因此TMP电镀铜只有与种子层接触的一个面是约束面^[7].而镶嵌工艺的铜层结构中只有一个面是自由面.镶嵌工艺中OBL中的应力梯度驱动电镀铜中的铜原子运动,并为铜原子运动提供通道^[7].

结构上的差别还使得在镶嵌工艺的电镀铜中,溅射TaN能够覆盖整层电镀铜表面,而溅射TaN不能完全覆盖TMP的电镀铜,因为TMP电镀铜中一些面垂直于溅射平面.而TaN的覆盖对于电镀铜在高温时避免孔洞形成,促进晶粒生长有至关重要的作用.TMP工艺中电镀铜表面溅射TaN能否防止电镀铜高温退火时出现孔洞尚不确定.

基于以上的因素,我们制作了TMP法电镀铜样品并进行了不同温度下的退火,以研究TMP法电镀铜内孔洞的形成及机理.

2 样品准备工作

2.1 样品制备

电镀铜样品为在硅片上制作的铜线阵列.样品尺寸参数包括 $1\mu\text{m}$ 电镀铜/ $0.4\mu\text{m}$ 溅射铜/ $0.1\mu\text{m}$ 溅射钛/ $0.5\mu\text{m}$ SiO_2 / $420\mu\text{m}$ Si.铜线阵列的几何参数为长宽高参数为 $5\text{mm} \times 10\mu\text{m} \times 1\mu\text{m}$,间距为 $20\mu\text{m}$.电镀中标准电流为 $0.0007\text{A}/\text{cm}^2$.电镀铜完成后通常需去除种子层,为避免电镀铜在种子层腐蚀过程中引入缺陷,特别设计在退火后去除种子层.工艺流程如图1所示:(a):氧化 $0.5\mu\text{m}$ 二氧化硅;(b):溅射Ti/Cu,厚度为 $0.1\mu\text{m}/0.4\mu\text{m}$;(c):涂厚胶4620,前烘 $105^\circ\text{C}/3$ 分钟;(d):光刻,显影,清洗,后烘 $120^\circ\text{C}/30$ 分钟;(e):电镀铜 $1\mu\text{m}$;(f):去胶,清洗.

制备完成后的铜线阵列如图2所示.实际铜线阵列尺寸为 $5\text{mm} \times 12.5\mu\text{m} \times 1\mu\text{m}$ 间距为 $18.7\mu\text{m}$.

2.2 退火条件

使用多种退火条件以考察退火对电镀铜孔洞及晶粒的影响.本实验中使用的退火过程分别为无退火、 100°C 60分钟、 200°C 10分钟、 300°C 10分钟.升温速率为 $5.8^\circ\text{C}/\text{分钟}$,降温为 $7.3^\circ\text{C}/\text{分钟}$ ^[5].退火炉为SRO-704,退火时使用氮气氛围.

2.3 孔洞观察

实验中使用电镜和FIB观察孔洞.使用电镜观

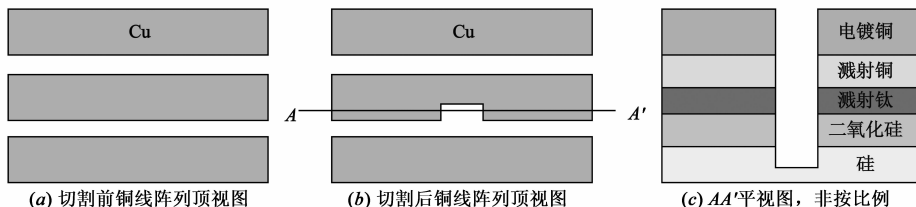


图3 FIB样品切割示意图

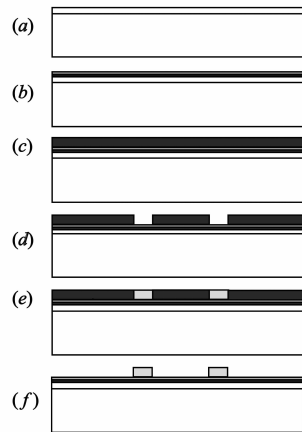


图1 电镀铜流程

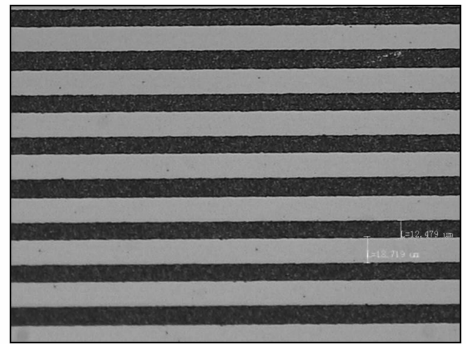


图2 铜线阵列

察时,需要用树脂镶样并研磨电镀铜横截面,实验中发现,研磨树脂镶样时孔洞破坏严重.而用FIB可以直接切割、观察电镀铜断面.这种方法快捷,效果理想.本实验中的电镀铜孔洞均使用FIB切割电镀铜观察切割面孔洞情况.FIB为FEI公司的Quanta 3D FEG 200/600.切割示意图如图3所示,使用FIB沿电镀铜长度方向切割出长方体形状,贯通电镀铜厚度至硅片,观察此切割面的电镀铜孔洞情况,每个样品切割面观察点选取6个以上.除退火外,电镀铜未经任何其它处理.

2.4 电阻测试

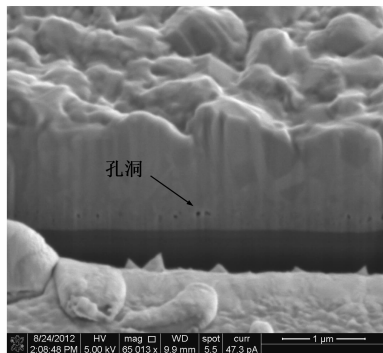
实验中对电镀铜样品进行了电阻测试.电阻测试设备为Cascade SUMMIT 12742-6型半自动探针台和Agilent 4156C精密半导体参数测试仪.探针台探针直径 $10\mu\text{m}$,分辨率为 $0.25\mu\text{m}$,由于探针尺寸与已经制备的铜线宽度相当,仅使用了两线法进行电阻测试.测试中

保持两根探针距离固定,沿电镀铜长度方向分别将两根探针压紧于电镀铜上表面,依次扫描各样品铜线 $I-V$ 曲线,得到各样品相同长度电镀铜的电阻大小,扫描电压范围为 $-0.1V$ 到 $0.1V$. 每个样品电阻测试点选取 5 个以上.

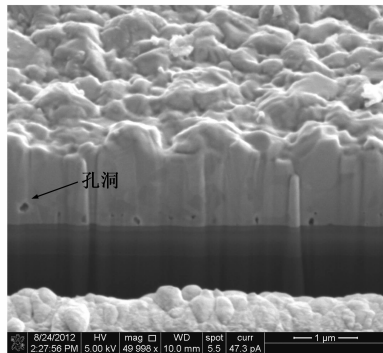
3 结果与讨论

3.1 电镀铜孔洞分布

使用 FIB 切割电镀铜观察断面,发现电镀铜与溅射铜界面底部存在孔洞,尺寸约 $100nm$. 如图 4 所示,图 4 (a)表明电镀后未经历退火即出现孔洞. 图 4 (b)为电镀完成后经 $200^{\circ}C$ 10 分钟退火,表明退火后孔洞变大.



(a) 无退火



(b) $200^{\circ}C$ 10 分钟

图 4 电镀铜底部出现孔洞

3.2 去除/未去除种子层的影响

前面所述样品为避免电镀铜在腐蚀过程引入缺陷,样品在退火前未去除种子层. 如果铜原子沿种子层扩散,则会形成孔洞. 作为对比,实验中制作了去除种子层的样品. 电镀后立刻去除种子层, FIB 切割面如图 5 所示,表明电镀铜未经退火即出现孔洞. 这说明,电镀后是否去除种子层与孔洞的形成无关.

3.3 电镀工艺的影响

在电镀工艺中,种子层表面可能存在小尺寸光刻胶残留,使用光学显微镜检测残留时未观察到. 种子层表面若有光刻胶残留的局部区域不能电镀,进而在电

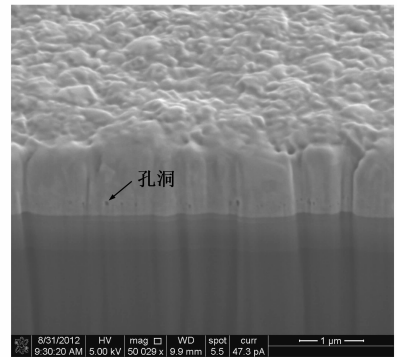


图 5 电镀完成后去掉种子层,无退火,出现孔洞

镀铜和溅射铜界面形成孔洞.

在电镀工艺中,光刻胶后烘过程可造成电镀铜种子层氧化. 光刻胶显影后在 $120^{\circ}C$ 后烘 30 分钟,无氮气保护,而后烘烘箱内会不断有水气产生. 高温高湿条件下,种子层易氧化绝缘,不能完成后续电镀.

在电镀工艺中,如果电镀电流过大,铜颗粒生长过快而不能填平溅射铜表面的粗糙不平的区域,也可能会形成孔洞.

针对以上因素改进了电镀过程,包括:(a)光刻胶显影后静置两天,替代原来的 $120^{\circ}C$ 30 分钟后烘烘膜过程,避免氧化;(b)光刻胶静置两天后用等离子体打底膜 4 次,去除可能的光刻胶,如图 6 所示;(c)超声 3 分钟,去除可能的光刻胶和溅射铜表面的微小气泡;(d)稀硫酸浸泡,去除可能的氧化物;(e)降低电流密度为原来的五分之一.

观察改进工艺后的电镀铜,依然有孔洞出现,如图 7 所示,孔洞分布于电镀铜和溅射铜界面.

综上,我们虽然改进了电镀铜的工艺,但并没有去除电镀铜中孔洞. 因此可以认为孔洞出现的原因与电镀工艺过程无关. 而孔洞出现在溅射铜与电镀铜的界面处,其原因可能与电镀前的溅射过程有关.

3.4 溅射铜种子层表面形貌影响

使用电镜观察 FIB 切割的溅射铜表面和侧面如图 8 所示,溅射铜内部没有孔洞,而溅射铜表面出现了孔洞,尺寸与电镀铜实验中发现的相近. 如果电镀液不能进入溅射铜表面细小的孔洞中,则电镀无法填充此裂纹,就可能导导致电镀铜和溅射铜界面出现孔洞. 如果消除裂纹后孔洞消失,则可以说明孔洞的形成与溅射铜表面的裂纹有关.

溅射铜表面的裂纹出现的原因是溅射后的降温过程中,溅射铜表面承受了较大的张应力,导致裂纹产生,如图 9 (a) 所示. 对溅射铜进行 60 分钟 $120^{\circ}C$ 退火,发现裂纹明显增多,如图 9 (b) 所示.

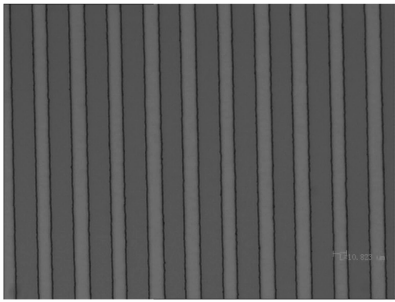


图6 光刻胶打底膜4次

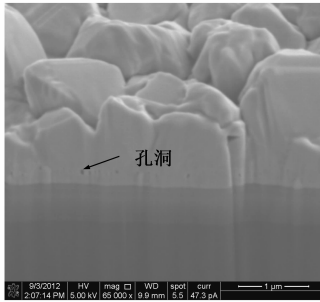


图7 小电流密度电镀铜出现孔洞

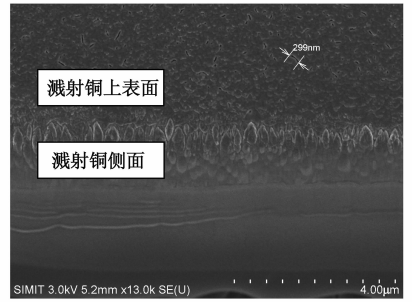
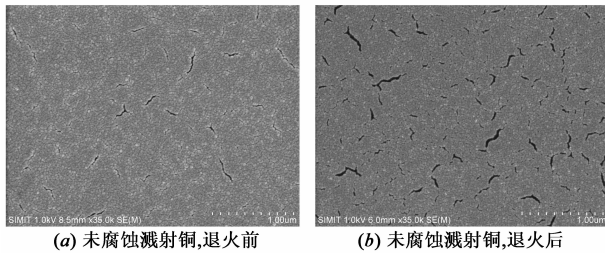


图8 溅射铜上表面的孔洞(FIB切割样品, 使用SEM观察)

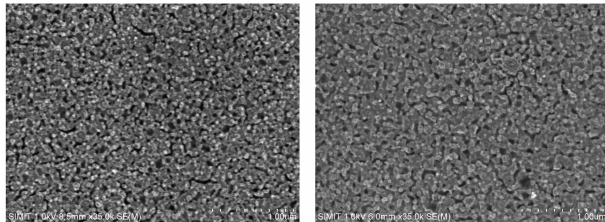
实验中尝试了消除裂纹对后续电镀的影响. 使用铜腐蚀液腐蚀溅射铜以去除溅射铜有孔洞的表面. 使用铜腐蚀液(过硫酸铵和水, 质量比 1:250)室温下腐蚀溅射铜 60s. 实验中发现, 轻微腐蚀溅射铜表面不能去除有裂纹的一整层, 反而使溅射铜表面裂纹尺寸变大, 如图 9 (c)所示. 进一步退火也没有改善, 如图 9 (d)所示.

和溅射铜界面会形成更大的孔洞. 进一步的实验中发现, 溅射铜腐蚀后使用 0.2 倍标准电镀电流电镀, 可消除溅射铜和电镀铜界面的孔洞, 如图 10 所示. 这种现象表明溅射铜表面的孔洞如果足够大, 可以使电镀液进入并电镀填充腐蚀出的孔洞, 最终形成无孔洞的电镀铜. 同时也说明溅射铜电镀铜界面的孔洞是由溅射铜表面的裂纹引起的.



(a) 未腐蚀溅射铜, 退火前

(b) 未腐蚀溅射铜, 退火后



(c) 腐蚀溅射铜, 退火前

(d) 腐蚀溅射铜, 退火

图9 溅射铜表面腐蚀前后退火(120℃, 60分钟)前后对比图(SEM)

适当调整电镀流, 即先使用 0.2 倍标准电流进行电镀, 再使用标准电流进行电镀, 以生成相对平整的铜颗粒. 得到的电镀铜经历 300℃ 10 分钟后仍然形成孔洞, 如图 11 所示. 在 10μm 的范围内孔洞仅 6 个, 和 100℃ 退火 60 分钟与 200℃ 退火 10 分钟的样品相比, 孔洞密度已显著减小. 这说明掩膜电镀法电镀铜直接经历高温退火仍然会形成孔洞.

3.5 TaN 的影响

多次重新制作的电镀铜样品经 300℃/10 分钟退火后仍存在少量孔洞. 由于电镀电流变小后颗粒变大, 因此尝试重新使用标准电流电镀, 使铜颗粒变小, 可能更有利于填充腐蚀的溅射铜表面孔洞. 但高温退火后仍会出现孔洞, 如图 12 所示. 最后, 在电镀铜上表面溅射一层 10nm 的 TaN. 此样品经历 300℃/10 分钟退火后没有出现孔洞, 如图 13 所示. 由于溅射 TaN 厚度小, 电镀铜侧面又垂直于沉积平面, TaN 不能良好覆盖电镀铜

溅射铜表面经过腐蚀, 孔洞更大. 因此预期电镀铜

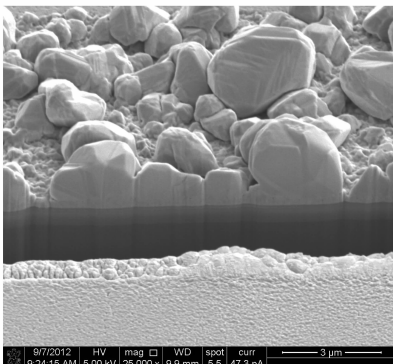


图10 腐蚀过溅射铜后电镀铜(FIB)

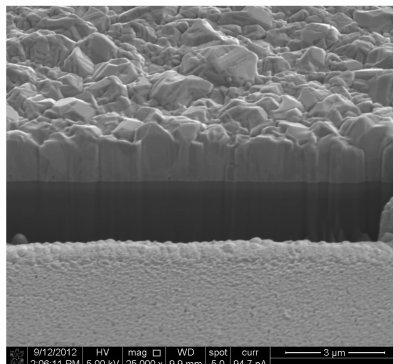


图11 腐蚀过溅射铜后再分两次电镀铜经历300℃/10分钟退火后

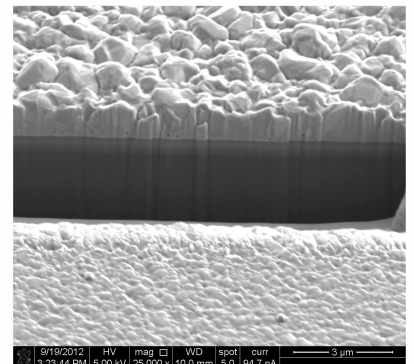


图12 标准电流电镀后的电镀铜经历300℃/10分钟退火(FIB)

侧面.这与镶嵌工艺溅射 TaN 完全覆盖电镀铜的情况不同. TaN 在掩膜电镀法电镀铜中同样起到了钝化层的作用,从而限制了电镀铜内铜原子的运动,避免了孔洞出现.

3.6 孔洞产生及去除机理

根据前面的分析,电镀铜孔洞产生的机理是,作为种子层的溅射铜表面的细小裂纹在电镀过程中电镀液不能进入,如图 14(a)所示;因而电镀后在电镀铜和溅射铜界面形成孔洞,如图 14(b)所示.

去除孔洞的机理如图 15 所示.溅射铜表面有细小孔洞,如图 15(a);适量腐蚀溅射铜形成较大孔洞,如图 15(b);然后进行电镀,电镀液可进入孔洞并电镀填充,从而有效避免电镀后出现孔洞,如图 15(c);最后在电镀铜的表面可溅射一层 TaN 钝化层,可起到限制铜原子运动的目的,避免了在高温退火中出现孔洞,同时促进晶粒生长,如图 15(d).

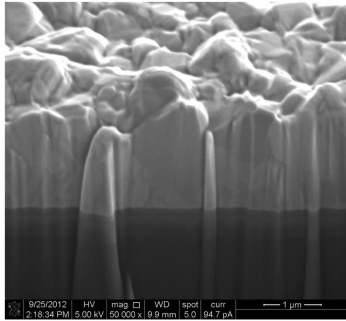


图 13 标准电流电镀后溅射 TaN 的电镀铜经历 300°C/10 分钟退火(FIB)

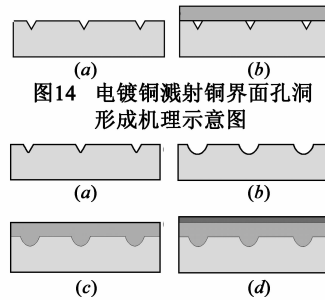


图 15 电镀铜溅射铜界面孔洞消除机理示意图

3.7 电阻测试

为了研究退火和孔洞生长情况对电镀铜电阻的影响,测试了电镀铜电阻.测试中采用了二线法测试相同长度不同电镀铜样品的电阻.和四线法测试电阻相比,虽然不能非常精确地获得电镀铜电阻绝对值,但是在各电镀铜样品其它条件相同的条件下,电阻的相对高低已经足够反映铜引线的电阻绝对值高低.测试结果如图 16 所示.样品 A、B 没有经过腐蚀和钝化处理,样品 C、D 经过了腐蚀和钝化处理.样品 A、C 为未退火样品,样品 B、D 经过 300°C 10 分钟退火.结果表明,未经腐蚀和钝化处理的电镀铜退火后电阻会大幅增大,且电阻值表现出大波动,不利于信号传递和品质控制.而经过腐蚀和钝化处理的电镀铜,电阻会变小,经过退火后电阻会进一步减小,且电阻一致性良好.这说明高温退火避免了孔洞形成,并促进了晶粒生长,减小了电阻.

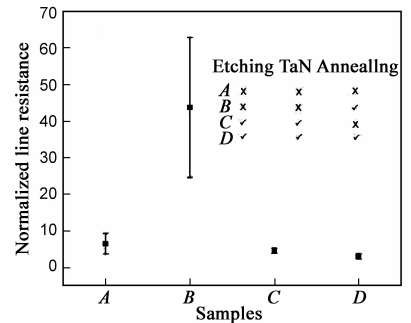


图 16 样品电阻测试结果

4 结论

在掩膜电镀工艺制备的电镀铜中发现电镀后即出现孔洞,高温退火后亦出现孔洞,这些孔洞会使电镀铜的电阻增大.使用铜腐蚀液轻微腐蚀溅射铜可消除电镀铜和溅射铜界面的孔洞.实验表明孔洞出现的机理为,由于电镀液无法进入溅射铜表面的裂纹,无法完成电镀填充,因而在电镀铜溅射铜界面形成孔洞.使用铜腐蚀液腐蚀溅射铜后再电镀,可以使溅射铜表面裂纹变大,电镀液可以进入裂纹进行电镀以填充孔洞,从而消除了电镀铜和溅射铜界面的孔洞.在电镀铜上溅射的 TaN 钝化层在高温退火时可以限制铜原子运动,防止电镀铜中出现孔洞.经退火可使铜晶粒长大,电阻变小,有利于提高电路的速度.

参考文献

[1] Philip Garrou, Wafer level chip scale packaging (WL-CSP): an overview [J]. IEEE Transactions on Advanced Packaging, 2000, 23(2): 198 - 205.

[2] 尹立孟,张新平.电子封装微互连中的电迁移[J].电子学报,2008,36(8):1610 - 1614.
Yin Li-meng, Zhang Xin-ping. Electromigration in micro-interconnections of electronic packaging [J]. Acta Electronica Sinica, 2008, 36(8): 1610 - 1614. (in Chinese)

[3] 阮刚,等.VLSI 电路中互连线的延迟及串扰的数值模拟 [J]. 电子学报,2000,28(5): 142 - 144.
Ruan Gang, et al. Numerical simulation of time delay and cross-talk noise for the interconnect in VLSI circuits [J]. Acta Electronica Sinica, 2000, 28(5): 142 - 144. (in Chinese)

[4] 李志国,卢振钧.ULSI 中铜互连线通孔电热性能的数值模拟 [J]. 电子学报,2003,31(7): 1104 - 1106.
Li Zhi-guo, et al. Numerical simulation of electric and thermal characteristic in ULSI copper-filled interconnect via hole [J]. Acta Electronica Sinica, 2003, 31(7): 1104 - 1106. (in Chinese)

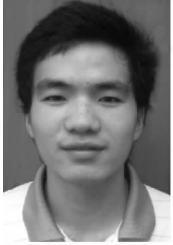
[5] C C Yang, et al. Stress control during thermal annealing of copper interconnects [J]. Applied Physics Letters, 2011, 98: 051911 - 051913.

[6] S-K Ryu, et al. Characterization of thermal stresses in through

- silicon vias for three-dimensional interconnects by bending beam technique[J]. Applied Physics Letters, 2012, 100: 041901 - 041904.

[7] P C Andricacos, et al. Damascene copper electroplating for chip interconnections[J]. IBM Journal of Research and Development, 1998, 42(5): 567 - 574.

作者简介



宁文果 博士生, 1985 年 2 月出生于山东宁阳, 2007 年在吉林大学获学士学位. 从事圆片级芯片尺寸封装可靠性研究, 参与国家科技重大专项(2009ZX02025 - 1) 的研究. 在国内外刊物上发表科技论文 2 篇, 第一发明人申请发明专利 6 项.

E-mail: ningwg@mail.sim.ac.cn



罗 乐 博士, 二级研究员, 博士生导师. 1956 年 11 月出生于贵阳, 1982 年在南京大学获学士学位, 1988 年在中科院上海微系统所获博士学位. 1994 年起开始现代电子器件封装、电子材料及其可靠性研究. 承担过国家 973、863、上海市重大、中科院重大项目、国家重大专项等数十项. 在国内外刊物上发表科技论文 80 余篇, 申请专利 10 余项.

E-mail: leluo@mail.sim.ac.cn