

基于 KFDD 的可逆逻辑电路综合设计方法

王友仁, 沈先坤, 周影辉

(南京航空航天大学自动化学院, 江苏南京 210016)

摘要: 可逆逻辑作为量子计算, 纳米技术, 低功耗设计等新兴技术的基础, 近年来得到了越来越多的关注和研究. 然而, 大多数可逆逻辑综合方法对函数真值表表达形式的依赖使得综合电路规模受到了限制. 决策图作为一种更加简洁的布尔函数表示方法, 其为可逆逻辑综合提供了另一种途径. 本文基于 Kronecker 函数决策图 (KFDD) 提出了一种适合于综合大规模电路的综合方法. 该方法利用 KFDD 描述功能函数, 以局部最优的方式从三种节点分解方法中寻找最优分解方法, 并根据 Kronecker 函数决策图中不同类型的节点构建相应的可逆逻辑电路模块, 最后将各节点替换电路模块实现级联得到结果电路. 以可逆基准电路为例, 对该方法进行了验证. 实验结果表明, 该方法能以较低的代价实现对较大规模函数的可逆逻辑电路综合.

关键词: 可逆逻辑电路综合; Kronecker 函数决策图; 节点分解方法; 分解类型表

中图分类号: TP387 **文献标识码:** A **文章编号:** 0372-2112 (2014)05-1025-05

电子学报 URL: <http://www.ejournal.org.cn> **DOI:** 10.3969/j.issn.0372-2112.2014.05.031

Synthesis Design Method of Reversible Logic Circuit Based on Kronecker Functional Decision Diagram

WANG You-ren, SHEN Xian-kun, ZHOU Ying-hui

(College of Automation Engineering, Nanjing University of Aeronautics and Astronautics, Nanjing, Jiangsu 210016, China)

Abstract: Reversible logic has obtained more and more attention and research as the basis for several emerging technologies such as quantum computing, nanotechnologies and low-power design. However, currently most synthesis algorithms for reversible circuits suffer from being restricted to deal with relatively small functions only, since they rely on a truth table representation of the function to be synthesized. Decision Diagram serving as a more compact Boolean function description provides another way to synthesis of reversible logic. Here, a synthesis approach based on Kronecker Functional Decision Diagram (KFDD) is proposed, that generates KFDD for a logic function by means of choosing the local optimal one from three alternative node decomposition types. Finally, the result circuit can be produced by substituting all nodes of the KFDD with circuit modules and cascading them. Verified by reversible benchmarks, experiments show the adaption of the proposed approach to large functions with better results.

Key words: reversible logic circuit synthesis; Kronecker functional decision diagram; node decomposition types; decomposition type list

1 引言

超低功耗 IC 的设计需求和量子计算机的提出使得可逆逻辑电路综合方法的研究受到国内外越来越多研究者的关注. 区别于传统不可逆电路, 可逆电路综合技术更为复杂. 近 30 年来, 多种可逆门已经被提出, 如 CNOT 门, Toffoli 门, Fredkin 门等, 然而目前还没有一种通用高效的综合算法. 现有的综合算法, 如代数法^[1]、模版法^[2]、置换法^[3,4]等在大规模电路综合中普遍存在局限性. 这种局限性主要来自于所采用数据结构和综合策略两个方面^[5]. 现有的综合算法通常依赖于真值表函数表示方

式, 而真值表存储所需的指数级存储空间使得算法很难适用于更大规模电路的综合. 部分研究者还提出了可逆电路智能综合算法^[6], 该算法通过进化搜索得到全局优化解, 然而大规模电路的复杂编码很难保证算法的绝对收敛且时间效率较低. 为了寻找适用于大规模电路的综合算法, 研究者引入了一种更加简洁的基于二元决策图的函数表达形式, 提出了 BDD 综合法^[7], 并通过图论中的相关理论和不同的节点分解方式相继提出了改进算法^[5,8,9]. BDD 综合法解决了以往综合方法难以实现的下规模电路综合问题, 然而, 综合结果中辅助位的过多引入及过高的量子代价降低了该类算法的有效性.

本文利用一种的新的功能函数表达形式,即 Kronecker 函数决策图^[10],构建功能函数,采用更加简洁的数据结构,减少综合过程中数据的存储量,并通过动态选择节点分解方式,确保以局部最优电路模块生成可逆电路.

2 量子可逆逻辑电路的基本概念

利用微观粒子状态表示的信息称为量子信息,量子可逆逻辑门是处理量子信息的基本单元,通过可逆门级联可构成量子可逆电路.

定义 1 可逆电路中输入输出位数相等,输入输出满足一一映射,不存在扇入扇出和反馈操作.

定义 2 在可逆逻辑电路中,除期望输出外的输出称为垃圾位.

定义 3 可逆电路的量子代价为电路中所有可逆逻辑门量子代价的总和.

Toffoli 门是最常见的多比特量子逻辑门,输入包含两个控制位和一个目标位,Toffoli 门的两个控制位状态全部为 1 时目标比特取反,否则,输出和输入相等.通过扩展控制位数量可得到具有不同控制位数的通用 Toffoli 门,以此来构建符合特定要求的量子可逆电路.通用 Toffoli 量子门记为 $TOF(C, T)$,其中输入集合 $In = \{x_1, x_2, \dots, x_n\}$,控制位输入集合 $C = \{x_{i_2}, x_{i_3}, \dots, x_{i_n}\}$,目标位输入集合 $T = \{x_{i_1}\}$, $C \cap T = \emptyset$, $C \cup T = In$,则目标位输出为 $x_{i_1} \oplus \prod_{k=2}^n x_{i_k}$,其余输出与输入相等.图 1 为具有不同控制位的通用 Toffoli 门.

3 KFDD 的原理

布尔函数 $f(x_1, \dots, x_{i-1}, x_i, x_{i+1}, \dots, x_n)$ 的 Kronecker 决策图创建过程包含公式(1), (2), (3)所示的三种分解方式.

$$f = \bar{x}_i f_{x_i=0} \oplus x_i f_{x_i=1}, \quad \text{shannon}(S) \quad (1)$$

$$f = f_{x_i=0} \oplus x_i (f_{x_i=0} \oplus f_{x_i=1}), \quad \text{positive Davio}(pD) \quad (2)$$

$$f = f_{x_i=1} \oplus \bar{x}_i (f_{x_i=0} \oplus f_{x_i=1}), \quad \text{negative Davio}(nD) \quad (3)$$

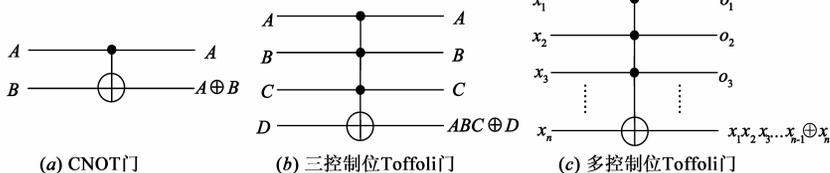


图 1 通用 Toffoli 门

布尔函数在每个节点变量 x_i 处选择一种分解方式进行递归分解,直到布尔函数被分解到 0 或者 1 为止,即分解到终端节点为止,最终生成决策图.

每一个变量 x_i 采用一种分解方法,则整个函数的分解过程可产生一个分解类型表 $d, d = \{d_1, \dots, d_n\}$,其中 d_i 是 x_i 所对应的节点所采用的分解类型,并且 $d_i \in \{S, pD, nD\}$.图 2 为某一布尔函数 f 的 KFDD 的表示,其中分解类型表 $d = \{S, pD, S\}$.

图 2 中,变量 x_3 处采用 S 分解,则 x_3 处的节点代表的函数是 $\bar{x}_3 \times 0 + x_3 \times 1 = x_3$,右边变量 x_2 处采用 pD 分解,该节点代表的函数为 x_2 ,相同方法可计算出左边变量 x_2 处的节点代表的电路函数为 $x_3 \oplus x_2$,根节点采用的是 S 分解,则可得此 KFDD 表示的布尔函数为 $\bar{x}_1(x_3 \oplus x_2) \oplus x_1 x_2$.

4 基于 KFDD 的可逆逻辑电路综合方法

本方法利用 KFDD 作为基本数据存储结构,将电路功能函数描述为 Kronecker 函数决策图,通过电路模块替换决策图节点的方式,级联生成可逆电路.综合过程包含如下四个部分:

- (1) 将电路转化为功能函数并求出函数最简表达式.
- (2) 利用 KFDD 的分解方法,构造二元决策图.
- (3) 根据各个节点输入情况,构建对应的模块电路.
- (4) 将二元决策图中的每个节点映射成对应模块电路,进行级联.

4.1 节点对应的模块电路设计

利用 KFDD 的数据结构表示电路的功能函数,其中包含的三种分解方式及对应的电路模块如图 3 所示.

KFDD 中后继节点 $f_{x_i=0}$ 和 $f_{x_i=1}$ 的值影响模块电路结构.当 $f_{x_i=0}$ 和 $f_{x_i=1}$ 为 0 或者 1 时,模块电路出现退化,相应的 KFDD 节点称为退化节点,表 1 为三种分解方式下退化节点对应电路模块及其性能指标.

可逆电路综合要求以较低的代价生成可实现目标

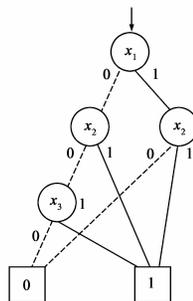


图 2 一个分解类型为 $\{S, pD, S\}$ 的 KFDD 图

功能函数的可逆电路. 为了得到最优综合电路, 需要对每个节点的分解方式进行选择. 根据表 1, 以量子代价、可逆门数及辅助位数为基本考量指标选择节点分解方式.

(1) 当 $f_{x_i=0} = 1$ 时, S 分解和 pD 分解对应的模块电路量子代价和门代价相同且都优于 nD 分解, 而 S 分解在辅助位上优于 pD 分解.

(2) 当 $f_{x_i=1} = 1$ 时, S 分解和 pD 分解对应的模块电路三种指标性能相同且都优于 nD 分解, 因此可任意选择 S 分解或 pD 分解.

(3) 当 $f_{x_i=0} = 0$ 时, 三种分解方式对应的模块电路相同, 可取其中一种.

(4) 当 $f_{x_i=1} = 0$ 时, 三种分解方式具有相同的量子代价和可逆门数, 但 S 分解具有更低的垃圾位.

(5) 当 $f_{x_i=0} \oplus f_{x_i=1} = 0$ 时, pD 分解和 nD 分解具有最低代价, 为了得到更加简洁的后继节点, 选择后继节点中变量最少的分解方式.

(6) 当 $f_{x_i=0} \oplus f_{x_i=1} = 1$ 时, pD 分解包含最低代价.

(7) 当 $f_{x_i=0} \neq 0$ 且 $f_{x_i=1} \neq 0$ 时, 除去 (5), (6) 所示的情况, pD 分解和 nD 分解具有相同的模块电路结构, 当三种分解方式产生的后继节点复杂度相当时, 则因 nD 分解中的 \bar{x}_i 通常需要在 x_i 添加额外的非门, 因此选择 pD 分解; 而当其中一种分解方式产生的后继节点简化程度比较显著, 则选择该分解方式.

(8) 在 (6) 中, 当 $f_{x_i=0} = 0, f_{x_i=1} = 1$ 或 $f_{x_i=0} = 1, f_{x_i=1} = 0$ 时, 三种分解方式下的模块电路可进一步得到简化且代价相同.

表 1 退化节点对应的电路模块

后继节点	香农分解			正 Davio 分解			负 Davio 分解		
	CM	GC	QC	CM	GC	QC	CM	GC	QC
$f_{x_i=0} = 0$		1	5		1	5		1	5
$f_{x_i=1} = 0$		2	6		2	6		2	6
$f_{x_i=0} = 1$		2	6		2	6		3	7
$f_{x_i=1} = 1$		2	6		2	6		3	7
$f_{x_i=0} \oplus f_{x_i=1} = 0$		2	6	$f_{x_i=0} \text{ --- } f$	0	0	$f_{x_i=1} \text{ --- } f$	0	0
$f_{x_i=0} \oplus f_{x_i=1} = 1$		2	6		1	1		2	2
$f_{x_i=0} \neq 0, f_{x_i=1} \neq 0$		2	6		1	5		1	5
$f_{x_i=0} = 0, f_{x_i=1} = 1$	$x_i \text{ --- } f$	0	0	$x_i \text{ --- } f$	0	0	$x_i \text{ --- } f$	0	0
$f_{x_i=0} = 1, f_{x_i=1} = 0$		1	1		1	1		1	1

4.2 设计实例

以基准电路 4_mod5 为例,其功能函数如表 2 所示.

表 2 4_mod5 电路输入输出关系

输入				输出
A	B	C	D	f
0	0	0	0	1
0	1	0	1	1
1	0	1	0	1
1	1	1	1	1

由真值表可以得到 4_mod5 电路的功能函数表达式 $f = \overline{A}BCD + \overline{A}BC\overline{D} + \overline{A}B\overline{C}D + \overline{A}B\overline{C}\overline{D}$, 采用三种分解方法将功能函数表达式分解成 KFDD 图, 分解过程中, 为简化起见, 以 f_{x_i} 表示 $f_{x_i=0}$, f_{x_i} 表示 $f_{x_i=1}$, $f_{x_i}^2$ 表示 $f_{x_i=0} \oplus f_{x_i=1}$, 对函数 f 进行 KFDD 分解, 具体步骤如下:

(1) 在变量 A 处对功能函数进行分解.

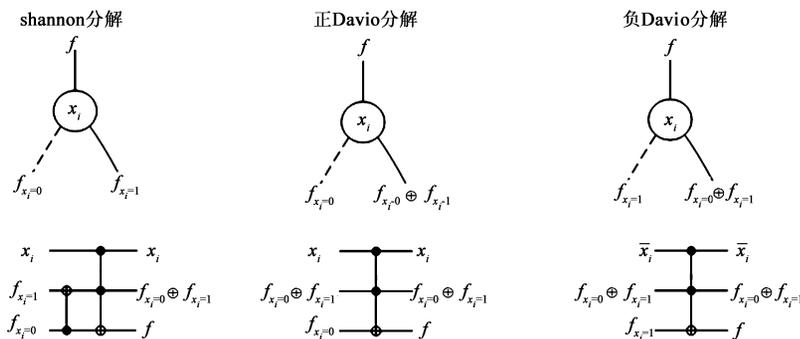


图 3 三种分解方式对应的电路模块

图 4 为电路 4_mod5 的 KFDD 图, 其分解类型为 $\{S, pD, S, S\}$, 参照图 4 和表 1, 可以得到 4_mod5 电路的综合结果如图 5 所示.

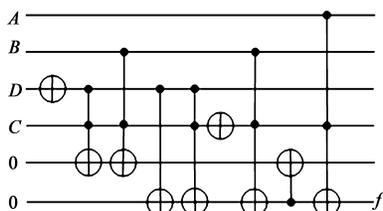


图 5 4_mod5 可逆基准电路

5 实验结果及分析

算法运行于 Windows XP Professional SP2 环境, 硬件部分为 AMD Athlon II X3 445, 2GB DDR2 内存, 利用 matlab R2010b 实现仿真验证. 实验中所用基准电路取自 RevLib^[11], 实验从多变量大规模电路综合能力和综合结果性能指标两个方面对算法进行了验证, 其中性能指标包括量子代价 (QC)、可逆门数 (GC)、垃圾位数 (GB)、

$f_A = \overline{BCD} + BCD, f_A = \overline{BCD} + BCD, f_A \oplus f_A = (\overline{BCD} + \overline{BCD}) \oplus (\overline{BCD} + BCD)$, 为了更快地达到终端节点, 这里选择拥有更加简洁的后继节点的 S 分解.

(2) 在变量 B 处对 (1) 中得出的后继节点代表的功能函数进行分解.

$f_{AB} = \overline{CD}, f_{AB} = \overline{CD}, f_{AB}^2 = \overline{CD} \oplus \overline{CD} = \overline{C}; f_{AB} = CD, f_{AB} = \overline{CD}, f_{AB}^2 = CD \oplus \overline{CD} = C$, 显然三种后继节点中, f_{AB}^2 和 f_{AB}^3 包含变量更少, 因此采用 pD 分解.

(3) 在变量 C 处对 (2) 中得出的后继节点代表的功能函数进行分解.

$f_{ABC} = \overline{D}, f_{ABC} = 0; f_{AB}^2 C = 1, f_{AB}^2 C = 0; f_{ABC} = 0, f_{ABC} = D; f_{AB}^3 C = 0, f_{AB}^3 C = 1$; 这里采用 S 分解.

(4) 在变量 D 处对 (3) 中得出的后继节点代表的函数进行分解.

$f_{ABCD} = 1, f_{ABCD} = 0; f_{ABCD} = 1, f_{ABCD} = 0$; 这里采用 S 分解.

负Davio分解

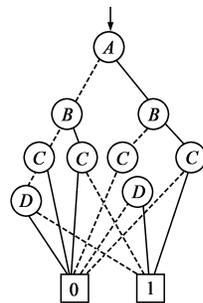


图 4 4_mod5 的 KFDD 图

算法执行时间 (T), 为了检验算法的有效性和先进性, 将 KFDD 综合结果与目前性能最优的大规模电路综合方法进行比较, 表 3 为算法性能对比结果.

由表 3 可以看出, 除基准电路 4_49 中可逆门数略高于 PDD 综合结果外, KFDD 综合方法得到的综合结果在量子代价、可逆门数及垃圾位三项指标上都优于 BDD 综合方法和 PDD 综合方法, 相比于 BDD 综合法平均量子代价减少了 34.3%, 平均可逆门数减少了 30%, 平均垃圾位减少了 26.6%, 而相比于 PDD 综合法平均量子代价减少了 12.6%, 平均可逆门数较少了 13.7%, 平均垃圾位减少了 19.1%.

此外, 本算法中的节点分解方式的选择增加了算法了复杂度, 使得部分结果的执行时间略高于其他两种算法, 但任然处于同一数量级. 因此, KFDD 综合法中多样性的节点分解方式相比于 BDD 综合和 PDD 综合法中单一的分解方式, 其在性能优化方面具有更好的优化特性.

表 3 采用不同综合方法综合的可逆基准电路的性能指标

基准电路	BDD 综合法 ^[15]				PDD 综合法 ^[16]				KFDD 综合法			
	QC	GC	GB	T(s)	QC	GC	GB	T(s)	QC	GC	GB	T(s)
3-17	19	18	3	0.01	14	6	3	0.01	14	6	3	0.02
4-49	50	14	4	0.01	35	11	2	0.01	34	13	2	0.01
rd53	98	34	10	0.01	83	27	8	0.01	80	17	4	0.01
hwb5	276	88	23	0.01	241	71	17	0.01	215	63	14	0.02
sym6	93	29	13	0.01	78	22	13	0.01	68	19	12	0.01
rd73	217	73	10	0.01	205	65	9	0.01	184	49	8	0.04
rd84	304	104	30	0.01	266	86	26	0.01	237	70	22	0.02
hwb8	1043	323	75	0.01	887	287	63	0.02	715	249	51	0.02
sym9	206	62	26	0.01	172	52	20	0.02	149	48	17	0.05
hwb9	2275	699	161	0.02	1836	543	138	0.04	1011	374	115	0.02
cycle 10_2_61	202	78	27	0.09	177	65	22	0.12	157	56	18	0.15
ham15	309	153	30	1.25	241	127	125	1.5	228	116	25	0.82
cycle 17_3_2	1582	462	36	0.38	1440	415	26	0.49	1108	389	24	0.63
cordic 177	325	101	50	0.02	284	87	43	0.02	259	69	35	0.04
i5	1738	530	279	0.09	1436	476	241	0.15	1276	392	220	0.21

6 结论

针对多输入位数的可逆逻辑电路综合问题,本文提出了基于 KFDD 的可逆逻辑综合方法,利用多种节点分解方式将可逆电路的功能函数表达式转化成 KFDD 图,根据图中不同的节点设计相应的电路模块,将各节点对应的电路模块级联,得到可逆逻辑电路.该方法不受真值表存储的限制,减少了电路的存储空间,多样性的分解方式产生了更优的节点电路模块. Benchmark 验证结果表明,该方法生成的可逆电路具有更低的量子代价和更少的可逆门数及垃圾位数.

参考文献

- [1] Donald J, Jha N K. Reversible logic synthesis with Fredkin and Peres gates [J]. ACM Journal on Emerging Technologies in Computing Systems (JETC), 2008, 4(1): 2.
- [2] Maslov D, Dueck G W, Miller D M. Toffoli network synthesis with templates [J]. IEEE Transactions on Circuits and Systems, 2005, 24(6): 807 - 817.
- [3] Saeedi M, Sedighi M, Zamani M S. Synthesis of reversible circuits using a moving forward strategy [J]. IEICE Electronics Express, 2008, 5(17): 638 - 643.
- [4] Datta K, Rathi G, Sengupta I, et al. Synthesis of reversible circuits using heuristic search method [A]. Proceedings of 2012

25th International Conference on VLSI Design [C]. Piscataway, NJ: IEEE, 2012. 328 - 333.

- [5] Wille R, Drechsler R. Effect of BDD optimization on synthesis of reversible and quantum logic [J]. Electronic Notes in Theoretical Computer Science, 2010, 253(6): 57 - 70.
- [6] 王友仁, 黄媛媛, 冯冉, 等. 基于矩阵编码的量子可逆逻辑电路进化设计方法 [J]. 电子学报, 2011, 39(11): 2576 - 2582.
- Wang Youren, Huang Yuanyuan, Feng Ran. Evolutionary design technology of quantum reversible logic circuit based on matrix coding [J]. Acta Electronica Sinica, 2011, 39(11): 2576 - 2582. (in Chinese)
- [7] Kerntopf P. A new heuristic algorithm for reversible logic synthesis [A]. Proceedings of the 41st annual Design Automation Conference [C]. New York: ACM, 2004. 834 - 837.
- [8] Wille R, Drechsler R. BDD-based synthesis of reversible logic for large functions [A]. Proceedings of the 46th Annual Design Automation Conference [C]. New York: ACM, 2009. 270 - 275.
- [9] Pang Y, Wang S, He Z, et al. Positive Davio-based synthesis algorithm for reversible logic [A]. Proceedings of 2011 IEEE 29th International Conference on Computer Design [C]. Piscataway, NJ: IEEE, 2011. 212 - 218.
- [10] Drechsler R, Becker B. Ordered Kronecker functional decision diagrams—a data structure for representation and manipulation of boolean functions [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 1998, 17(10): 965 - 973.
- [11] Wille R, Große D, Teuber L, et al. RevLib: An online resource for reversible functions and reversible circuits [A]. Proceedings of 38th International Symposium on Multiple Valued [C]. Piscataway, NJ: IEEE, 2008. 220 - 225.

作者简介



王友仁 男, 1963 年生, 博士、教授、博士生导师, 研究方向为电路理论、信号处理、进化硬件、故障诊断预测、智能系统等。
E-mail: wangyrac@nuaa.edu.cn



沈先坤 男, 1987 年生, 南京航空航天大学自动化学院硕士研究生, 研究方向为量子可逆逻辑电路综合技术。
E-mail: 245931823@qq.com