

考虑信号相关性的逻辑电路可靠度计算方法

蔡 烁^{1,2}, 邝继顺¹, 刘铁桥¹, 王伟征²

(1. 湖南大学信息科学与工程学院, 湖南长沙 410082; 2. 长沙理工大学计算机与通信工程学院, 湖南长沙 410004)

摘 要: 随着集成电路特征尺寸不断缩小, 软错误已经成为影响电路可靠性的关键因素. 计算软错误影响下逻辑电路的信号概率能辅助评估电路的可靠性. 引起逻辑电路信号概率计算复杂性的原因是电路中的扇出重汇聚结构, 本文提出一种计算软错误影响下逻辑电路可靠度的方法, 使用概率公式和多项式运算, 对引发相关性问题的扇出源节点变量作降阶处理, 再利用计算得到的输出信号概率评估电路可靠度. 用 LGSynth91 基准电路、74 系列电路和 ISCAS85 基准电路为对象进行实验, 结果表明所提方法准确有效.

关键词: 软错误; 信号相关性; 扇出重汇聚; 降阶; 条件概率

中图分类号: TN406 **文献标识码:** A **文章编号:** 0372-2112 (2014)08-1660-05

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.3969/j.issn.0372-2112.2014.08.032

Reliability Calculation Method of Logic Circuits Considering Signal Correlation

CAI Shuo^{1,2}, KUANG Ji-shun¹, LIU Tie-qiao¹, WANG Wei-zheng²

(1. School of Information Science and Engineering, Hunan University, Changsha, Hunan 410082, China;

2. School of Computer and Communication Engineering, Changsha University of Science and Technology, Changsha, Hunan 410004, China)

Abstract: As the feature size of integrated circuits shrinks, soft errors become the key factor influencing circuit reliability. Calculation of signal probability of logic circuits affected by soft errors can assist us in evaluating the circuit reliability. The reconvergent fanouts in circuits increase computational complexity of signal probability. A reliability calculation method of logic circuits is proposed in this paper. The method uses the probability formula and polynomial arithmetic, then the fanout source variables which trigger signal correlation are reduced. Based on this, the circuit reliability can be evaluated by the output signal probability. Experimental results on LGSynth91, 74X series and ISCAS85 benchmark circuits show that our method is accurate and efficient.

Key words: soft error; signal correlation; fanout reconvergent; reduce order; conditional probability

1 引言

随着纳米工艺在超大规模集成(VLSI)电路中的应用, 软错误对电路的影响越来越严重^[1]. 本文提出一种计算软错误影响下逻辑电路输出信号概率的方法, 以此评估电路的可靠性, 辅助容错设计.

目前, 多数考虑逻辑电路信号概率计算问题的方法都采用概率门模型(Probabilistic Gate Model, PGM)^[2~5]. 文献[6~11]分别利用概率转移矩阵(Probabilistic Transfer Matrix, PTM)^[6~8]、贝叶斯网络^[9]、概率决策图^[10]及电路变换^[11]等方法分析信号概率和电路可靠度, 取得了一定的效果, 但也存在计算结果不准确或计算太复杂的问题^[12]. 文献[4]提出的条件概率方法能准确计算信号概率, 但过程复杂, 不适用于大规模电路.

造成电路可靠性计算复杂的原因有两点: (1) 电路

包含扇出重汇聚结构^[4,13]; (2) 难以考虑所有输入情况. 本文提出一种降阶变换的方法, 针对概率门模型, 充分考虑信号相关性影响, 能精确计算给定输入向量激励下逻辑电路的信号概率, 再利用输出信号概率计算电路可靠度.

2 信号概率表示

概率门模型是指逻辑门独立的以某概率正常输出^[4,5]. 本文假设逻辑门在软错误影响下能正确输出的概率为 r . 针对电路节点 A , 用 A 表示其逻辑值, 用 a 表示 $A = 1$ 的概率, 即: $a = P(A = 1)$.

定理 1 设 A, B, C 分别为两输入与门的输入、输出信号, 若 A, B 独立, 则 $c = rab + (1 - r)(1 - ab)$.

证明 $c = P(C = 1) = rP(AB = 1) + (1 - r)P(AB = 0) = rab + (1 - r)(1 - ab)$.

定理 2 设 $A、B、C$ 分别为两输入或门的输入、输出信号,若 $A、B$ 独立,则 $c = r(a + b - ab) + (1 - r)(1 - a - b + ab)$.

证明 $c = P(C = 1) = rP[(A = 1) | (B = 1)] + (1 - r)P(A = 0)P(B = 0) = r(a + b - ab) + (1 - r)(1 - a - b + ab)$.

定理 3 设 $A、C$ 分别为非门的输入、输出信号,则 $c = r(1 - a) + (1 - r)a$.

证明 $c = P(C = 1) = rP(A = 0) + (1 - r)P(A = 1) = r(1 - a) + (1 - r)a$.

表 1 为与非门和或非门的信号概率关系:

表 1 与非门、或非门信号概率关系

逻辑门	输入	输出	信号概率关系
与非门	$A、B$	C	$c = r(1 - ab) + (1 - r)ab$
或非门	$A、B$	C	$c = r(1 - a - b + ab) + (1 - r)(a + b - ab)$

以上关系的前提是输入信号相互独立,如果逻辑门的各输入之间存在相关性,则情况会有变化.比如:两输入与门的输入信号都是 A ,按定理 1 得 $c = ra^2 + (1 - r)(1 - a^2)$,而实际为 $c = ra + (1 - r)(1 - a)$;若两输入或门的输入都是 A ,按定理 2 得 $c = r(a + a - a^2) + (1 - r)(1 - a - a + a^2)$,实际为 $c = ra + (1 - r)(1 - a)$.考虑另一种相关性,若两输入与门的输入分别为 A 和 \bar{A} ,由定理 1, $c = r(a - a^2) + (1 - r)(1 - a + a^2)$,实际为 $c = 1 - r$;若两输入或门的输入分别为 A 和 \bar{A} ,由定理 2, $c = r(1 - a + a^2) + (1 - r)(a - a^2)$,实际为 $c = r$.不难看出,在信号相关的情况下,若将定理 1~定理 3 的结论作适当变换,可得到真实的信号概率关系.变换方法是对 a (若 A 是产生相关性问题的信号)作降阶处理,将 a 的高阶项降为 1 阶项.该方法可推广到多输入逻辑门.

3 信号概率及电路可靠度计算

3.1 信号概率计算

3.1.1 单扇出重汇聚结构

图 1 是 2 选 1 数据选择器,它包含扇出重汇聚结构 $B \rightarrow G$.设每个门都以概率 r 输出正确值且 $A、B、C$ 相互独立,由前述公式得:

$$g = (16ab^2c - 8abc - 8bc + 4c)r^4 + (-32ab^2c + 12abc + 4ab + 12bc - 4c - 2)r^3 + (24ab^2c - 6abc - 4ab - 6bc + c + 1)r^2 + (-8ab^2c + abc + ab + bc + 1)r + ab^2c \quad (1)$$

由于 B 引起 $E、F$ 相关,对式(1)的变量 b 作降阶处理,得:

$$g = (8abc - 8bc + 4c)r^4 + (-20abc + 4ab + 12bc - 4c - 2)r^3 + (18abc - 4ab - 6bc + c + 1)r^2 + (-7abc + ab$$

$$+ bc + 1)r + abc \quad (2)$$

证明 设 $A、B、C$ 相互独立,若 $B = 0$,即 $b = 0$,用 g_0 表示该条件下 G 为 1 的概率(g_1 有类似含义),可得 $g_0 = 4cr^4 - 4cr^3 - 2r^3 + cr^2 + r^2 + r$;若 $B = 1$,得 $g_1 = (8ac - 4c)r^4 + (-20ac + 4a + 8c - 2)r^3 + (18ac - 4a - 5c + 1)r^2 + (-7ac + a + c + 1)r + ac$.而 $g = P(B = 0)g_0 + P(B = 1)g_1$,得 $g = (8abc - 8bc + 4c)r^4 + (-20abc + 4ab + 12bc - 4c - 2)r^3 + (18abc - 4ab - 6bc + c + 1)r^2 + (-7abc + ab + bc + 1)r + abc$,同式(2).说明降阶变换法能精确计算图示电路的输出信号概率.

3.1.2 多扇出重汇聚结构

对于包含两个或更多扇出重汇聚结构的电路,根据重汇聚结构之间的关系,可以分为独立型、并联型和内嵌型三种^[3].

图 2 电路有两个独立的扇出重汇聚结构 $B \rightarrow F$ 和 $C \rightarrow H$,两者互不包含.

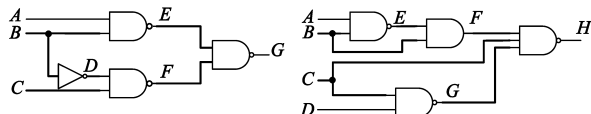


图 1 2选1数据选择器

图 2 独立重汇聚结构的电路

图 3 电路有两个并联的重汇聚结构 $A \rightarrow E$ 和 $B \rightarrow E$.两者的路径有重合,但任何一个扇出源都不处于另外一个重汇聚结构的路径中.

内嵌型的特点是存在一个重汇聚结构处于另外的重汇聚路径中.如图 4 所示, D 是 $D \rightarrow G$ 的扇出源,它又处于 $B \rightarrow G$ 的路径中.

以内嵌型为例进行计算.设图 4 中 $A、B、C$ 相互独立. $g = r(1 - df) + (1 - r)df$;而 $f = r + de - 2rde$,代入并对 d 降阶,可得:

$$g = (4de - 2d)r^2 + (-4de + d + 1)r + de \quad (3)$$

将 $d、e$ 代入式(3)并对 b 降阶,得:

$$g = (16abc - 8ab - 8bc + 4)r^4 + (-32abc + 16ab + 12bc - 6)r^3 + (24abc - 10ab - 6bc + 2)r^2 + (-8abc + 2ab + bc + 1)r + abc \quad (4)$$

证明 若 $B = D = 0$,用 g_0 表示该条件下 G 为 1 的概率($g_1、g_2、g_3$ 有类似含义), $g_0 = r$;若 $B = 0, D = 1$,得 $g_1 = 4r^3 - 6r^2 + 3r$;若 $B = 1, D = 0$,则 $g_2 = r$;若 $B = D = 1$,得 $g_3 = (4 - 8c)r^3 + (12c - 6)r^2 + (3 - 6c)r + c$.而 $g = P(B = 0, D = 0)g_0 + P(B = 0, D = 1)g_1 + P(B = 1, D = 0)g_2 + P(B = 1, D = 1)g_3$;另外, $P(B = 0, D = 0) = P(B = 0)P(D = 0 | B = 0) = (1 - b)(1 - r)$, $P(B = 0, D = 1) = (1 - b)r$, $P(B = 1, D = 0) = b(2ra - r - a + 1)$, $P(B = 1, D = 1) = b(r + a - 2ra)$,综上得:

$$g = (16abc - 8ab - 8bc + 4)r^4 + (-32abc + 16ab + 12bc$$

$-6)r^3 + (24abc - 10ab - 6bc + 2)r^2 + (-8abc + 2ab + bc + 1)r + abc$, 同式(4).

包含独立型和并联型重汇聚结构的电路同样可用降阶法计算信号概率.

3.1.3 任意节点取值概率计算

下面给出计算软错误影响下电路任意节点取值概率的步骤.

符号说明:

D :待求目标节点

S :新的目标节点集

$Q(D)$: D 的前驱节点集

$a_i(S)$:新的目标节点集 S 中的第 i 个元素

$Q(a_i(S))$: $a_i(S)$ 的前驱节点集

(1)设输入信号相互独立,并设定各输入节点取值概率.

(2)在 D 的输入锥中找出所有扇出重汇聚结构;对内嵌型重汇聚结构,若扇出源 F_j 的取值与扇出源 F_i 有关,称 F_j 依赖于 F_i ,记作: $F_j > F_i$;降阶时,应先处理 F_j ,再处理 F_i .

(3)对独立的重汇聚结构,利用降阶法单独计算重汇聚点信号概率,之后将该结构看成单个门或节点.

(4)依第2节的定理和公式写出 D (或 $a_i(S)$)的取值概率表达式,对引发 $Q(D)$ (或 $Q(a_i(S))$)相关性的变量作降阶处理.

(5)将第(4)步结果式中所有变量对应的元素作为新的目标节点集 S ;重复第(4)步;直至结果表达式的所有变量都是原始输入.

3.2 电路可靠度计算

设在向量 V_{in} 的激励下,电路的正确响应是 $[O_1, O_2, \dots, O_n]$ (其中, n 是电路输出节点数, $O_i = 0$ 或 $1, i = 1, 2, \dots, n$). 由于软错误的影响,电路可能会有一个或多个输出与正常值不同.若输入向量为 V_{in} ,则输出 O_i 为 1 的概率记为 $o_i(V_{in})$,电路在 V_{in} 激励下的可靠度 $R(C|V_{in})$ 表示为:

$$R(C|V_{in}) = \prod_{i(O_i=1)} o_i(V_{in}) \cdot \prod_{j(O_j=0)} (1 - o_j(V_{in}))$$

此时认为所有输出相互独立.在此基础上定义电路可靠度 $R(C)$:

$$R(C) = \sum P(V_{in}) R(C|V_{in})$$

其中, C 表示电路, $P(V_{in})$ 表示输入向量为 V_{in} 的概率.通过随机加载输入的方式,可求出电路可靠度在样本空间内的均值 $\overline{R(C)} = \sum_{k=1}^T R(C|V_{in_k})/T$, T 为输入向量数.

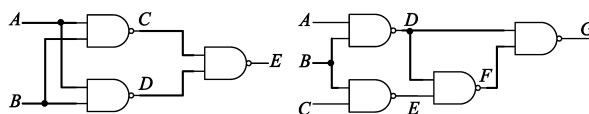


图3 并联重汇聚结构的电路 图4 内嵌重汇聚结构的电路

4 实验结果及分析

4.1 异或门实验

图5为异或门电路.

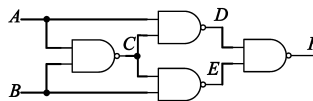


图5 异或门

设 A, B 相互独立.当 AB 为(00)、(01)或(10)时,对不同的 r ,由文献[4]的简单算法计算得到 f (近似值)与通过降阶变换得到的 f (精确值)相同;而当 AB 为(11)时, f 的近似值与精确值会有区别,如图6所示:

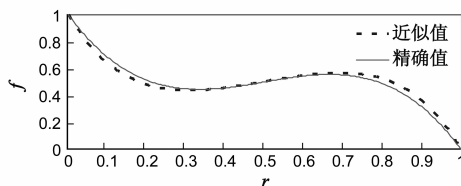


图6 $AB=(11)$ 时输出信号概率(异或门)

当 AB 为(00)、(01)或(10)时, D 和 E 至少有一个受与非门控制值的影响,其相关性被掩盖了;而当 AB 为(11)时, D, E 间的相关性使 f 的近似值与精确值出现偏差.

4.2 C17 电路实验

图7为 ISCAS'85 的 C17 电路.

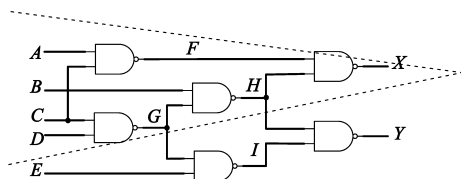
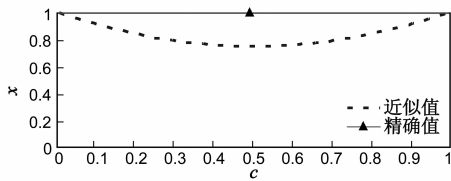
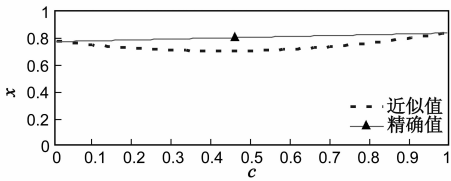


图7 C17电路

以 X 为目标节点,影响 X 的输入信号为 A, B, C, D, C 是扇出源.若 A, B, D 任何一个为 0,则 F 和 H 的相关性被掩盖了,因此将 A, B, D 都设为 1.图8和图9示出 $r = 1$ 和 $r = 0.9$ 时 x 随 c 变化的情况.当 $c = 0$ 或 $c = 1$ 时, x 的近似值与精确值相同,说明若引起信号相关性的节点取 1 的概率为 1 或 0,则相关性被掩盖了.图8还说明即使电路无故障,节点取值概率依然受相关性影响.

图8 $r=1, ABD=(111)$ 时输出信号概率(C17)图9 $r=0.9, ABD=(111)$ 时输出信号概率(C17)

4.3 电路可靠度实验

首先选取 ISCAS'85 电路进行实验. 对各电路随机加载 1000 个向量, 取可靠度均值作为结果. 实验环境为 PC (Intel® Core(TM) i3-2310M CPU @2.10GHz, 2GB RAM), 与表列文献的实验环境相似. 结果如表 2 所示:

表 2 所列方法都将 r 设为 0.9999, 该值与当前 CMOS 技术水平相适应^[14]. Monte Carlo 模拟结果是对每

个电路加载 1000000 个向量统计得到的, 作为参考值. 各相对误差由下式计算:

$$\text{相对误差} = (|\text{Monte Carlo 结果} - \text{该方法 } R(C)| / \text{Monte Carlo 结果}) * 100\%$$

在所列方法中, 本方法所需时间比文献[4]的近似算法高, 而低于文献[7]的方法; 相比必须使用大样本空间输入激励^[15]的 Monte Carlo 方法, 本方法的计算时间可节省 3~5 个数量级.

文献[4]提出的精确算法能准确计算电路可靠度. 为便于比较, 选取该文献使用的实验电路和 r 值, 对比如下:

本方法结果与文献[4]的精确算法相比, 误差在极小的范围内, 该误差是由于随机加载输入向量造成的. 在时间开销方面, 本方法远低于文献[4]的精确算法. 原因是: 若电路包含 N 个逻辑门和 M 个相关的重汇聚结构, 利用条件概率算法需计算的次数为 $2^M * N$, 每次计算为一个多项式运算; 利用本方法的计算次数为 N , 同样是多项式运算. 前者还需考虑条件概率和全概率公式的计算; 而后者仅需进行降阶处理, 因此, 后者所需的时间远低于前者.

表 2 ISCAS'85 电路实验结果

电路	文献[7]PTM方法		文献[4]近似算法		本文方法		Monte Carlo Simulation
	可靠度 $R(C)$	相对误差(%)	可靠度 $R(C)$	相对误差(%)	可靠度 $R(C)$	相对误差(%)	
C17	0.9994	0.01	0.9995	0	0.9995	0	0.9995
C432	0.9841	0.92	0.9857	0.76	0.9906	0.26	0.9932
C499	0.9800	0.95	0.9621	0.90	0.9675	0.34	0.9708
C880	0.9650	1.37	0.9740	0.45	0.9763	0.21	0.9784
C1355	0.9499	2.85	0.9622	1.60	0.9630	1.51	0.9778
C1908	0.9310	3.07	0.9448	1.63	0.9560	0.47	0.9605
C2670	0.9053	5.30	0.9066	5.17	0.9184	3.93	0.9560
C3540	0.8658	8.72	0.8325	12.23	0.9136	3.68	0.9485
C5315	0.8197	11.23	0.8655	6.27	0.9086	1.60	0.9234
C6288	0.7860	2.55	0.7864	2.50	0.8002	0.79	0.8066
C7552	0.7429	14.49	0.7494	13.74	0.7845	9.70	0.8688
平均值	- - -	4.68	- - -	4.11	- - -	2.04	- - -

表 3 LGSynth91&74X 电路实验结果 ($r=0.95$)

电路	文献[4]近似算法		文献[4]精确算法		本文方法	
	可靠度 $R(C)$	时间(s)	可靠度 $R(C)$	时间(s)	可靠度 $R(C)$	时间(s)
cu	0.3812	0.028	0.3865	0.101	0.3865	0.036
z4ml	0.2522	0.004	0.2546	0.052	0.2546	0.009
pcl	0.2342	0.034	0.2342	0.068	0.2342	0.039
pm1	0.3886	0.027	0.3886	0.027	0.3886	0.027
x2	0.3802	0.023	0.3822	0.218	0.3821	0.030
mux	0.7961	0.028	0.7920	0.098	0.7922	0.045
74182	0.8670	0.059	0.8670	4.628	0.8670	0.059
74148	0.8552	0.106	0.8780	16.68	0.8778	0.165
74151	0.8465	0.078	0.8670	10.35	0.8669	0.103
74283	0.7840	0.062	0.7570	5.696	0.7573	0.106
74181	0.7250	0.116	0.6970	125.580	0.6978	0.259
74185	0.7585	0.135	0.7320	56.268	0.7322	0.208

5 结束语

本文提出利用多项式运算和降阶变换法计算逻辑电路输出信号概率,并在此基础上计算电路可靠度.相比已有方法,本方法能在较短的时间内计算出更准确的电路可靠度,可用于中大规模电路的可靠度评估,对辅助集成电路的容错设计具有积极作用.下一步研究工作是优化计算过程,并考虑电路内部存在闭合回路的情况.

参考文献

- [1] J F Ziegler, H W Curtis, H P Muhlfeld, et al. IBM experiments in soft fails in computer electronics (1978 - 1994) [J]. IBM Journal of Research and Development, 1996, 40(1): 3 - 18.
- [2] Han J, Taylor E, Gao J, et al. Reliability modeling of nanoelectronic circuits [A]. Proceedings of 5th IEEE Conference on Nanotechnology [C]. Nagoya, Japan: IEEE Computer Society, 2005. 104 - 107.
- [3] Taylor E, Han J, Fortes J. Towards accurate and efficient reliability modeling of nanoelectronic circuits [A]. Proceedings of 6th IEEE Conference on Nanotechnology [C]. Cincinnati, OH, USA: IEEE Computer Society, 2006. 395 - 398.
- [4] J Han, H Chen, E Boykin. Reliability evaluation of logic circuits using probabilistic gate models [J]. Microelectronics Reliability, 2011, 51(2): 468 - 476.
- [5] 蔡烁, 邝继顺, 刘铁桥, 等. 一种高效的门级电路可靠度估算方法 [J]. 电子与信息学报, 2013, 35(5): 1262 - 1266.
S Cai, J S Kuang, T Q Liu. An efficient reliability estimation method for gate-level circuit [J]. Journal of Electronics & Information Technology, 2013, 35(5): 1262 - 1266. (in Chinese)
- [6] Krishnaswamy S, Viamontes G F, Markov I L, et al. Accurate reliability evaluation and enhancement via probabilistic transfer matrices [A]. Proceedings of Design, Automation & Test in Europe Conference & Exhibition, Munich [C]. New York: ACM Society, 2005. 282 - 287.
- [7] 王真, 江建慧. 基于概率转移矩阵的串行电路可靠度计算方法 [J]. 电子学报, 2009, 37(2): 241 - 247.
Z Wang, J H Jiang. A serial method of circuit reliability calculation based on probabilistic transfer matrix [J]. Acta Electronica Sinica, 2009, 37(2): 241 - 247. (in Chinese)
- [8] 王真, 江建慧, 等. 基于概率转移矩阵的电路可靠性并行计算方法 [J]. 小型微型计算机系统, 2008, 29(2): 357 - 360.
Z Wang, J H Jiang. Parallel processing of the probabilistic transfer matrix based circuits reliability calculation [J]. Journal of Chinese Computer Systems, 2008, 29(2): 357 - 360. (in Chinese)

- [9] T Rejimon, K Lingasubramanian, S Bhanja. Probabilistic error modeling for nano-domain logic circuits [J]. IEEE Transactions on Very Large Scale Integration Systems, 2009, 17(1): 55 - 65.
- [10] Abdollahi A. Probabilistic decision diagrams for exact probabilistic analysis [A]. Proceedings of IEEE/ACM International Conference on Computer-Aided Design [C]. San Jose, CA, USA: IEEE Computer Society, 2007. 266 - 272.
- [11] Sivaswamy S, Bazargan K, Riedel M. Estimation and optimization of reliability of noisy digital circuits [A]. International Symposium on Quality Electronic Design [C]. San Jose, CA, USA: IEEE Computer Society, 2009. 213 - 219.
- [12] Singh N S S, Hamid N H, Asirvadam V S. Accurate modeling method to evaluate reliability of nanoscale circuits [A]. IEEE International Conference on Electron Devices and Solid State Circuit [C]. Bangkok, Thailand: IEEE Computer Society, 2012. 1 - 4.
- [13] M R Choudhury, K Mohanram. Reliability analysis of logic circuits [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2009, 28(3): 392 - 405.
- [14] S J S Mahdavi, K Mohammadi. SCRAP: Sequential circuits reliability analysis program [J]. Microelectronics Reliability, 2009, 49(7): 924 - 933.
- [15] Maheshwari A, Koren I, Burleson W. Techniques for transient fault sensitivity analysis and reduction in VLSI circuits [A]. Proceedings of 18th IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems [C]. Boston, MA, USA: IEEE Computer Society, 2003. 597 - 604.

作者简介



蔡烁 男, 1982 年出生, 博士研究生, 讲师, 主要研究领域为数字电路测试、容错计算.

E-mail: csustcs4002@163.com



邝继顺 男, 1959 年生, 博士, 教授, 博士生导师, 主要研究领域为数字电路测试、容错计算、嵌入式系统.

E-mail: jshkuang@hotmail.com