

短波红外焦平面弱信号读出的高帧频模拟链路设计

王 攀^{1,2}, 丁瑞军¹, 叶振华¹

(1. 中国科学院上海技术物理研究所 红外成像材料与器件国防科技创新实验室, 上海 200083;
2. 中国科学院大学, 北京 100049)

摘 要: 针对短波红外焦平面阵列探测器弱信号耦合、高帧频输出和噪声抑制的要求, 文中设计了 512×256 面阵探测器读出电路(ROIC)的高帧频模拟信号链路结构。完整的模拟信号链包含运放积分型(CTIA)单元输入级、相关双采样、电荷放大器和互补型输出级。在低温模型基础上,进行了前仿真和提取版图寄生参数的后仿真。仿真得到输出动态范围为 2.8V, 8 路输出的工作帧频高于 250Hz。基于 CSMC-6S05DPTM 0.5 μm 工艺完成流片, 读出电路 ROIC 芯片的测试结果与仿真结果基本一致, 为短波红外焦平面探测器弱信号读出提供了有效的设计选择。

关键词: 短波红外焦平面; CTIA 输入级; 相关双采样; 电荷放大器; 补型输出级
中图分类号: TN432 **文献标志码:** A **文章编号:** 1007-2276(2014)05-1370-05

High frequency weak signal analog chain design of short-wavelength IRFPAs

Wang Pan^{1,2}, Ding Ruijun¹, Ye Zhenhua¹

(1. Key Laboratory of Infrared Imaging Materials and Detectors, Shanghai Institute of Technical Physics, Chinese Academy of Sciences, Shanghai 200083, China; 2. University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: High-frequency analog chain of 512×256 staring short wavelength (SW) infrared-focal-plane-arrays(IRFPAs) readout-integrated circuit(ROIC), focusing on coupling of weak signal, high-frame output and noise depression was implemented in this paper. The complete analog signal chain contained a novel input stage of capacitor feedback transimpedance amplifier (CTIA) preamplifier, a correlated double sampling (CDS) module, an amplifier of charge and complementary output stage. The simulation and verification were carried out both before and after completing the layout. The circuit's structure was analyzed according to low-temperature model. The result shows that the output dynamic range is 2.8 V and the frame rate is above 250 Hz with output of 8 channels. The CTIA ROIC chip fabricated with CSMC -6S05DPTM 0.5 μm process technology is measured and proved to be consistent with the simulation.

Key words: SW IRFPAs; CTIA input stage; CDS; amplifier of charge; complementary output stage

收稿日期: 2013-09-13; 修订日期: 2013-10-15

基金项目: 国家自然科学基金(10990104)

作者简介: 王攀(1987-), 男, 博士生, 主要从事红外焦平面读出电路设计方面的研究工作。Email: arthurwp@mail.ustc.edu.cn

导师简介: 丁瑞军(1964-), 男, 研究员, 博士生导师, 主要从事红外焦平面器件及组件方面的研究工作。Email: dingrj@mail.sitp.ac.cn

0 引言

短波红外焦平面器件正向着大面阵、多波段、极高分辨率等方向发展^[1], 并对其读出电路在规格、单元面积和读出帧频等方面提出了更高的要求。大面阵电路的设计需要考虑信号在公共线上传输的损失, 较小的单元面积则限制了单元结构的复杂度。高光谱应用的短波红外探测器光电流信号较小, 要求输入级具有高的注入效率、高的线性度和低的噪声。同时, 设计还需要大驱动能力的输出级, 以避免小信号在模块间的传输损失, 并实现高帧频的数据读出。

因此, 文中提出了一种适于短波红外焦平面探测器弱信号读出的读出电路模拟信号链路结构。它包括精简结构的 CTIA 输入级、相关双采样结构 (CDS)、电荷放大器的列公用模块和互补型运放结构的驱动输出级。链路的原理图仿真完成后, 绘制了版图, 并提取寄生参数进行了带寄生参数的后仿真。针对高分辨率扫描或者超光谱技术的短波红外焦平面的特点^[2], 在设计过程中, 综合考虑了线性度、噪声抑制、功耗、面积和动态范围等主要性能。

1 ROIC 的功能模块及其模拟信号链

1.1 总体结构

512×256 规模的红外焦平面阵列读出电路功能包括积分、采样、扩幅、转移和输出。整个电路规模较大, 按功能结构划分为单元阵列、行公共处理结构、公共输出级结构和时序控制模块^[3]。见图 1。前三个

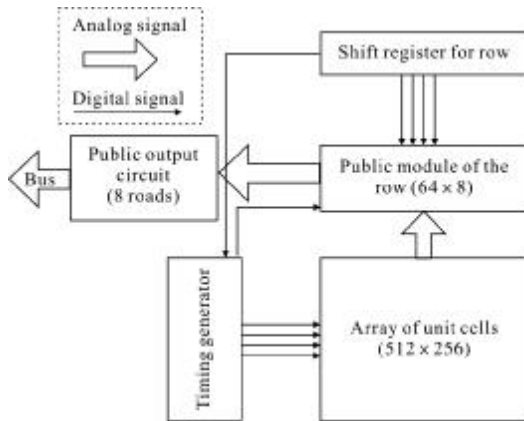


图 1 短波红外焦平面读出电路总体框架
Fig.1 Main architecture of the SW IRFPAs ROIC

模块是模拟模块, 时序控制模块是数字结构。其中, 行公共处理结构为一行的 256 个单元所公用, 分时处理单元传输来的信号。公共输出级是一列 (64 个) 行公共结构公用的。

图 2 是光电信号在模拟模块中传输的信号链路结构示意图。信号在电容跨阻抗放大器 (CTIA) 模块^[4]中完成积分和采样后传输给后级公共结构。列公用模块中采用 CDS 相关双采样结构, 消除读出电路中比较严重的低频噪声。然后, 信号进入列公用模块中的电荷放大器, 信号的幅值被线性放大后转移给最终的输出级。公共输出级采用互补型的对称运放结构提供足够的上推和下拉能力, 可在高帧频^[5]工作状态下将信号输出至芯片外。电路工作时, 像素读出频率可达到 4 MHz, 并有 2.8 V 的动态范围。

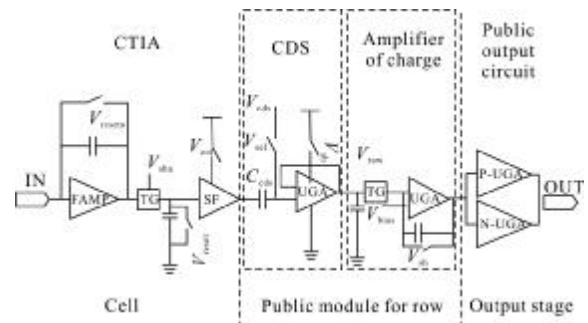


图 2 短波红外焦平面读出电路的模拟信号链路
Fig.2 Analog signal chain of SW IRFPAs ROIC

1.2 模拟信号链路各功能模块

1.2.1 单元 CTIA 结构

图 3 是单元 CTIA 结构图, 如图所示, 单元结构中采用了三管 CTIA 结构的前置放大器, CTIA 结构^[4]注入效率较高, 而且可以提供稳定的探测器偏压。积分电容由密勒效应等效为输入端一个很大的电容, 可以分流得到绝大多数的信号电流, 注入效率高于 90%。单元结构中设置了采样电容转移积分完成后

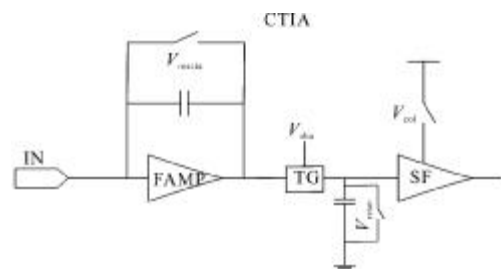


图 3 模拟信号链路的单元 CTIA 结构
Fig.3 Structure of CTIA for analog chain unit cell

的信号电压,ROIC 可实现边积分边读出(IWR)的快照模式。图 3 是用以驱动公用传输线的 SF 源级跟随器级。如图 3 所示,256 个单元公用一个列模块,信号传输线的寄生电容会影响信号的传输。在采用了 SF 源级跟随器后,可减小寄生电容引起的工作频率降低的影响。

1.2.2 相关双采样结构

读出电路有很严重的低频噪声,如 KTC 噪声、1/f 噪声和阵列噪声。图 4 是 CDS 的结构示意图,如图所示,在一次信号传输过程中就能完成两次采样相减直接输出,进而能降低低频噪声。

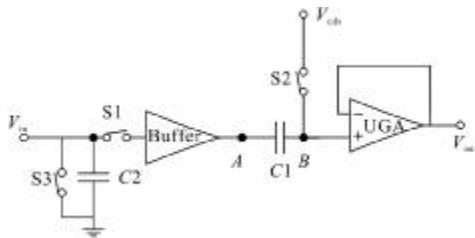


图 4 列公用模块内的相关双采样结构
Fig.4 Structure of public CDS module for line

采样电容上信号有效时 S1、S2 闭合,S3 断开,A、B 两点分别被钳位到 V_{in1} 和 V_{cbs} 。钳位完成后 S2 断开,B 点 C1 右极板的电荷没有通路可以转移,被固定在 B 点,也就保持了 C1 电容的电压差 $\Delta V=V_{B1}-V_{A1}=V_{cbs}-V_{in1}$ 。之后 S3 闭合,复位 C2 电容,A 点被拉低到采样电容上的初始 V_{in0} ,此时 B 点电压会跟随下降为 $V_{B2}=V_{A2}+\Delta V=V_{cbs}+(V_{in0}-V_{in1})$,该信号即为两次信号相减后的值。而且,还可以调节参考电压 V_{cbs} 改变输出的信号范围。单元结构的噪声较大,所以将 CDS 放在紧靠单元的列公共级,以保证 CDS 结构能够有效抑制低频噪声。

1.2.3 列电荷放大器

图 5 是列电荷放大器的示意图,如图 5 所示,其将前级的信号线性放大后提供给输出级,进而提高动态范围。该级主要考虑线性度、驱动能力以及功耗。其工作电压范围也是可以通过调节参考电压 V_{bias} 控制的。

前级信号有效时 S1、S3 闭合,S2 断开,C1 采样,C2 复位。采样完成后 S1、S3 断开,S2 闭合,C1 上的电荷转移到 C2 上,信号放大在 V_{out} 端输出。S1 开关的电荷注入使 C1 上存储的电荷产生非线性。

由 S1 和 S2 的源漏结构构成的结点 P 的非线性电容导致了非线性的电荷电压的转换。

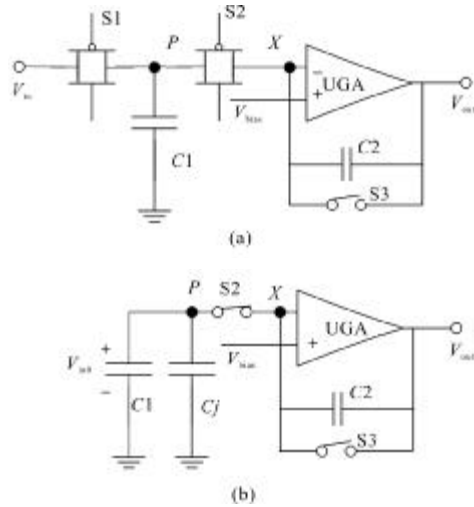


图 5 列公用电荷放大器工作原理
Fig.5 Public amplifier of charge for line

存储在 C_j 上的电荷 q_{qj} 为 C_j 的积分:

$$q_{qj} = \int_0^{V_{in}} C_j dv \tag{1}$$

式中: C_j 为电压的函数; q_{qj} 与 V_{in} 存在非线性关系,在电荷转移到 C2 时会产生非线性。设计中降低了 S1、S2 的源漏面积以减小寄生的影响。输出的结果理想值为:

$$V_{out} = \frac{C_1}{C_2}(V_1 - V_{bias}) + V_{bias} \tag{2}$$

摆幅以 V_{bias} 为中心,上线各损耗一个阈值电压 1.1~4 V,输入门限也是 1.1~4 V。设计 C1、C2 的比例来控制信号幅值放大的比例。

1.2.4 公共输出级

公共输出级是多路(64 路)公用的驱动最后 Pad 的缓冲级,其工作性能直接影响到电路的输出帧频。考虑到 NMOS 管组成的单位增益运放下拉能力比较弱、上拉能力比较强,PMOS 管正好相反。结合 NMOS 和 PMOS 的优势而组成了图 2 中所示互补型的输出级结构。在高信号时 NMOS 运放工作,低信号时 PMOS 运放工作,这样就能提供很好的驱动能力。

2 噪声分析

读出电路的噪声主要是开关引入的 KTC 噪声、MOS 管引入的 1/f 噪声和热噪声。该设计中通

用的单级五管运放结构如图 6 中所示,其等效输入噪声^[6-7]为:

$$\overline{V_{n,in}^2} = 8kT\gamma\left(\frac{1}{g_{m1}} + \frac{g_{m3}}{g_{m1}^2}\right) + \frac{2K_N}{C_{OX}(WL)_1 f} + \frac{2K_P}{C_{OX}(WL)_3 f} \cdot \frac{g_{m3}^2}{g_{m1}^2} \quad (3)$$

式中:下标表明了参数分别属于哪个传输管;W、L 为 MOS 管的宽和长;g_{mn} 是 MOS 管 n 的跨导。

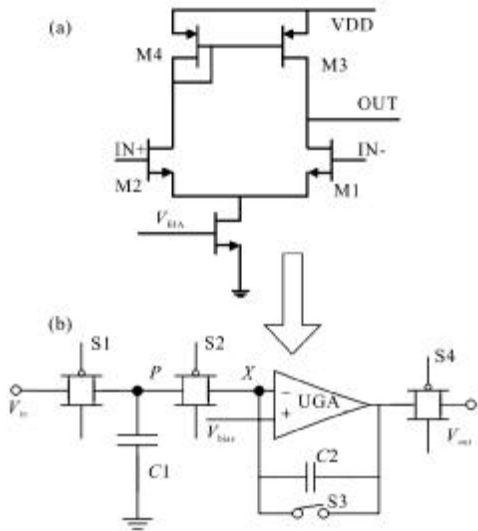


图 6 电荷放大器结构噪声分析
Fig.6 Noise analysis for amplifier of charge

2.1 复位阶段噪声

电荷放大器的噪声,在 C2 复位阶段,只有复位管 M_{RST}(S3)与电容 C2 参与这个过程,可以求得此时积分电容上的输出噪声:

$$\overline{V_{n,RST|LU}^2} = \left(4kT\gamma g_{m,RST} + \frac{K}{C_{OX}(WL)_{RST}} \cdot \frac{g_{m,RST}^2}{f}\right) \times \frac{1}{(C2 + g_{m,RST})^2} \quad (4)$$

2.2 积分阶段噪声

在积分阶段,引入运放的噪声后的积分输出噪声为:

$$\overline{V_{n,int|LU}^2} = \overline{V_{n,AMP}^2} \cdot \frac{1}{1 + (2\pi f C_2 R_{in,AMP})^2} = \left[8kT\gamma\left(\frac{1}{g_{m1}} + \frac{g_{m3}}{g_{m1}^2}\right) + \frac{2K_N}{C_{OX}(WL)_1 f} + \frac{2K_P}{C_{OX}(WL)_3 f} \cdot \frac{g_{m3}^2}{g_{m1}^2} \right] \times \frac{1}{1 + (2\pi f C_2 R_{in,AMP})^2} \quad (5)$$

2.3 传输阶段噪声

在输出阶段考虑开关噪声和传输管噪声,可以求得引入的输出噪声为:

$$\overline{V_{n,SEL|LU}^2} = \frac{kT}{C_{int}} + \frac{K}{C_{OX}(WL)_{SEL}} \cdot \frac{1}{f} \cdot \frac{g_{m,SEL}^2}{1 + (2\pi f C_{int} g_{m,SEL})^2} \quad (6)$$

列电荷放大器的总噪声是:

$$\overline{V_{n|LU}^2} = \overline{V_{n,RST|LU}^2} + \overline{V_{n,int|LU}^2} + \overline{V_{n,SEL|LU}^2} \quad (7)$$

上述噪声分析中可以看到电容值的影响很大,其他参数均由电路的工作状态决定。CTIA 结构与电荷放大器工作时类似。单元电路中由于面积限制电容都比较小(积分电容 60 fF),噪声比较大,后级电路中的电容多在 pF 量级。所以由相关双采样结构降低前级的低频噪声。后级的噪声尽量设计大的电容和大面积大宽长比的管子来减小。

3 测试结果与讨论

采用该模拟链路的 512×256 规模读出电路芯片在代工厂生产完成后进行了组件的测试,图 7 是该读出电路对光源信号小光斑的响应结果。如图 7 所示,突出的波峰即为点光源照射到电路上之后的电压输出。电路工作在 250 Hz,摆幅在 3 V 左右,响应良好达到设计效果。

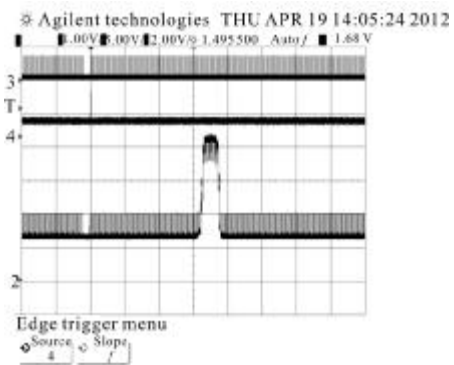


图 7 芯片实际测试输出波形图
Fig.7 Actual test result of the ROIC chip

表 1 是该读出电路芯片的主要参数。

表 1 芯片主要参数

Tab.1 Summary of chip characteristics

Characteristics	Value
Working mode	IWR
Power supply	5 V

续表 1

Characteristics	Value
Power dissipation	300 mW
Charge capacity	1.1Me ⁻ (Max.)
Output voltage range	2.8 V
Frame frequency	250 Hz
Chip size	17 550 μm×17 550 μm

短波红外焦平面读出电路模拟信号链路能够适用于大规模阵列(512×256)的应用,可以积分、采样、扩幅并输出弱红外光电信号(0.1~10 pA),链路具备了噪声抑制、动态范围扩充等功能,且输出级驱动性能良好,可以满足 250 Hz 的工作帧频。电荷放大器的扩幅能力也可以设计成可调模式。牺牲饱和电子数可以选取更小的积分电容,设计出更小面积的单元结构。

4 结 论

文中设计完成了适用于 512×256 阵列的短波红外焦平面读出电路模拟信号链路。电路能够很好地处理探测器的 0.1~10 pA 小信号电流,并能满足接近 250 Hz 的高帧频应用。该读出电路在设计中对光电流信号的响应线性度做出了足够的考虑,其结构对噪声有良好的抑制作用。采用上华 CSMC-6S05DPTM 工艺绘制版图并完成流片。芯片实际测试结果与前、后仿真基本符合。读出电路的动态范围为 2.8 V,饱和电子数 1.1 Me⁻,功耗低于 300 mW。

参考文献:

- [1] He Li, Hu Xiaoning, Ding Ruijun, et al. Recent progress of the 3rd generation infrared FPAs [J]. *Infrared and Laser Engineering*, 2007, 36(5): 696-701. (in Chinese)
何力, 胡晓宁, 丁瑞军, 等. 第三代红外焦平面基础技术的研究进展[J]. *红外与激光工程*, 2007, 36(5): 696-701.
- [2] Cai Yi, Hu Xu. Short wave infrared imaging technology and its defence application [J]. *Infrared and Laser Engineering*, 2006, 35(6): 643-647. (in Chinese)
蔡毅, 胡旭. 短波红外成像技术及其军事应用 [J]. *红外与激光工程*, 2006, 35(6): 643-647.
- [3] Wang Pan, Ding Ruijun. A new design of ROIC with CDS and programmable arbitrary line selection [C]//Processing of SPIE, International Symposium on Photoelectronic Detection and Imaging 2011: Advances in Infrared Imaging, 2011, 8193: 819316.
- [4] Xu Yunhua, Fang Jiaxiong. Input circuit of focal plane arrays [J]. *Infrared and Laser Engineering*, 2006, 35(5): 555-558. (in Chinese)
徐运华, 方家熊. 焦平面输入电路研究 [J]. *红外与激光工程*, 2006, 35(5): 555-558.
- [5] Jan Vermeiren, Urbain Van Bogget, Guido Vanhorebeek, et al. Low-noise, fast frame-rate InGaAs 320×256 FPA for hyperspectral applications[C]//SPIE, Infrared Technology and Applications XXXV, 2009, 7298: 72983N.
- [6] Razavi B. Design of Analog CMOS Integrated Circuits [M]. Translated by Chen Guican, Cheng Jun, Zhang Ruizhi. Xi'an: Xi'an Jiaotong University Press, 2003: 357-359.
毕查德拉扎维. 模拟 CMOS 集成电路设计[M]. 陈贵灿, 程军, 张瑞智, 译. 西安: 西安交通大学出版社, 2003: 357-359.
- [7] Jacobson P L, Busch G E, John L J, et al. Design and testing of a high-speed, low-noise infrared detector array[C] // Proceedings of SPIE, Infrared Detectors and Focal Plane Arrays VI, 2000, 4028: 469-480.
- [8] Huang Zhangcheng, Huang Songlei, Zhang Wei, et al. Low noise readout circuit for infrared focal plane array; in integration while read[J]. *J Infrared Millim Wave*, 2011, 30(4): 297-300. (in Chinese)
黄张成, 黄松垒, 张伟, 等. 边积分边读出低噪声红外焦平面读出电路研究[J]. *红外与毫米波学报*, 2011, 30(4): 297-300.