

一. 并行接口的基本概念

1. 并行通信和串行通信

通信指计算机与外设、计算机与计算机间的信息交换。

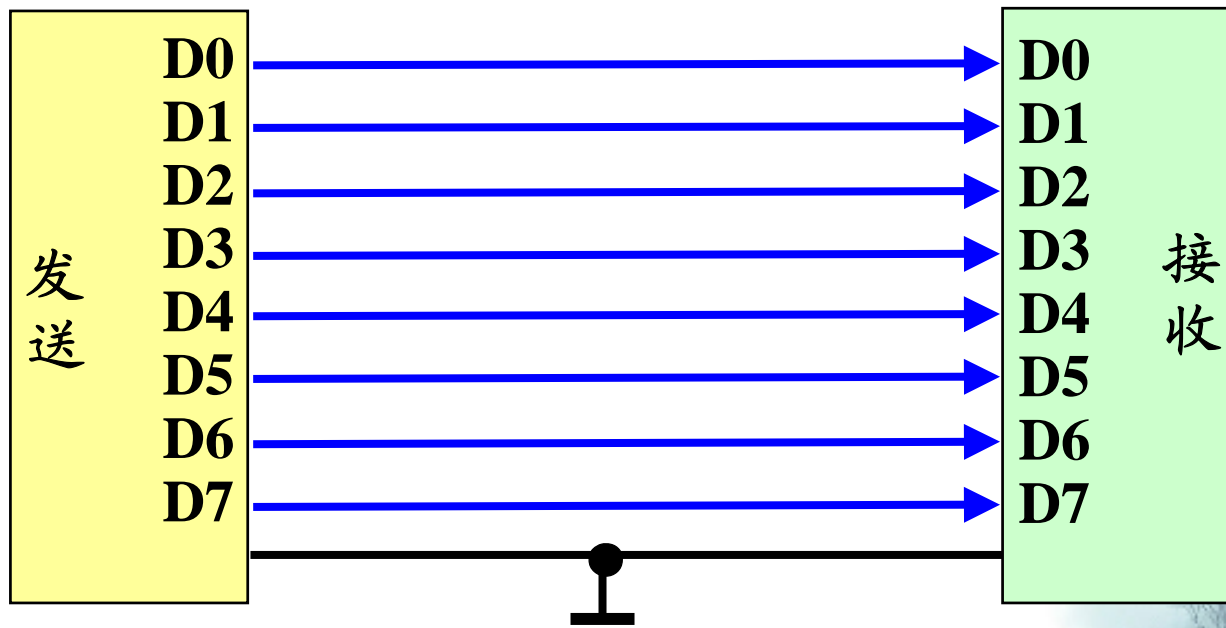
通信的基本方法： 并行通信和串行通信。



一. 并行接口的基本概念

□ 并行通信

将数据的各位**同时**在**多根并行传输线**上进行传输。



一. 并行接口的基本概念

数据的各位同时由发送方到达接收方。

优点： 通信速度快

缺点： 距离短、远程费用高

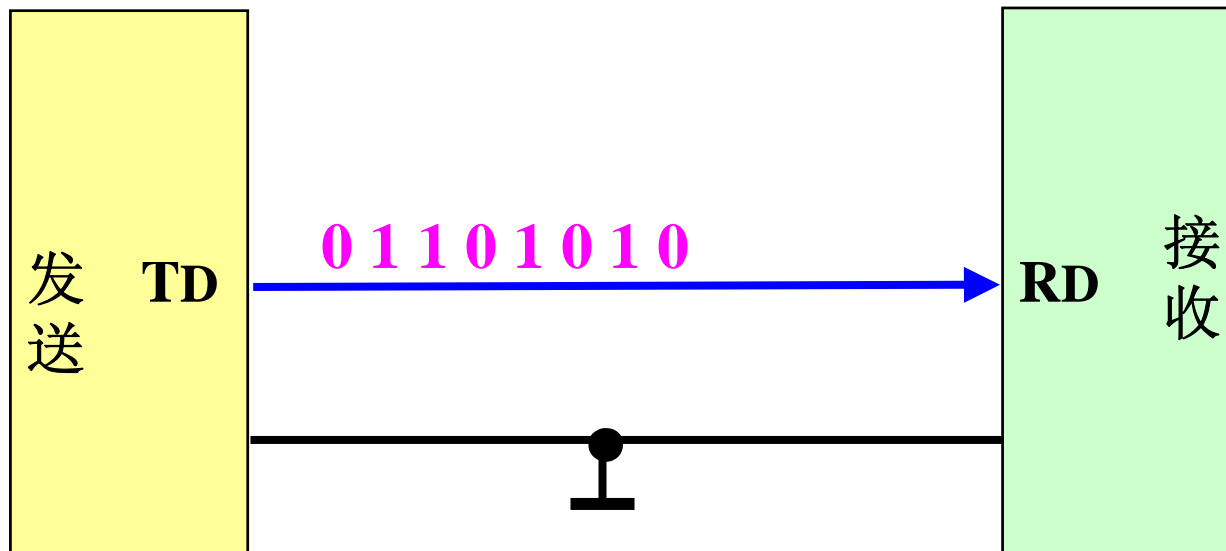
适用场合： 短距离、高速通信



一. 并行接口的基本概念

□ 串行通信

将数据的各位按时间顺序依次在一根传输线上传输。



一. 并行接口的基本概念

数据的各位依次由发送方到达目的地。

优点： 远程, 费用低

缺点： 通信速度慢

适用场合： 长距离、中低速通信



一. 并行接口的基本概念

2. 并行接口概述

- 并行接口连接CPU与并行外设，实现两者间的并行通信，在信息传送过程中，起到输出锁存或输入缓冲的作用。



一. 并行接口的基本概念

2. 并行接口概述

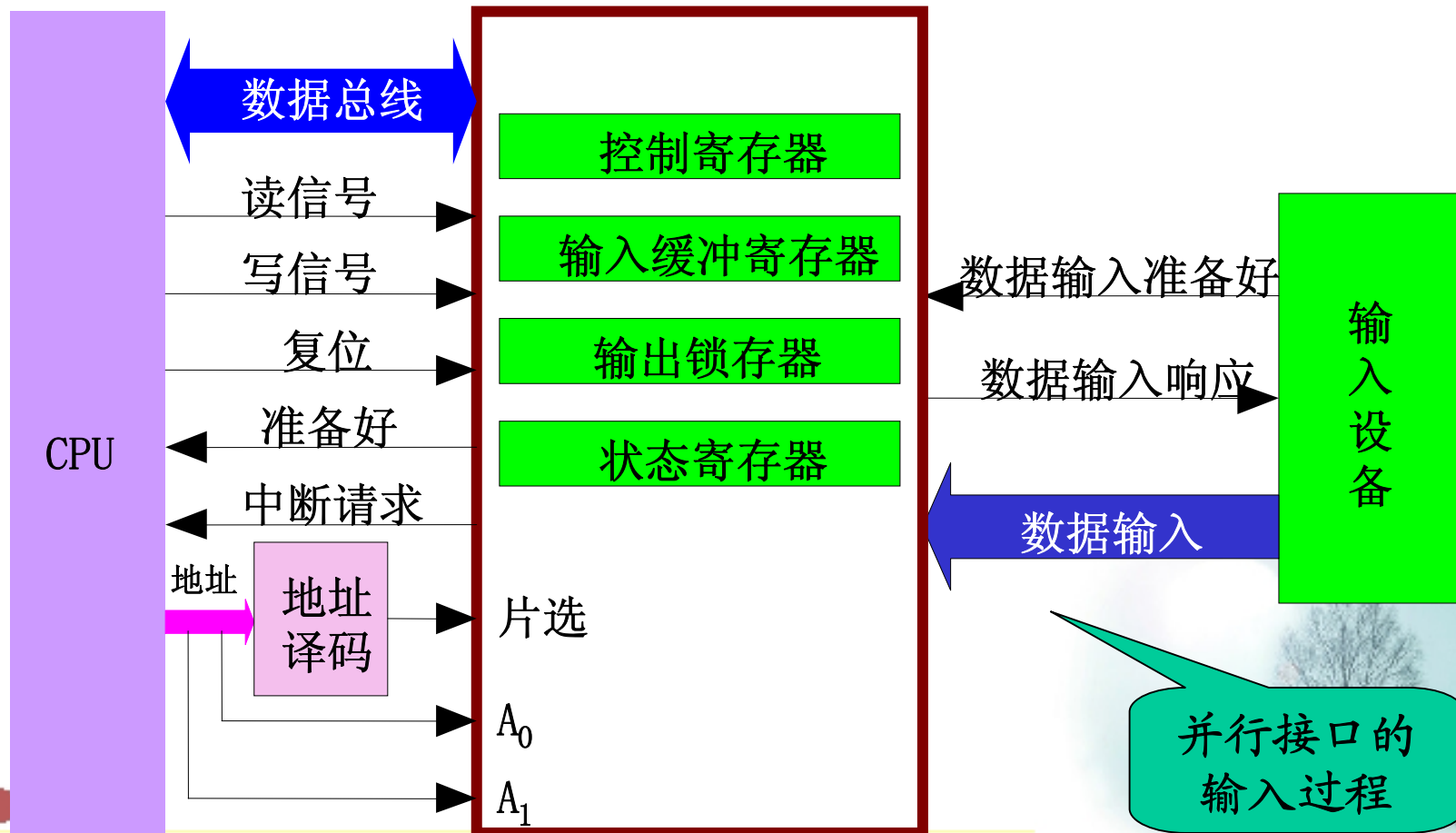
- 并行接口的典型硬件结构包括:

- 1、一个或一个以上具有锁存或缓冲的数据端口
- 2、与CPU进行数据交换所必须的控制和状态信号
- 3、与外设进行数据交换所必须的控制和状态信号
- 4、端口译码电路
- 5、控制电路



7.2 并行接口

一. 并行接口的基本概念



一. 并行接口的基本概念

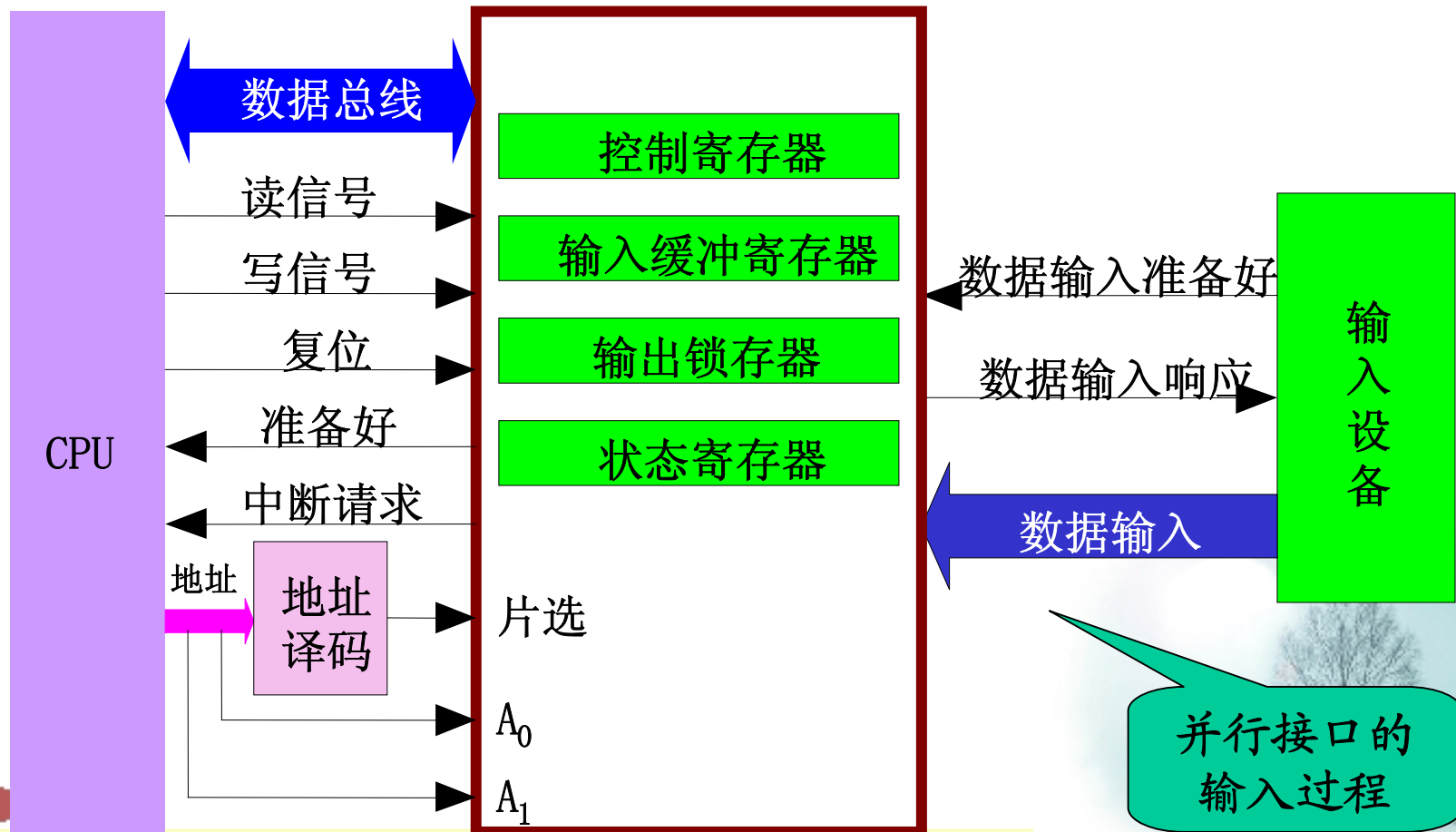
X 并行接口的输入过程

◆ 外设将准备好的数据放在接口的数据总线上，并向并行接口发出“数据准备好”信号；



7.2 并行接口

一. 并行接口的基本概念



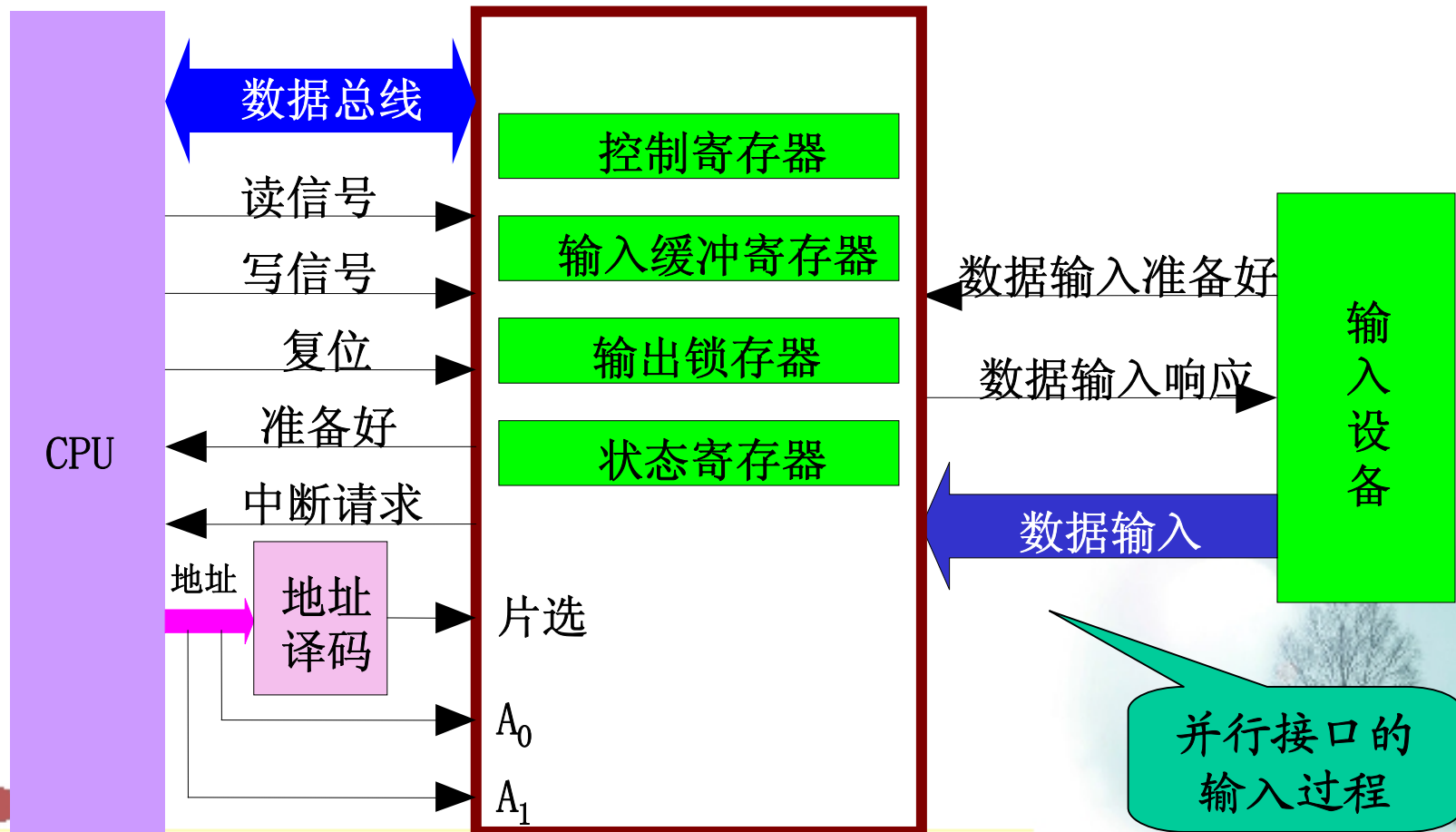
一. 并行接口的基本概念

X 并行接口的输入过程

◆ 并行接口将数据锁存于输入缓冲器中，并向外设发出“数据输入响应”信号，表示外设数据已输入到接口，但还未被CPU取走，因此外设不能发来新的数据；同时向CPU发出“数据准备就绪”信号或者发出中断请求信号，表示端口寄存器中已经准备好数据，CPU可以读取数据。

7.2 并行接口

一. 并行接口的基本概念



一. 并行接口的基本概念

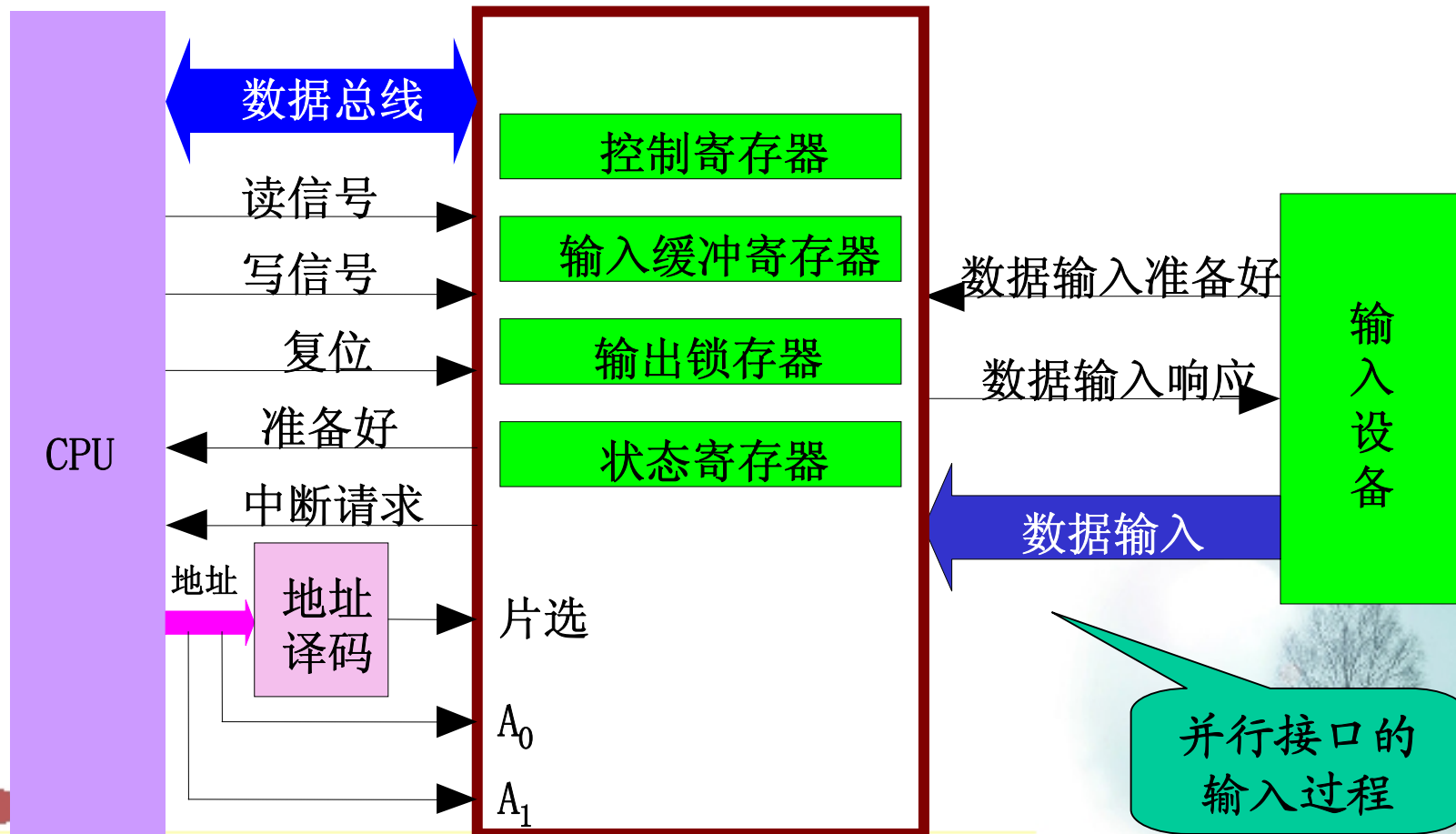
X 并行接口的输入过程

◆ 外设收到“数据输入响应”信号后，撤销数据及“数据准备好”信号。



7.2 并行接口

一. 并行接口的基本概念



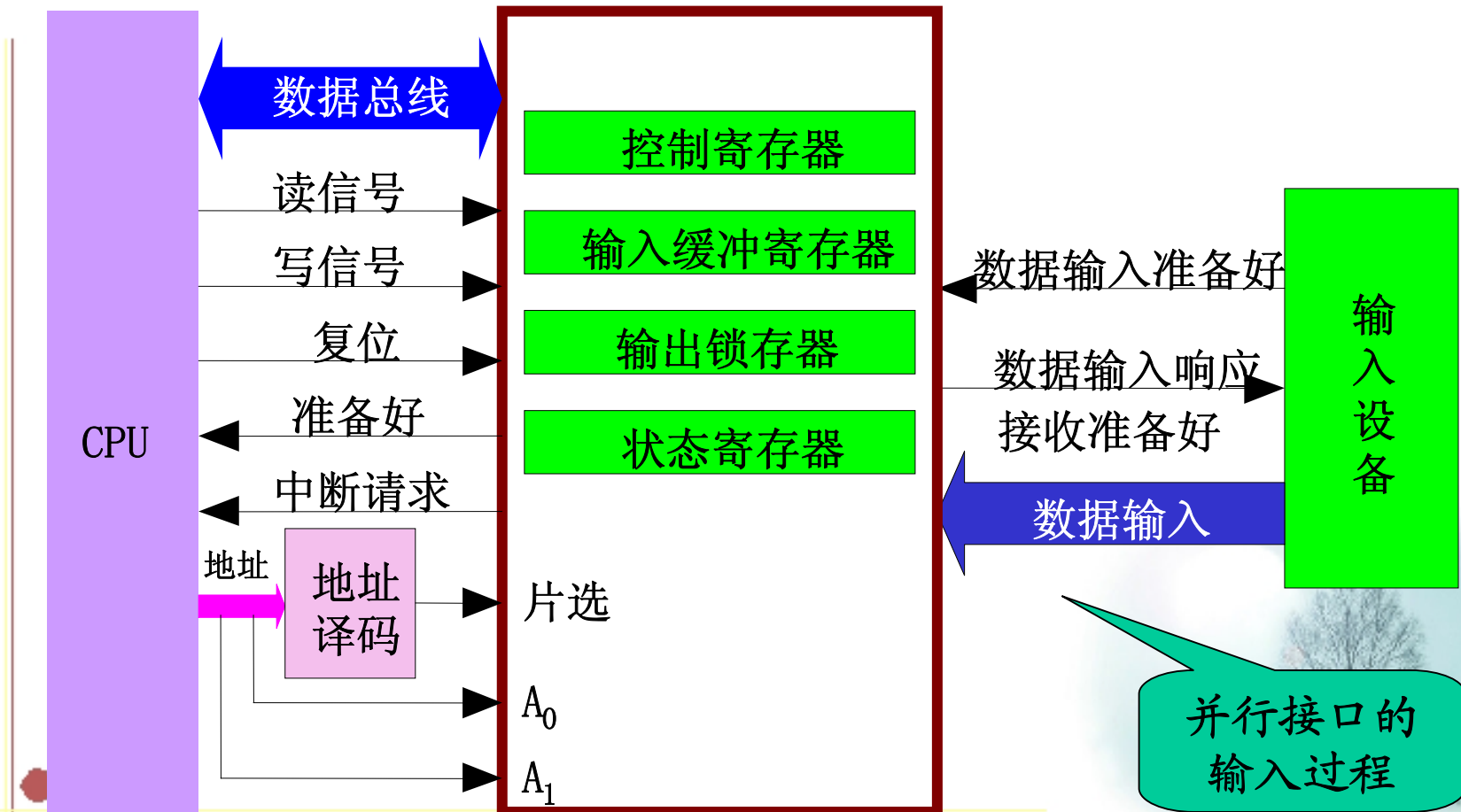
一. 并行接口的基本概念

X 并行接口的输入过程

◆ CPU从接口中读取数据，并给并行接口发出“回执”；并行接口据此撤销“数据准备就绪”信号，并向外设发出“接收准备好”信号；外设在“接收准备好”信号控制下，发送新的数据。

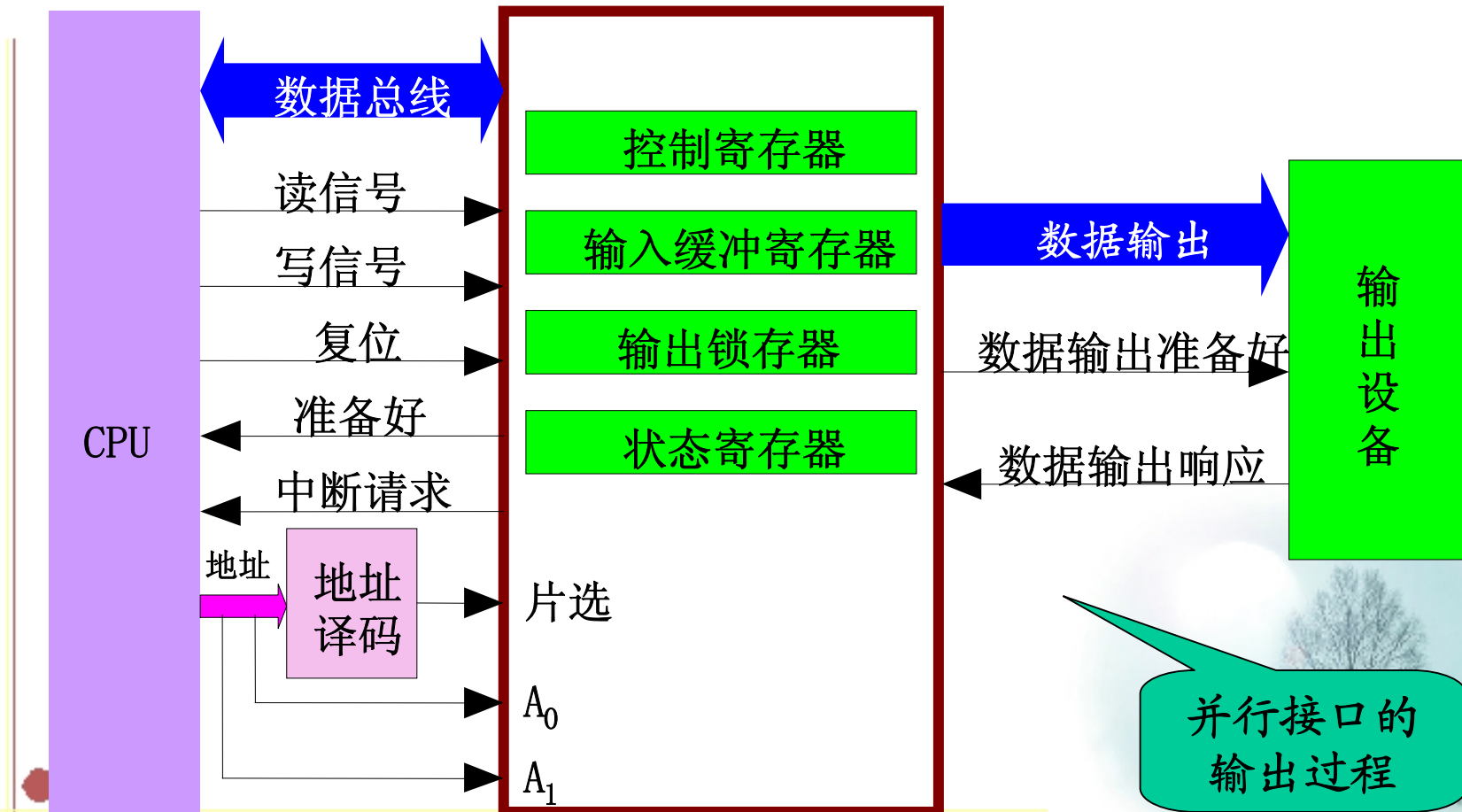


一. 并行接口的基本概念



7.2 并行接口

一. 并行接口的基本概念



一. 并行接口的基本概念

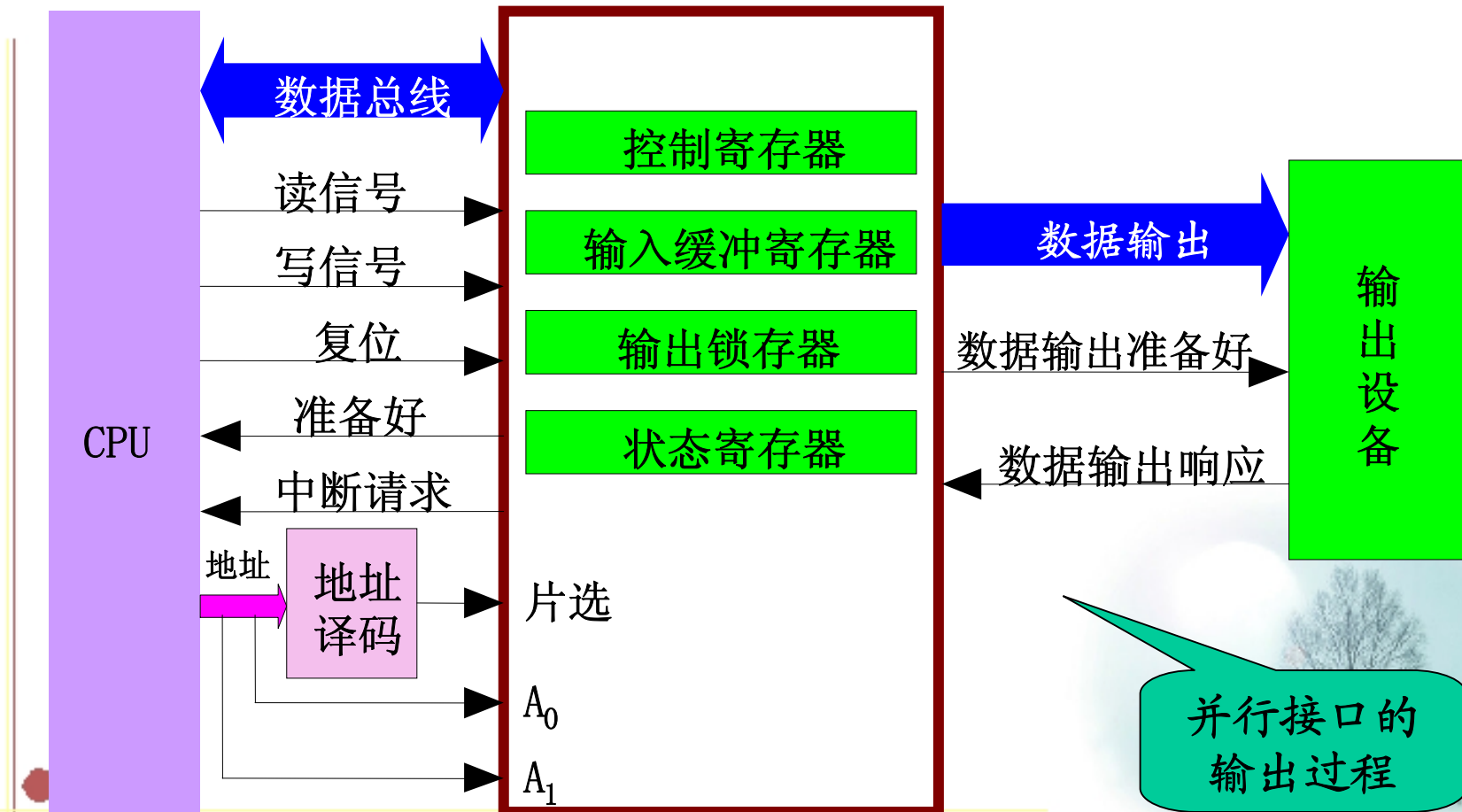
X 并行接口的输出过程

◆ 并行接口向CPU发出“准备就绪”信号或者发出中断请求信号，表示端口寄存器（输出锁存器）中已经作好接收数据的准备，CPU可以发来数据了。



7.2 并行接口

一. 并行接口的基本概念



一. 并行接口的基本概念

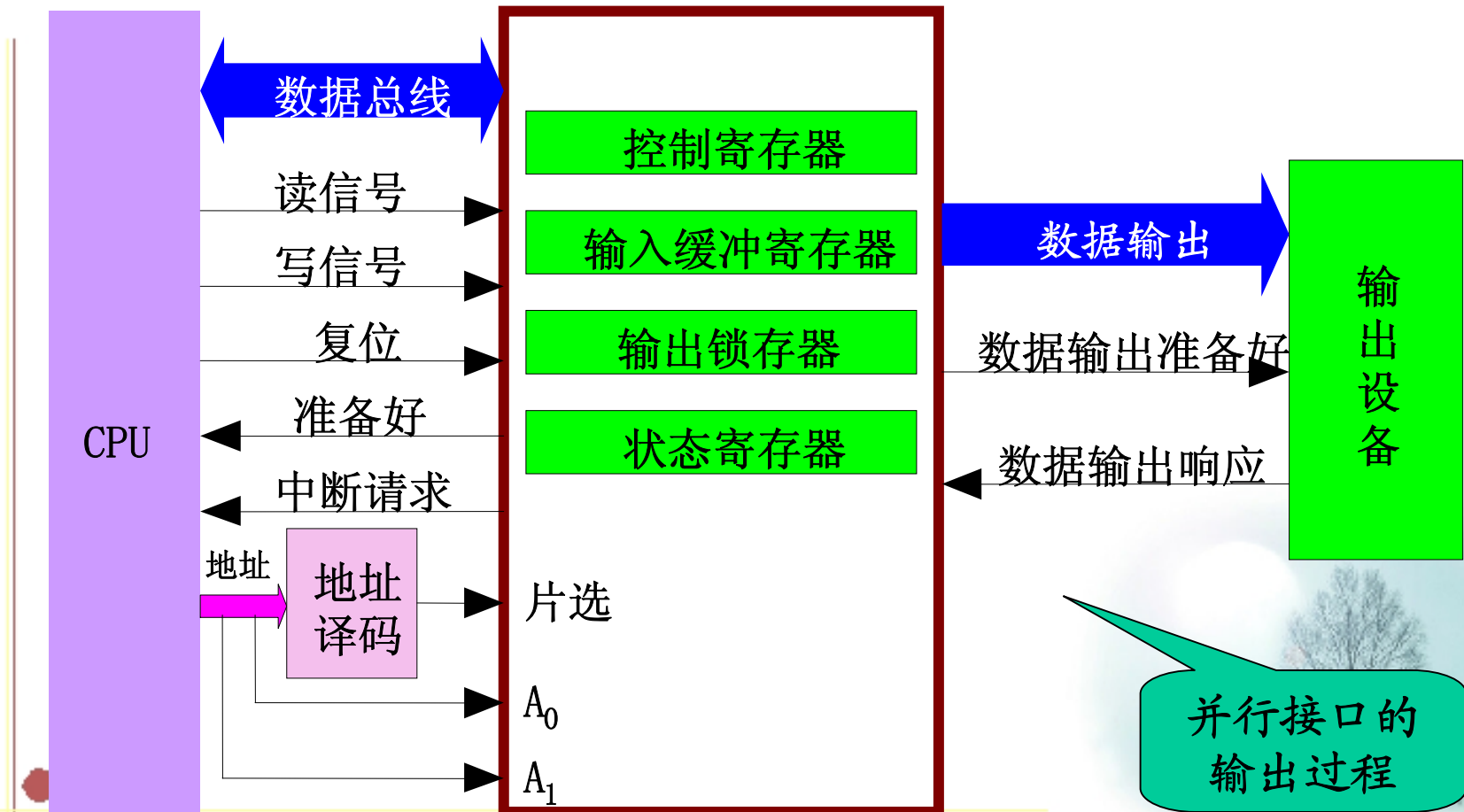
X 并行接口的输出过程

◆ CPU将数据写入输出端口（锁存器），并发送“回执”信号；接口收到“回执”信号后，撤销“准备就绪”信号。



7.2 并行接口

一. 并行接口的基本概念



一. 并行接口的基本概念

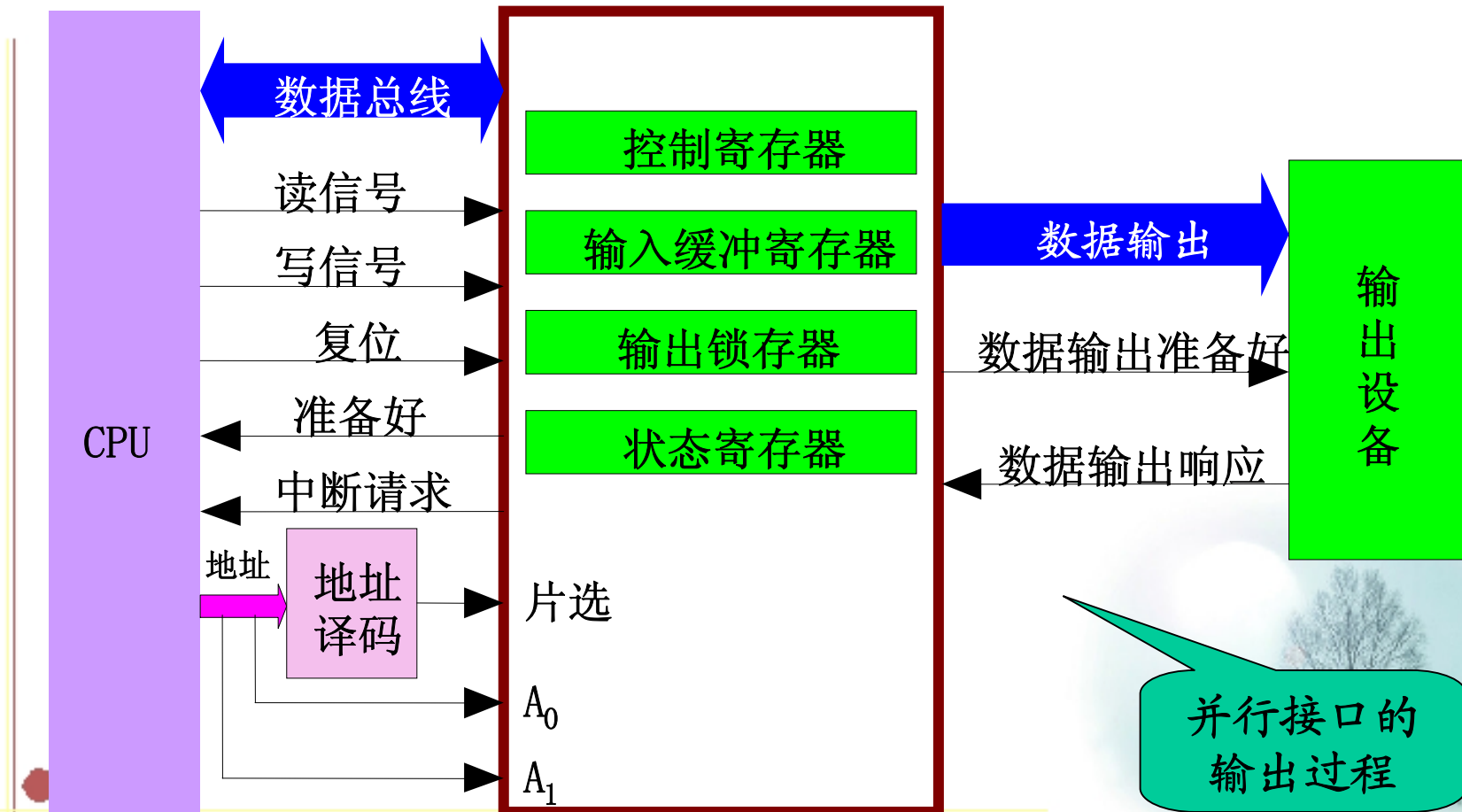
X 并行接口的输出过程

- ◆ 并行接口向外设发出“数据准备好”信号。
- ◆ 外设取走数据，并向接口发出“数据输入响应”信号，表示外设已取走数据。



7.2 并行接口

一. 并行接口的基本概念



一. 并行接口的基本概念

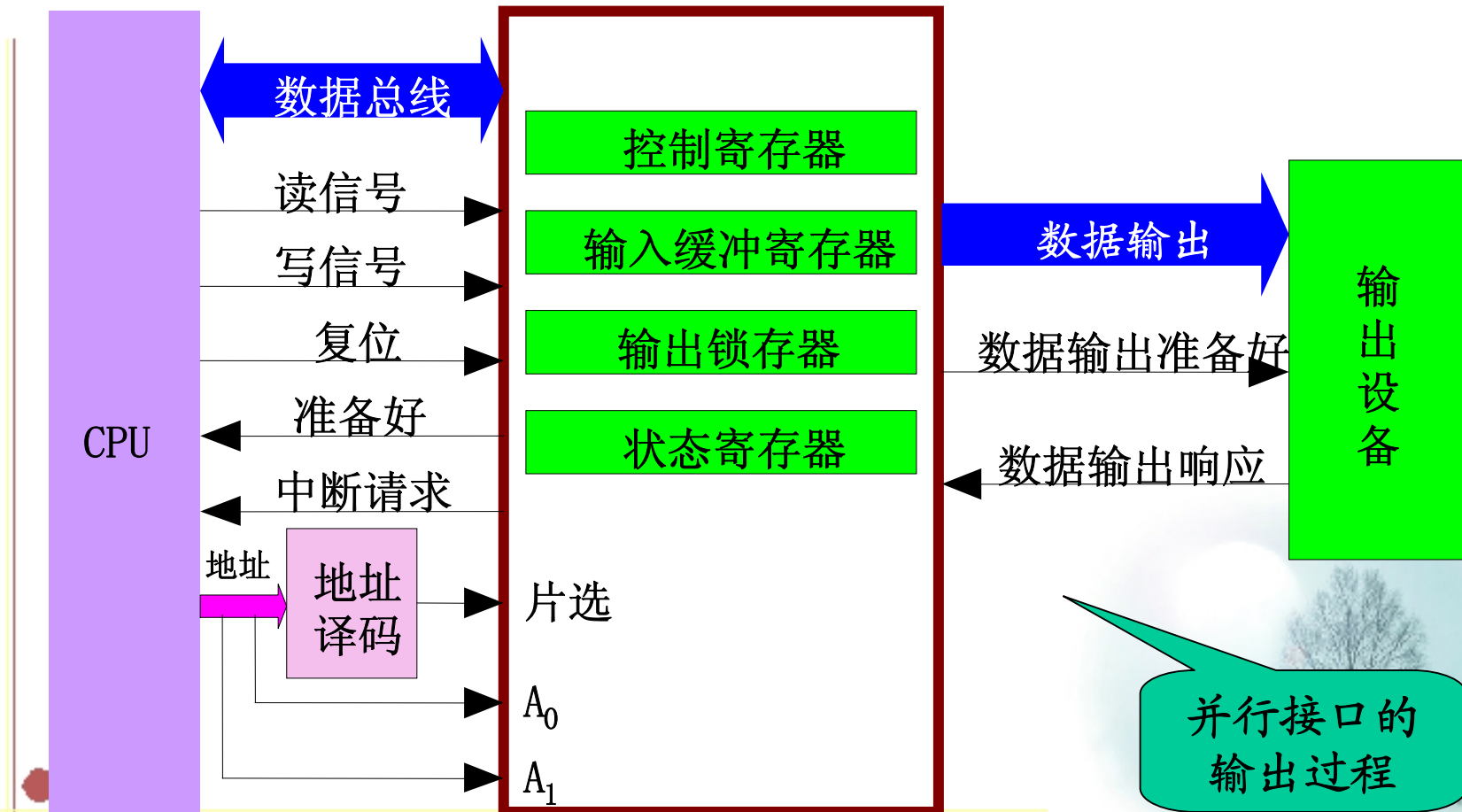
X 并行接口的输出过程

◆ 并行接口撤销“数据输出准备好”信号，同时再次向CPU发出“准备就绪”信号或者发出中断请求信号。



7.2 并行接口

一. 并行接口的基本概念



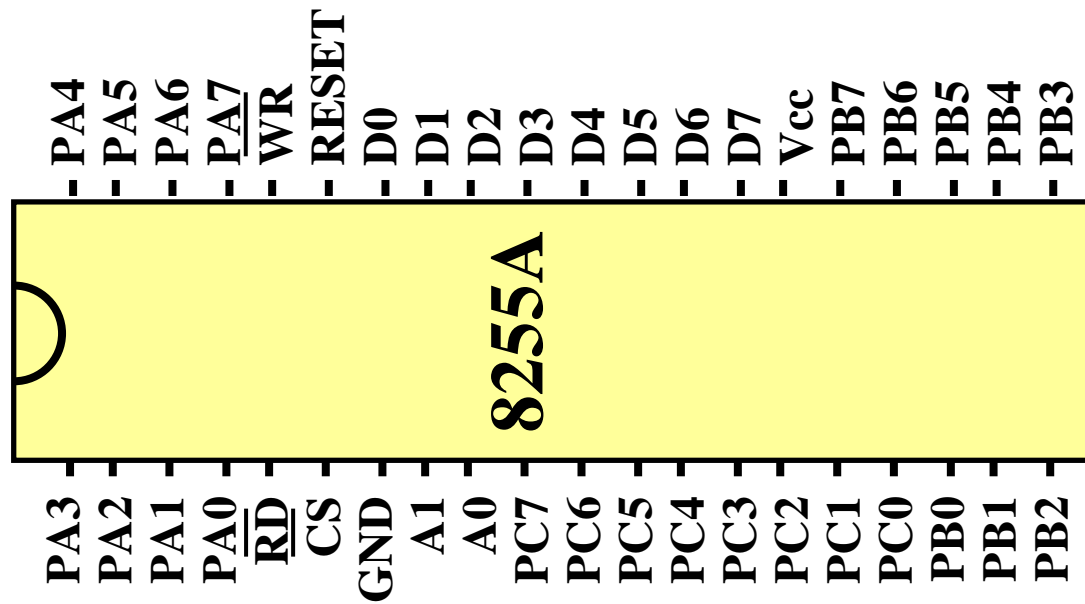
二. 可编程并行接口芯片8255A的功能及其应用

◆ 前面我们用74LS373、74LS374、74LS245等芯片设计的简单的接口电路，其工作方式是固定不变的、不可编程的；而8255A的工作方式（输入/输出）是可以通过程序改变的，即可编程的。



二. 可编程并行接口芯片8255A的功能及其应用

1.8255A的外部特性

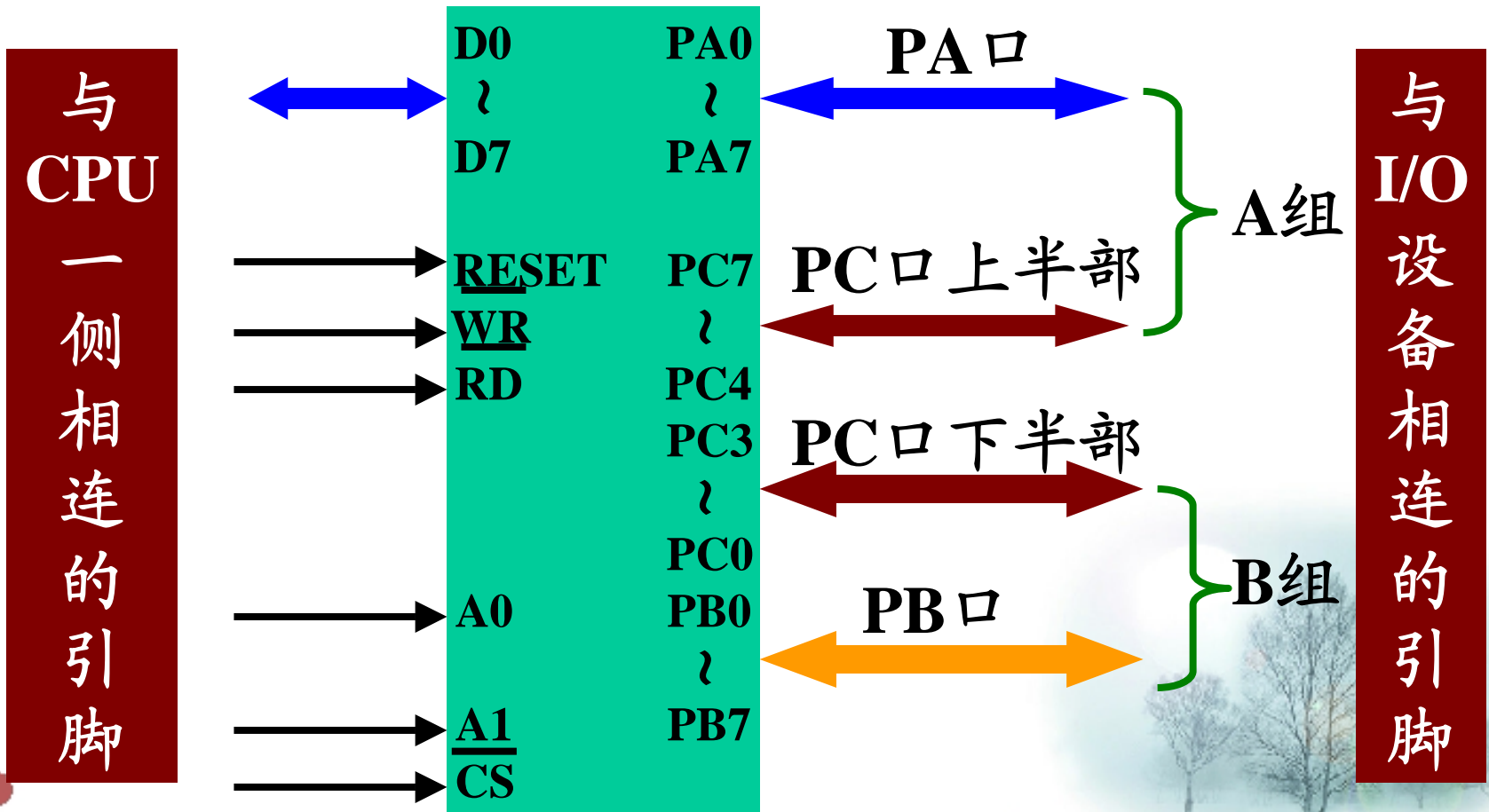


引脚图

8255A是Intel系列的8位并行接口芯片通用性强，使用灵活，可用程序设置和改变芯片的工作方式，是一种常用的可编程并行接口芯片。

7.2 并行接口

二. 可编程并行接口芯片8255A的功能及其应用



二. 可编程并行接口芯片8255A的功能及其应用

2.8255A的基本功能

- ◆ 8255具有3个独立的8位I/O并行数据端口（PA口、PB口和PC口），PC口也可作为2个独立的4位I/O数据端口（C口上半部和C口下半部）。其中，PA口和PC口上半部为A组，PB口和PC口下半部为B组。作为输入时提供三态缓冲器功能，作为输出时提供数据锁存功能。

二. 可编程并行接口芯片8255A的功能及其应用

2.8255A的基本功能

- ◆ 8255有3种工作方式，方式0、方式1和方式2，能使用多种数据传送方式完成CPU与I/O设备之间的数据交换，如无条件方式、查询方式和中断方式。



二. 可编程并行接口芯片8255A的功能及其应用

2.8255A的基本功能

- ◆ 方式0为基本的输入输出方式（无条件方式）
PA口、PB口和PC口均可以工作在方式0。
- ◆ 方式1为有联络信号的输入输出方式（查询方式/中断方式）
PA口和PB口均可以工作在方式1。
- ◆ 方式2为有联络信号的双向输入输出方式（查询方式/中断方式）
只有PA口可以工作在方式2。



二. 可编程并行接口芯片8255A的功能及其应用

2. 8255A的基本功能

- ◆ C口除用作数据端口外，当8255工作在方式1（PA口和PB口）和方式2（PA口）时，C口的部分引脚作为固定的联络信号线。
- ◆ PA口、PB口和PC口的工作方式是由CPU执行OUT指令向8255A内部的工作方式控制寄存器端口写命令实现的。

所以，一片8255A接口芯片内部包含了PA口、PB口、PC口和方式控制寄存器端口四个I/O端口。

二. 可编程并行接口芯片8255A的功能及其应用

3. 8255A端口的识别

一片8255A接口芯片内部包含了PA口、PB口、PC口和方式控制寄存器端口四个I/O端口，CPU对8255A读/写操作，是对那个端口的读/写操作，是用CS、A1和A0三个引脚的状态来识别的。其规则如下：

7.2 并行接口

二. 可编程并行接口芯片8255A的功能及其应用

3. 8255A端口的识别

片外寻址

片内寻址

$\overline{\text{CS}}$	A1	A0	选中端口
0	0	0	端口A
0	0	1	端口B
0	1	0	端口C
0	1	1	方式控制端口
1	X	X	未选中

由 \overline{CS} 、A1、A0、 \overline{RD} 、 \overline{WR} 引脚的不同组合，实现各种不同的功能。

\overline{CS}	A1	A0	\overline{RD}	\overline{WR}	功 能	
0	0	0	0	1	对端口 A 读	输 入
0	0	1	0	1	对端口 B 读	
0	1	0	0	1	对端口 C 读	
0	1	1	0	1	非法， 不能对命令口读	
0	0	0	1	0	对端口 A 写	输 出
0	0	1	1	0	对端口 B 写	
0	1	0	1	0	对端口 C 写	
0	1	1	1	0	对端口 D 写	
1	×	×	×	×	数据缓冲器为三态	断开