

微机原理及接口技术

第4章 总线

4.4 总线的驱动与控制

4.3 总线的驱动与控制

本节内容：

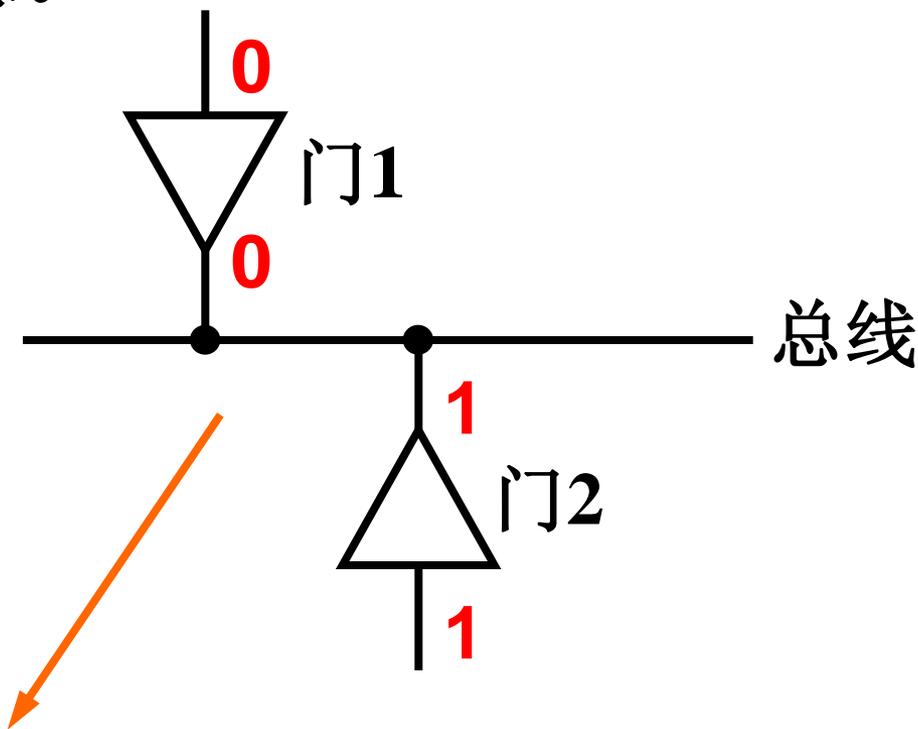
- 总线竞争
- 总线的负载
- 总线的驱动
- 对总线驱动器的控制

4.4 总线的驱动与控制

一、总线竞争与负载

1. **总线竞争**：同一总线上，同一时刻，有两个或两个以上的器件输出其状态。

① 对TTL：



此时总线上会是一种不高不低的非TTL电平，严重时烧坏器件。

4.4 总线的驱动与控制

一、总线竞争与负载

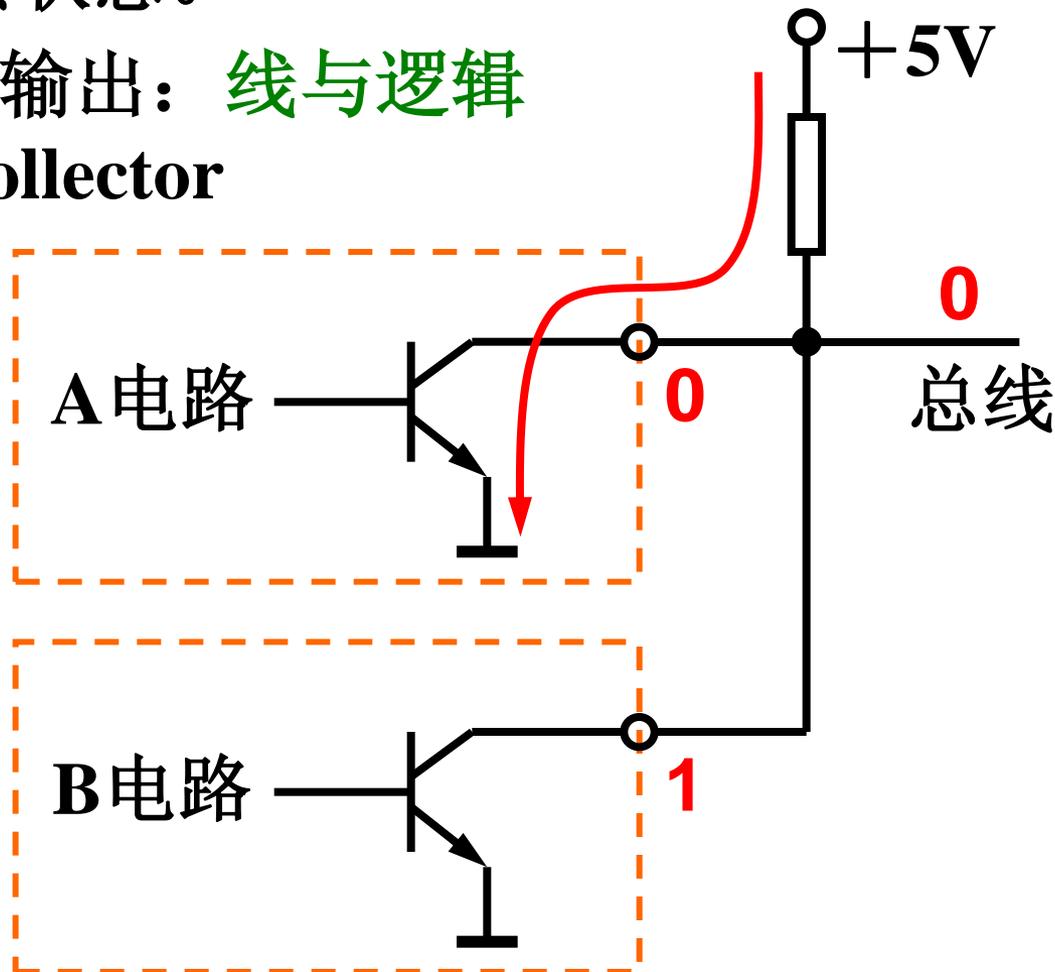
1. **总线竞争**：同一总线上，同一时刻，有两个或两个以上的器件输出其状态。

② 对集电极开路输出：**线与逻辑**

OC: Open Collector

A → 0, B → 1

不会烧坏器件，
但B输出的“1”
信息会丢失。

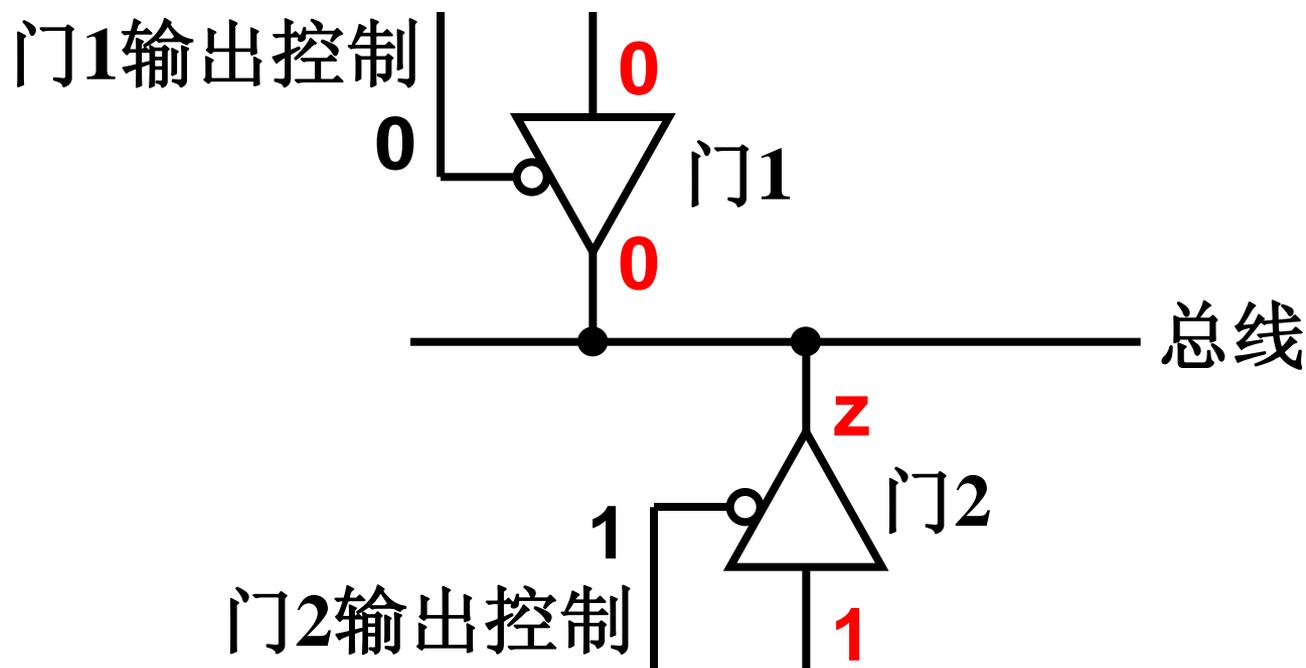


4.4 总线的驱动与控制

一、总线竞争与负载

1. **总线竞争**：同一总线上，同一时刻，有两个或两个以上的器件输出其状态。

③ 用三态电路，严格控制逻辑。

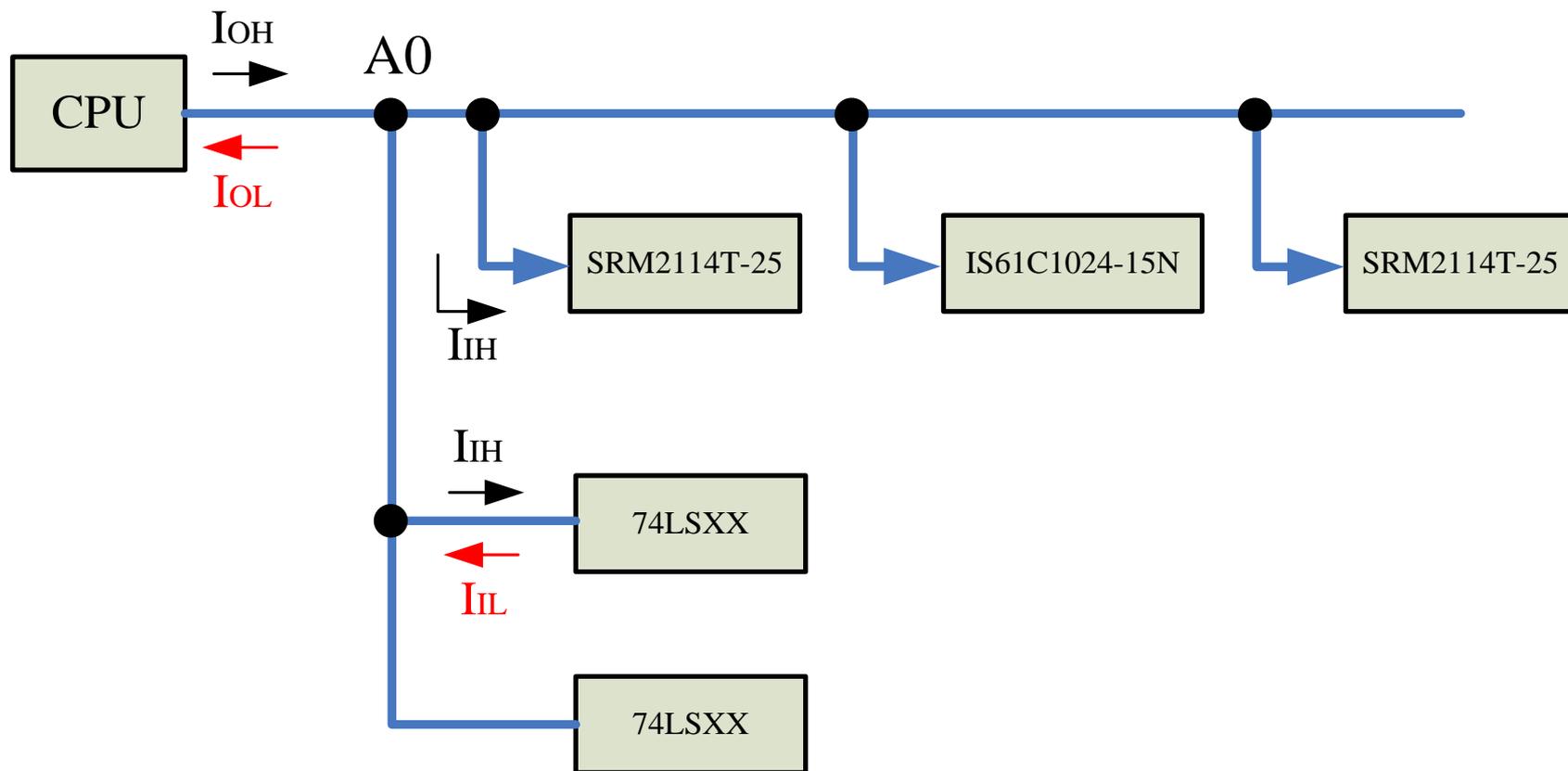


4.4 总线的驱动与控制

一、总线竞争与负载

2. 总线的负载

- ① 直流负载：为了能正常工作，CPU必须提供各个芯片正常工作所需的电流。

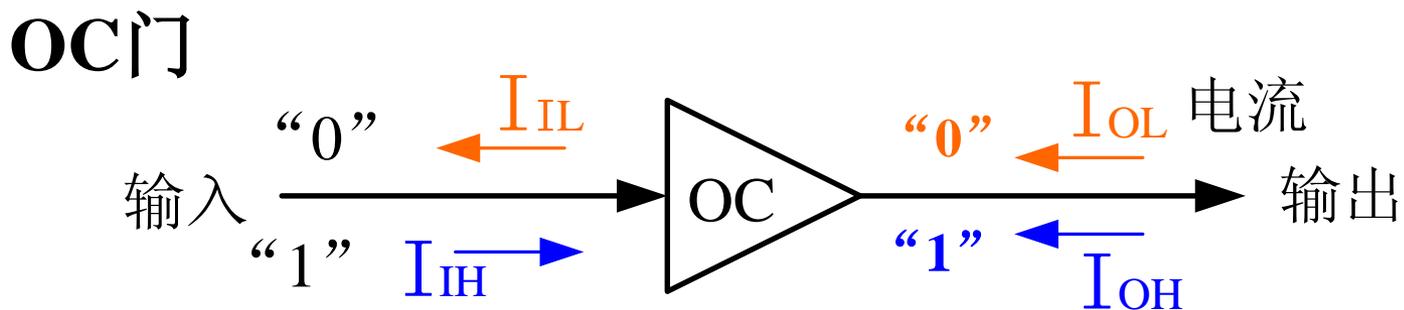
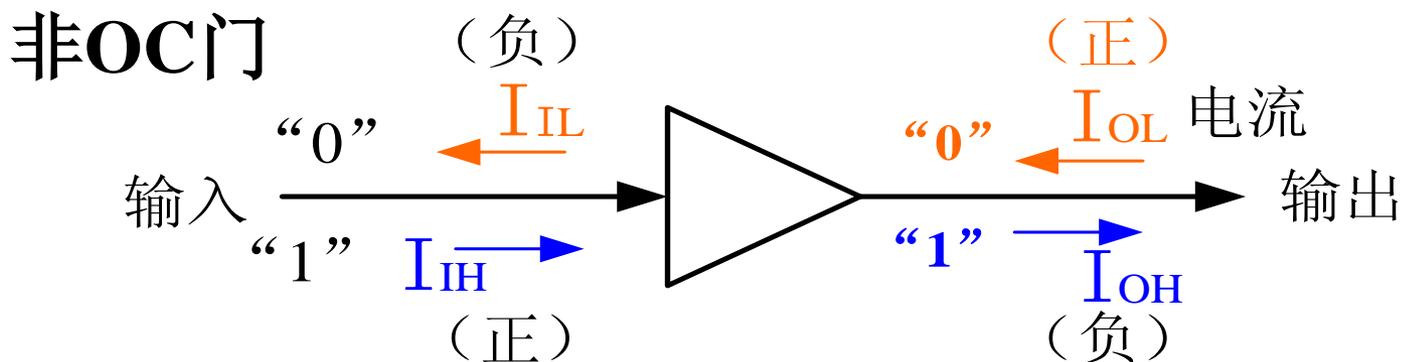


4.4 总线的驱动与控制

一、总线竞争与负载

2. 总线的负载

① 直流负载:

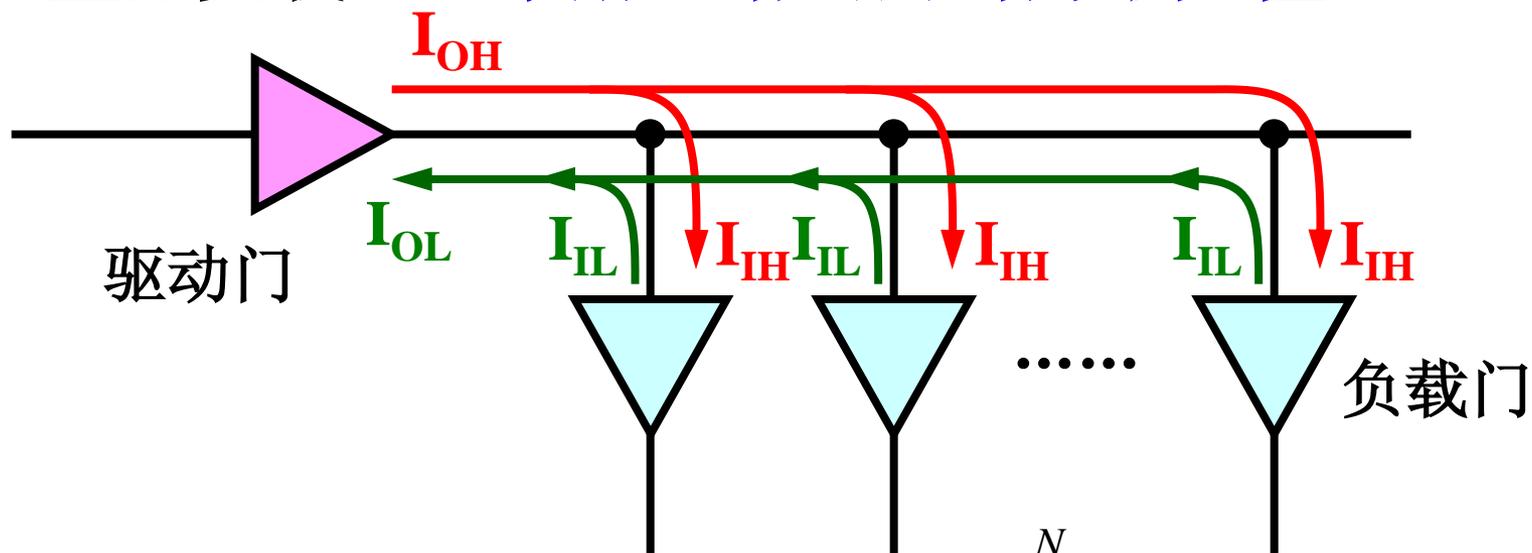


4.4 总线的驱动与控制

一、总线竞争与负载

2. 总线的负载

① 直流负载：（手册上给出的均为最大值）



输出高电平时，驱动门的 $I_{OH} \geq \sum_{i=1}^N I_{IH_i}$

输出低电平时，驱动门的 $I_{OL} \geq \sum_{i=1}^N I_{IL_i}$

4.4 总线的驱动与控制

一、总线竞争与负载

2. 总线的负载

① 直流负载

	74LSxx (TTL)	74HCxx (CMOS)
I_{IH}/I_{IL}	0.02 / 0.4 mA	1 / 1 μ A
I_{OH}/I_{OL}	0.4 / 8 mA	4 / 4 mA
扇出数	20	4000

扇出数：驱动同类门的个数。

目前常用的74系列器件有关参数（来源于TI公司器件手册）

前缀	说明	工作电压	工艺	典型传输速率	最大驱动电流		备注
					$-I_{IL}/I_{IH}$	$-I_{OH}/I_{OL}$	
SN74AHC	先进的高速CMOS逻辑系列	+2~+5.5v	CMOS	8.5ns		-8/8mA	与高速CMOS器件完全兼容
SN74AHCT	先进的高速CMOS逻辑系列	+5v	CMOS	8.5ns	-2.5/2.5uA	-8/8mA	输入与TTL电平兼容
SN74HC	高速CMOS逻辑系列	+2~+6v	CMOS	25ns	-1/1uA	-8/8mA	
SN74HCT	高速CMOS逻辑系列	+5v	CMOS	25ns	-1/1uA	-8/8mA	输入与TTL电平兼容
SN74ACT	先进的CMOS逻辑系列	+5v	CMOS	10ns		-24mA/24mA	输入与TTL电平兼容
SN74F	高速逻辑系列	+5v	双极型	6.5ns	-0.65mA/70uA	-24mA/24mA	与TTL器件完全兼容
SN74ALS	先进的低功耗系列	+5v	双极型	10ns		-15/24mA	与TTL器件完全兼容



74系列器件TTL与CMOS工艺各参数之比较

	TTL			CMOS	
	74	74LS	74ALS	74HC	74HCT
$I_{IH}(\text{max}) / I_{IL}(\text{max})$	0.04/1.6mA	0.02/0.4mA	0.02/0.1mA	1/1uA	1/1uA
$I_{OH}(\text{max}) / I_{OL}(\text{max})$	0.4/16mA	0.4/8mA	0.4/8mA	4/4mA	4/4mA
$V_{IH}(\text{min}) / V_{IL}(\text{max})$	2/0.8v	2/0.8v	2/0.8v	3.5/1v	2/0.8v
$V_{OH}(\text{min}) / V_{OL}(\text{max})$	2.4/0.4v	2.7/0.5v	2.7/0.4v	4.9/0.1v	4.9/0.1v
电源电压Vcc	4.75~5.25v	4.75/5.25v	4.75~5.25v	2~6v	2~6v
平均传输延迟tpd	9.5ns	8ns	2.5ns	10ns	13ns
扇出数 N_O	10	20		** 4000	** 4000
功耗Pd (mW)	10	4	2	0.8	0.5

4.4 总线的驱动与控制

一、总线竞争与负载

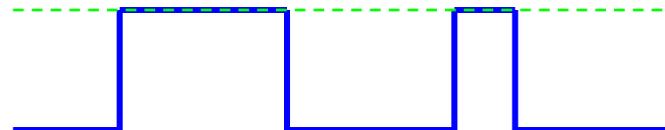
2. 总线的负载

② 交流负载

对MOS电路, I_{IL} 、 I_{IH} 很小 \rightarrow 主要考虑电容负载

要求输出门的
负载电容 C_P 满
足如下条件:

标准波形



负载门的输入电容

元件级总线、
内总线

$$C_P \geq \left(\sum_{i=1}^N C_{Li} + \text{电路板布线引入的电容} + \right.$$

外总线

传输线引入的电容 + \dots\dots)

4.4 总线的驱动与控制

一、总线竞争与负载

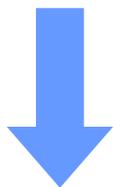
2. 总线的负载

② 交流负载

MOS电路每引脚的输入电容约为10pf



不推荐一个驱动门直接连接10个以上的MOS负载



负载多 → 加驱动器

4.4 总线的驱动与控制

一、总线竞争与负载

【例】 某门电路

$$\left. \begin{array}{l} I_{IH} = 0.1\text{mA}, I_{IL} = 0.2\text{mA}, C_{in} = 5\text{pF} \\ I_{OH} = 16\text{mA}, I_{OL} = 22\text{mA}, C_P = 250\text{pF} \end{array} \right\} \begin{array}{l} \text{驱动自己, 可驱} \\ \text{动多少个门?} \end{array}$$

① 直流负载: 高电平时 $16\text{mA} / 0.1\text{mA} = 160$ 个
低电平时 $22\text{mA} / 0.2\text{mA} = 110$ 个

② 交流负载: $250\text{pF} / 5\text{pF} = 50$ 个

110个

50个

理想情况

4.4 总线的驱动与控制

二、总线驱动设计

克服总线负载效应（直流负载、交流负载）的办法是用驱动器和缓冲器。

对驱动器/缓冲器的要求：

- 扇出能力大
- 引入延时可忽略
- 有较高的噪声容限

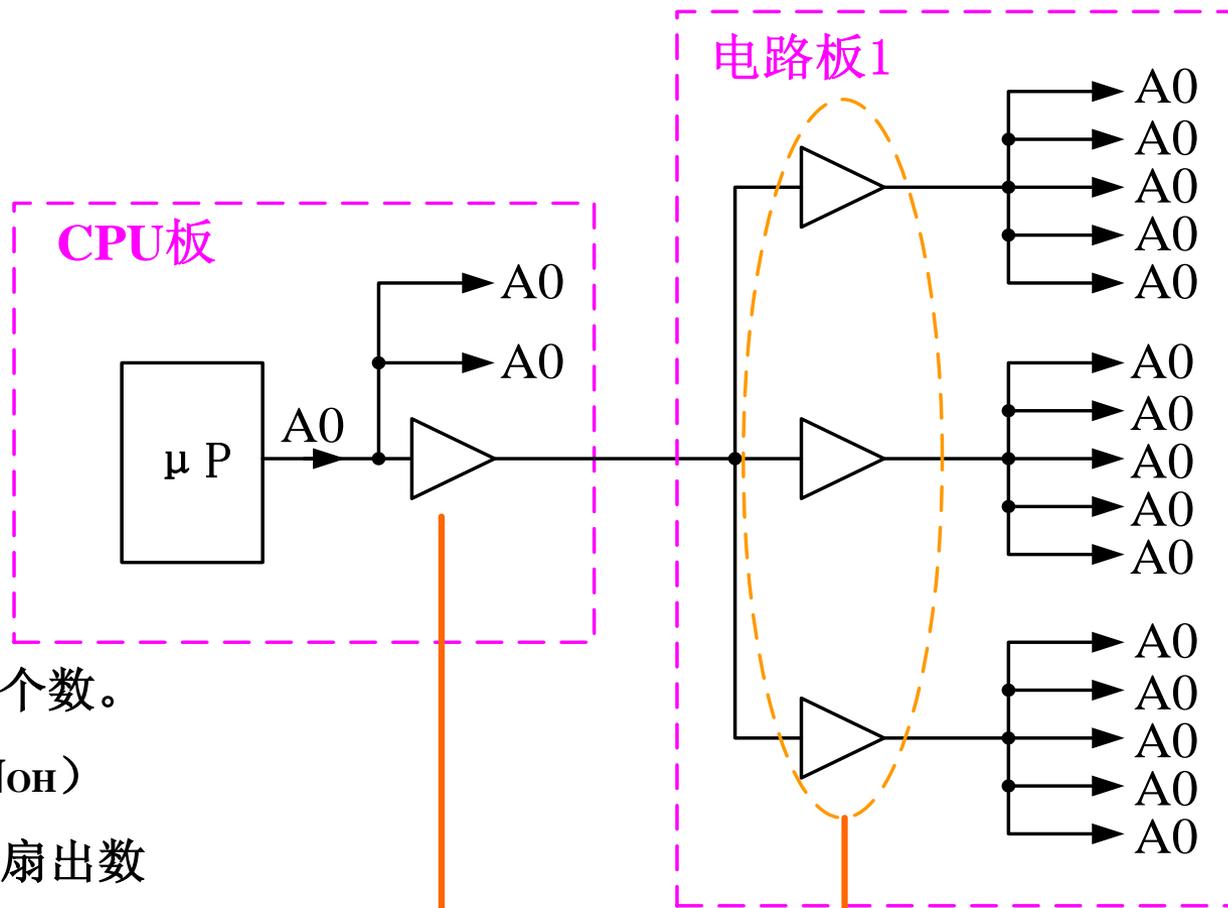
扇出能力：驱动同类门的个数。

$$\text{扇出能力} = \text{Min} (N_{OL}, N_{OH})$$

N_{OL} —— 低电平输出时的扇出数

N_{OH} —— 高电平输出时的扇出数

噪声容限：输出正确的情况下，输入端允许的最大噪声水平。



驱动器：
增加驱动能力

缓冲器：
减轻负载

（一般为同一种器件）

4.4 总线的驱动与控制

二、总线驱动设计

1. 几种常用的芯片

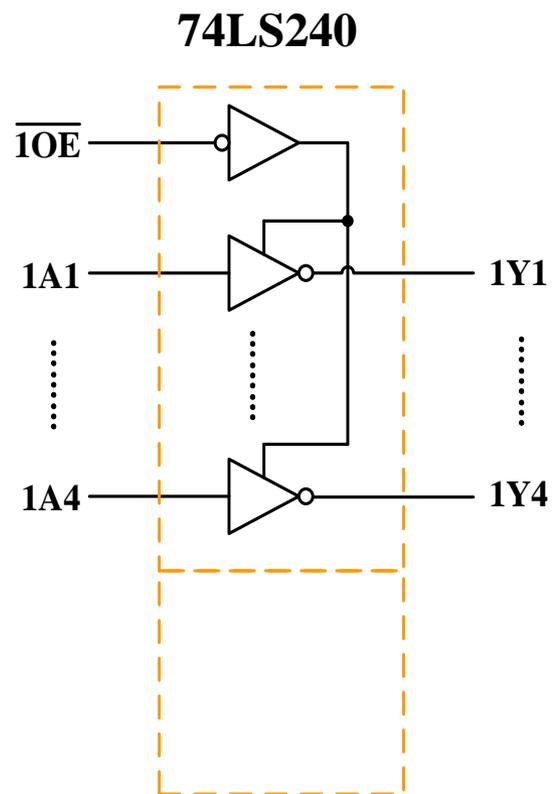
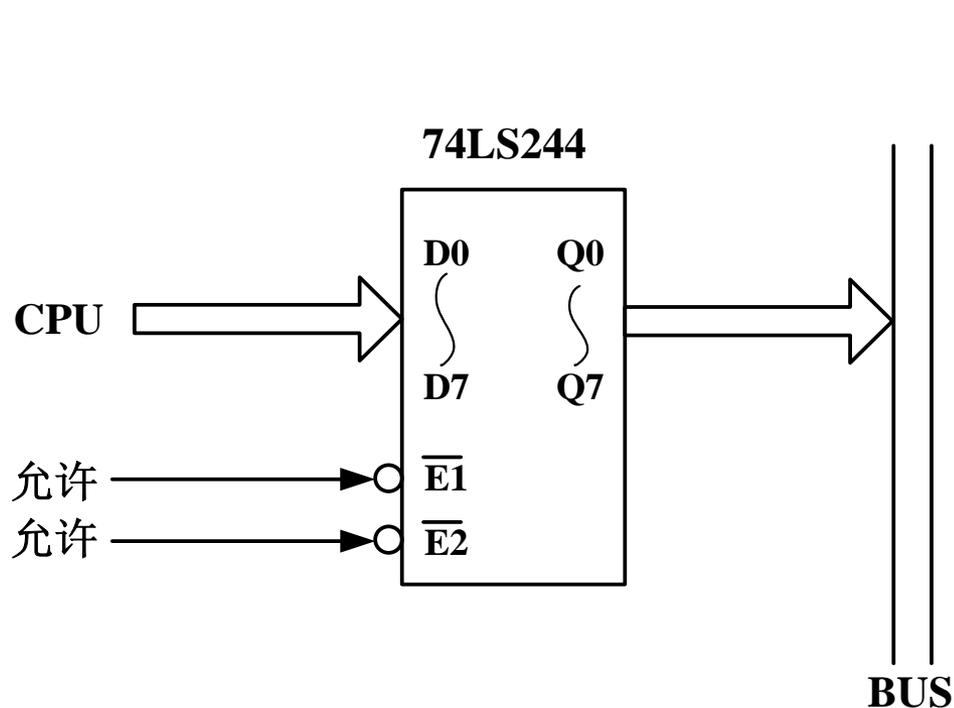
- ① 单向驱动器（三态输出）
- ② 双向驱动器（三态输出）
- ③ 锁存器（三态输出）

4.4 总线的驱动与控制

二、总线驱动设计

1. 几种常用的芯片

① 单向驱动器（三态输出）



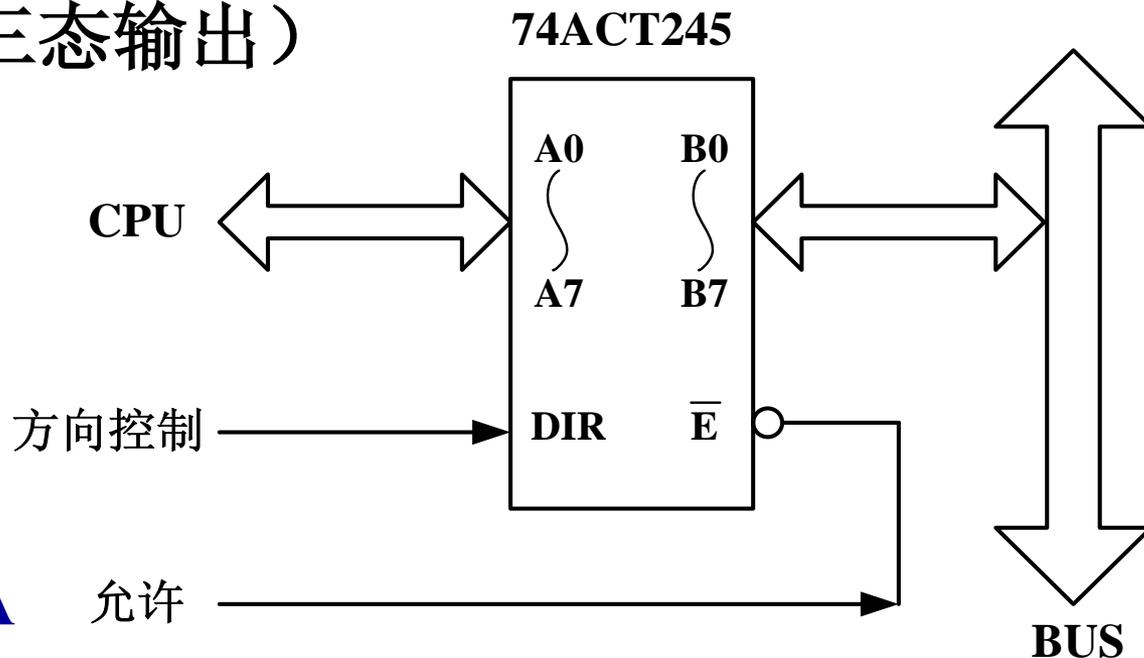
4.4 总线的驱动与控制

二、总线驱动设计

1. 几种常用的芯片

② 双向驱动器（三态输出）

用于DB，
如74LS245、
74ACT245



- \overline{E} 为“0”时，
DIR=“0”， $B \rightarrow A$ 允许
DIR=“1”， $A \rightarrow B$
- \overline{E} 为“1”时，A、B均为高阻，实现CPU与总线隔离。

74LS245: $I_{OH}=15\text{mA}$, $I_{OL}=24\text{mA}$, $I_{IH}=0.1\text{mA}$, $I_{IL}=0.2\text{mA}$

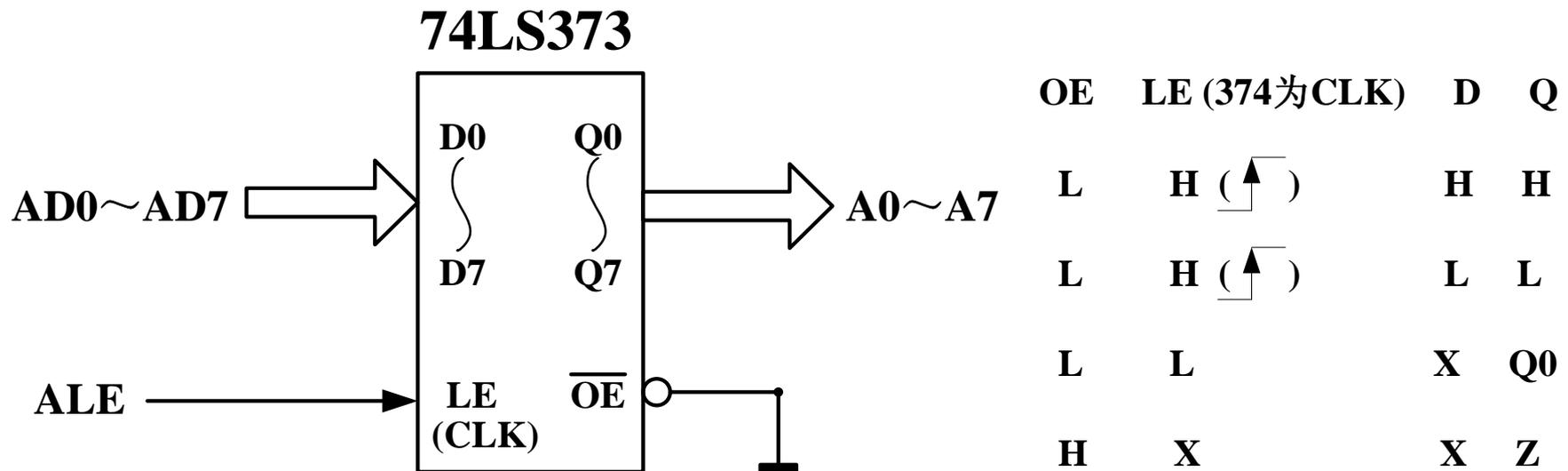
74ACT245: $I_{OH}=24\text{mA}$, $I_{OL}=24\text{mA}$, $I_{IH}=1\mu\text{A}$, $I_{IL}=1\mu\text{A}$

4.4 总线的驱动与控制

二、总线驱动设计

1. 几种常用的芯片

③ 锁存器（三态输出）



4.4 总线的驱动与控制 二、总线驱动设计

2. 系统总线的驱动与控制（以 PC/XT 为例）

- A0~A7, A12~A19: 74LS573, ALE 锁存
 $\overline{\text{AEN}}$ 输出允许
- A8~A11: 74LS245
 $\overline{\text{AEN}}$ 输出允许
- 数据总线: 74LS245, DT/ $\overline{\text{R}}$ 方向控制;
DEN 输出允许

4.4 总线的驱动与控制

二、总线驱动设计

3. 扩展插件板（卡）的板内驱动

- 利用板内驱动将插件板的负载与系统总线相隔离
→ 减少插件板对系统的影响
(地址总线、写插件板时的数据总线: CPU → 插件板)
- 数据总线: 读插件板时, CPU ← 插件板
 - CPU读插件板 → 负载能力
 - 避免**总线竞争**的原则:
只有CPU读本插件板时才允许通向系统总线的三态门导通, 其它 → 高阻。

4.4 总线的驱动与控制

二、总线驱动设计

3. 扩展插件板（卡）的板内驱动

教材上的例子

【例4.1】 **接口**板板内数据总线的驱动与控制

【例4.2】 **接口**板板内数据总线的驱动与控制

【例4.3】 **内存**板板内数据总线的驱动与控制

【例4.4】 对于板内既有**内存**又有**接口**的板卡，双向数据总线的驱动与控制

基本
门电路
译码

74LS138
译码

74LS154
译码

基本门电路+74LS138译码

【例1】 某内存板，板内地址为A0000H~FFFFFFH，试画出板内双向数据总线驱动与控制电路。

① 防止总线竞争原则：

只有当CPU读本电路板内的内存地址时，才允许双向驱动器指向系统总线的三态门是导通的。

【例1】 某内存板，板内地址为A0000H~FFFFFFH，试画出板内双向数据总线驱动与控制电路。

② 对板内内存地址进行分析，找出地址特征。
A0000H~FFFFFFH

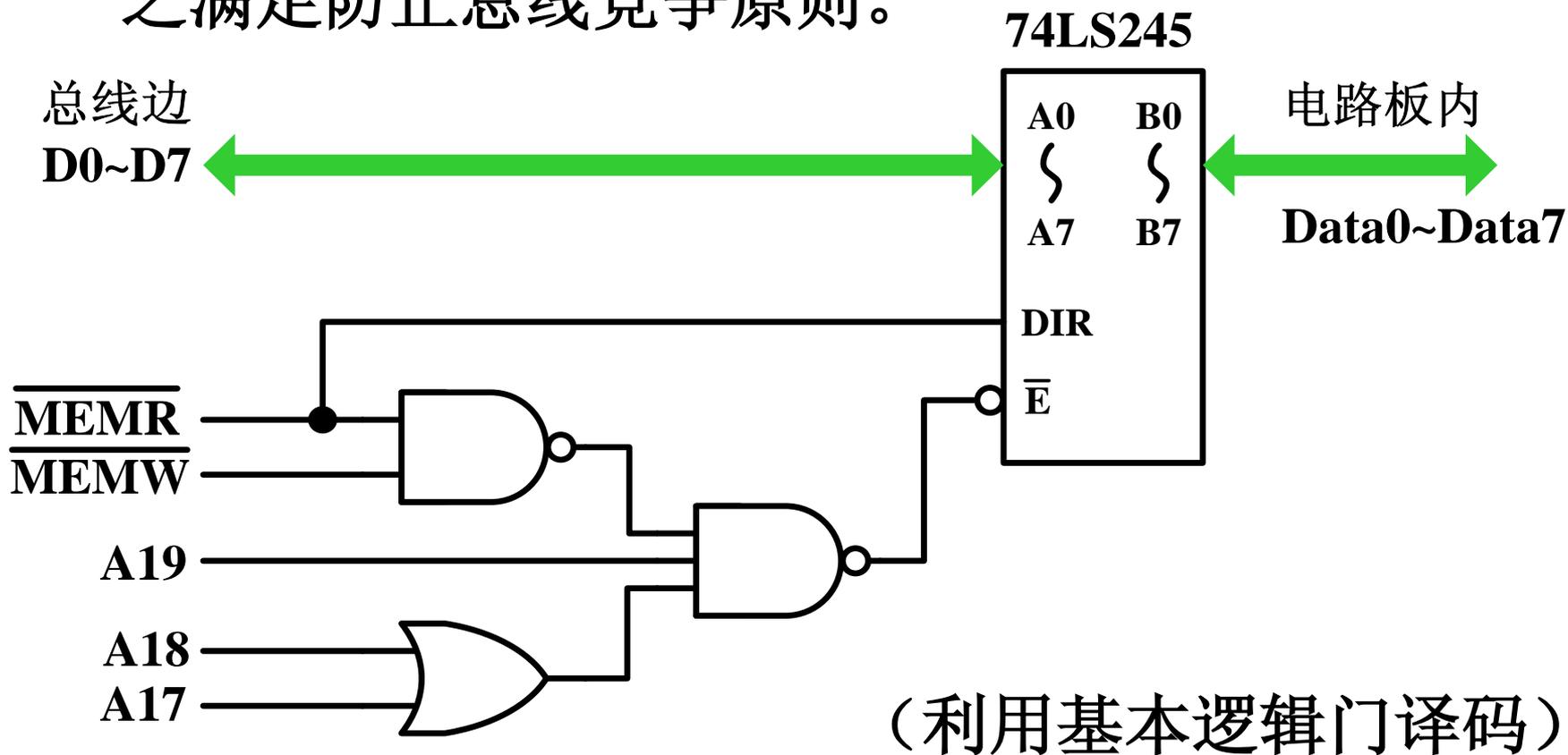
A19	A18	A17	A16	A15	A14	A0
1	0	1	0	x	x	x
1	0	1	1	x	x	x
1	1	0	0	x	x	x
1	1	0	1	x	x	x
1	1	1	0	x	x	x
1	1	1	1	x	x	x

↑
“1”

非“00”（至少有一位为“1”）

【例1】某内存板，板内地址为A0000H~FFFFFFH，试画出板内双向数据总线驱动与控制电路。

③ 设计译码电路，用来控制双向数据总线驱动器，使之满足防止总线竞争原则。

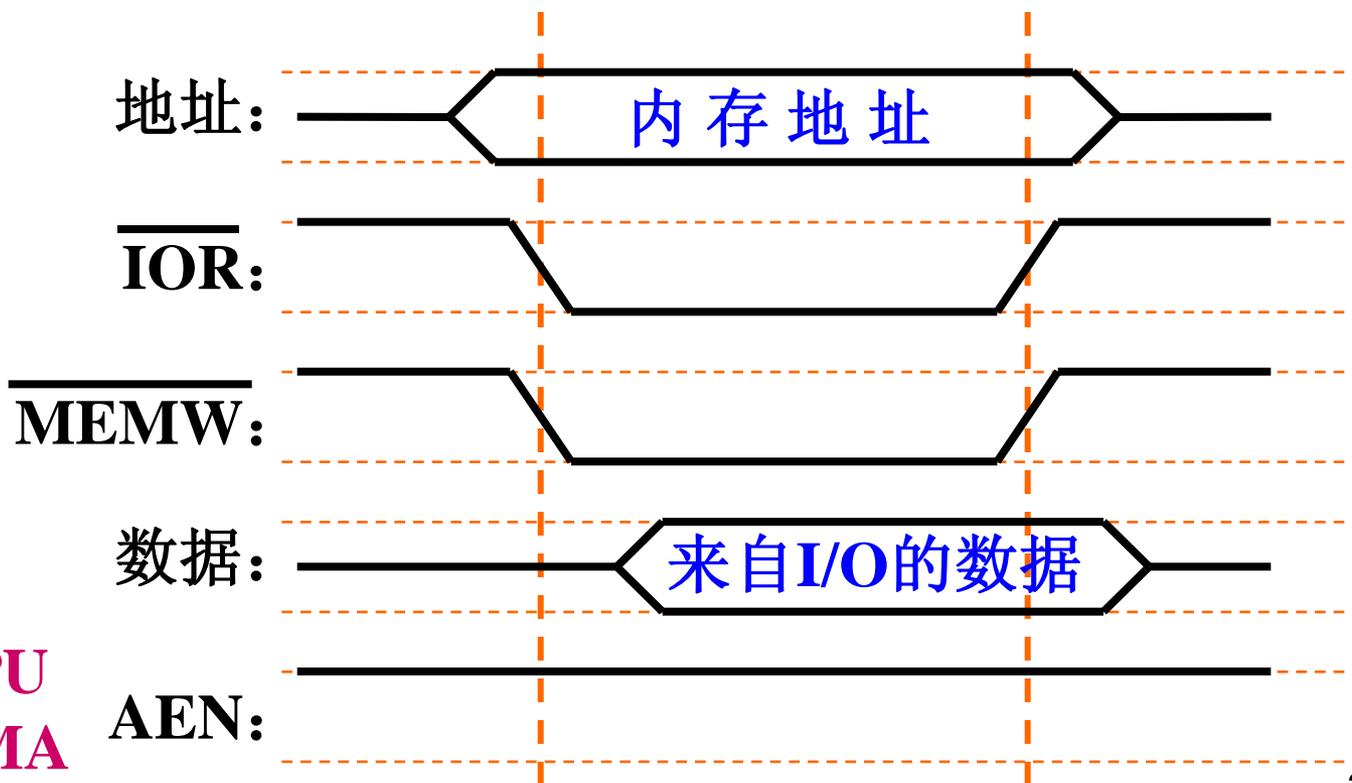


【例2】 接口板板内接口地址为5000H~7FFFH，试画出板内双向数据总线驱动与控制电路。

① 防止总线竞争原则：

只有当CPU读本电路板内的内存地址时，才允许双向驱动器指向系统总线的三态门是导通的。

DMA传输
时序：
I/O→内存



P139、P285

AEN=0: CPU

AEN=1: DMA

【例2】 接口板板内接口地址为**5000H~7FFFH**，试画出板内双向数据总线驱动与控制电路。

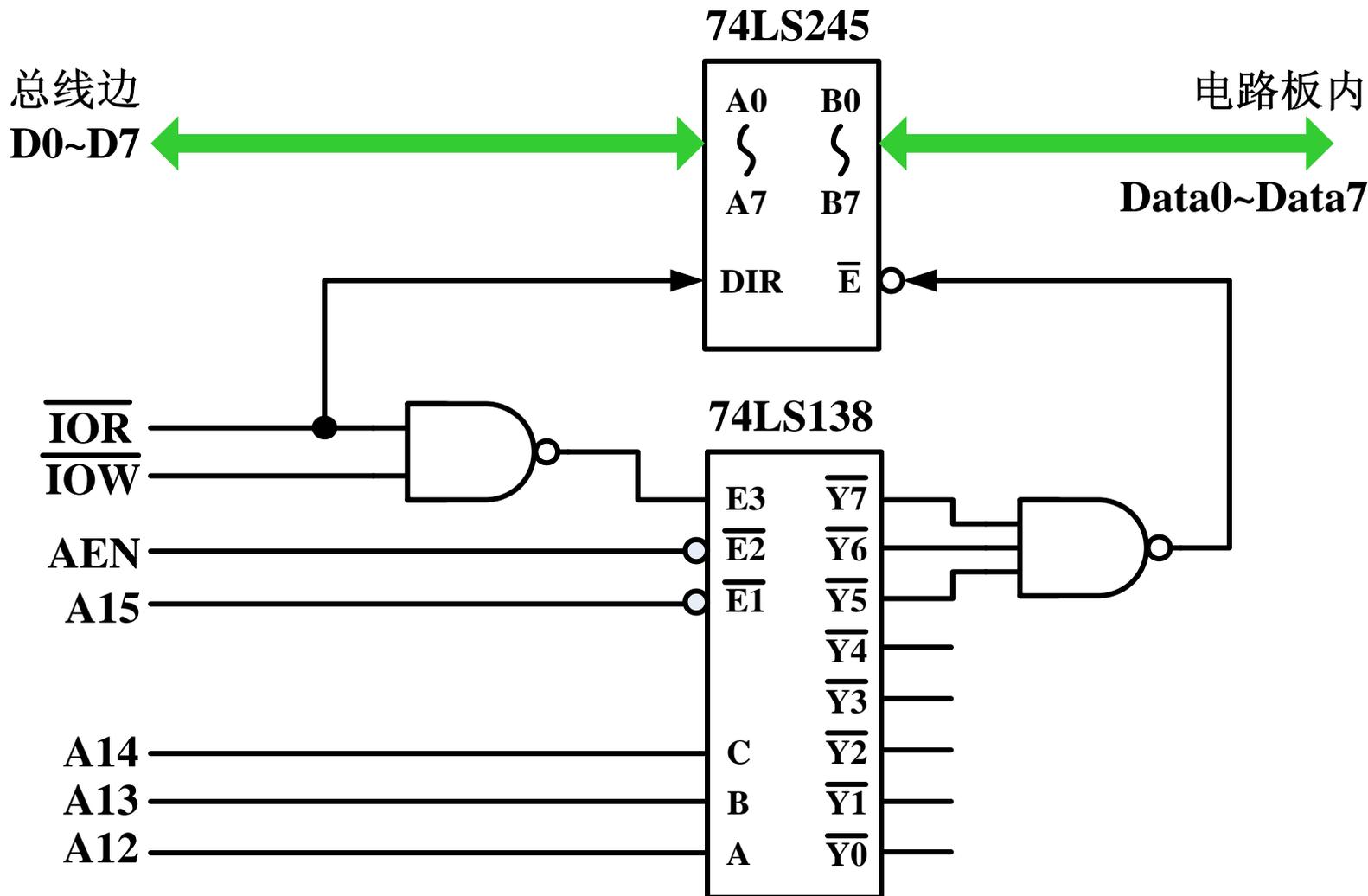
② 地址分析：

A15	A14	A13	A12	A11	A10	A0
0	1	0	1	x	x	x
0	1	1	0	x	x	x
0	1	1	1	x	x	x

③ 根据地址特征，画控制电路。

(利用 3-8 译码器译码)

【例2】 接口板板内接口地址为5000H~7FFFH，试画出板内双向数据总线驱动与控制电路。



【例3】某微型机电路板上内存C0000H~EFFFFH和接口A000H~BFFFH，试画出该电路板板内双向数据总线驱动与控制电路。（P177，例4.4）

① 防止总线竞争原则：

只有当CPU读板内内存或读板内接口时，才允许双向数据驱动器指向系统总线的三态门是导通的。

【例3】某微型机电路板上内存C0000H~EFFFFH和接口A000H~BFFFFH，试画出该电路板板内双向数据总线驱动与控制电路。（P177，例4.4）

② 地址分析（内存地址、接口地址）

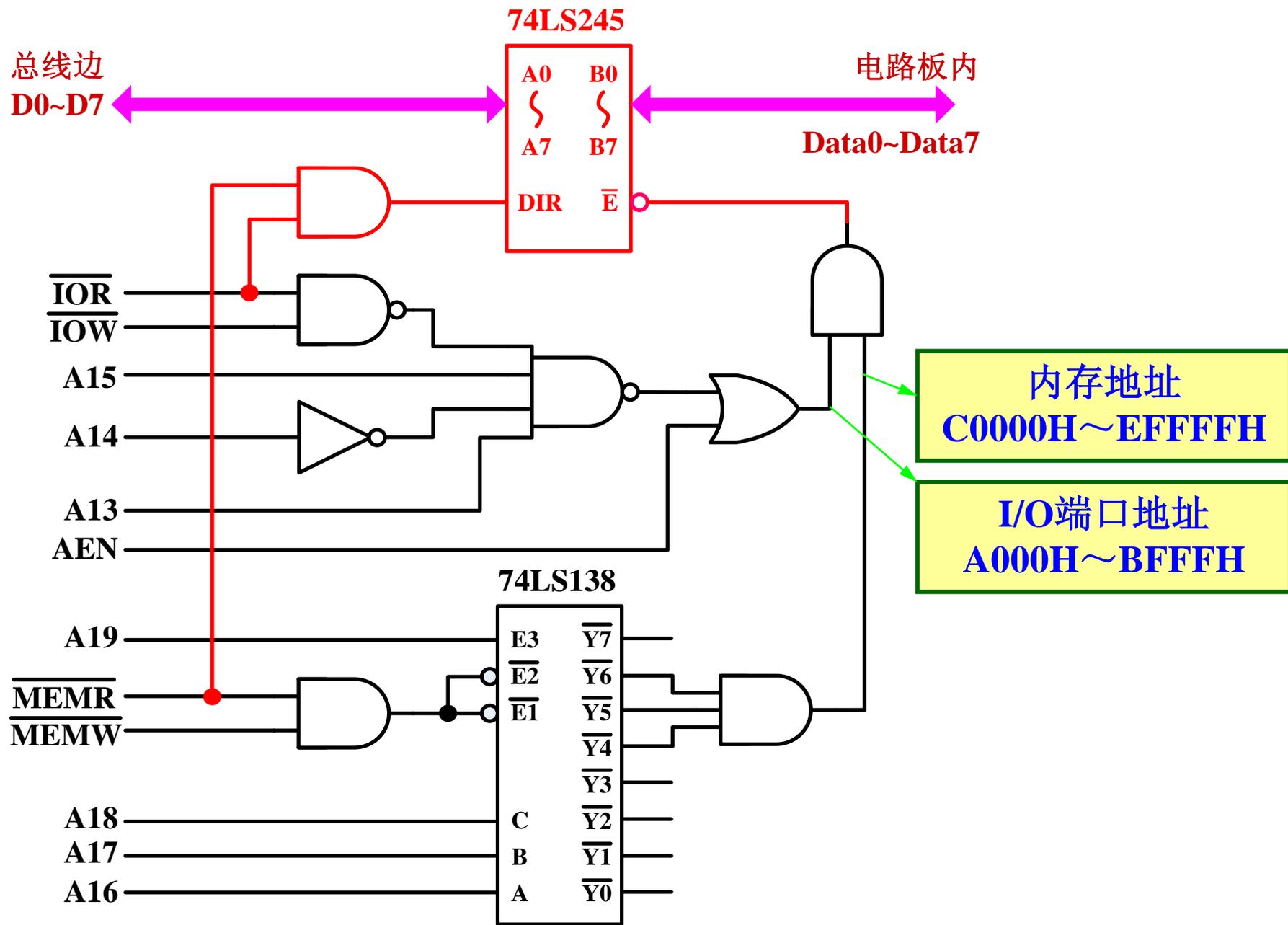
A19	A18	A17	A16	A15	...	A0
1	1	0	0	x	...	x
1	1	0	1	x	...	x
1	1	1	0	x	...	x



③ 画驱动与控制电路

A15	A14	A13	A12	A11	...	A0
1	0	1	0	x	...	x
1	0	1	1	x	...	x

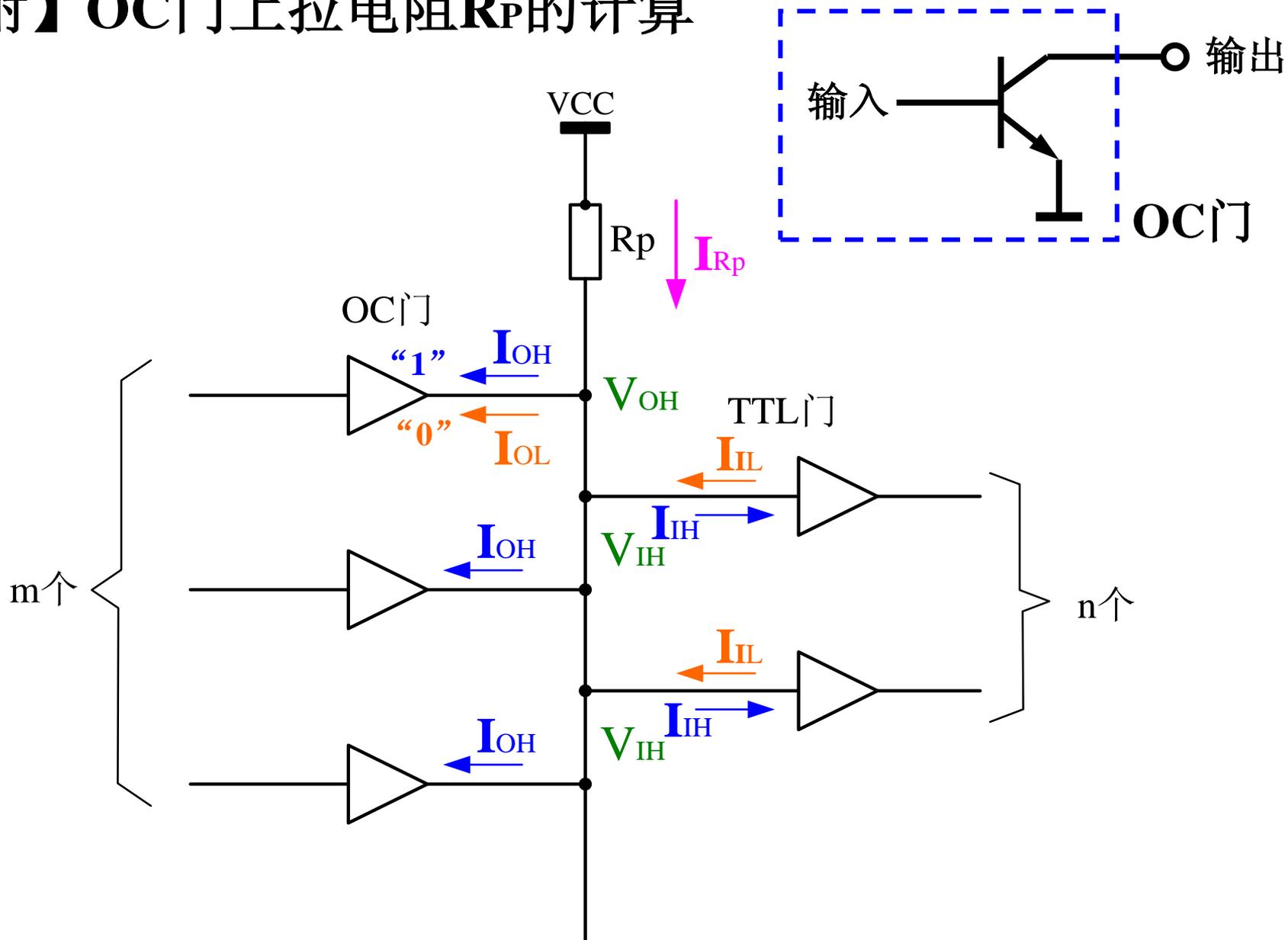
“101”



几种可供选择的译码方式:

- ① 基本门电路
- ② 译码器, 如 74LS138
- ③ 译码 PROM
- ④ CPLD、FPGA

【附】OC门上拉电阻 R_p 的计算

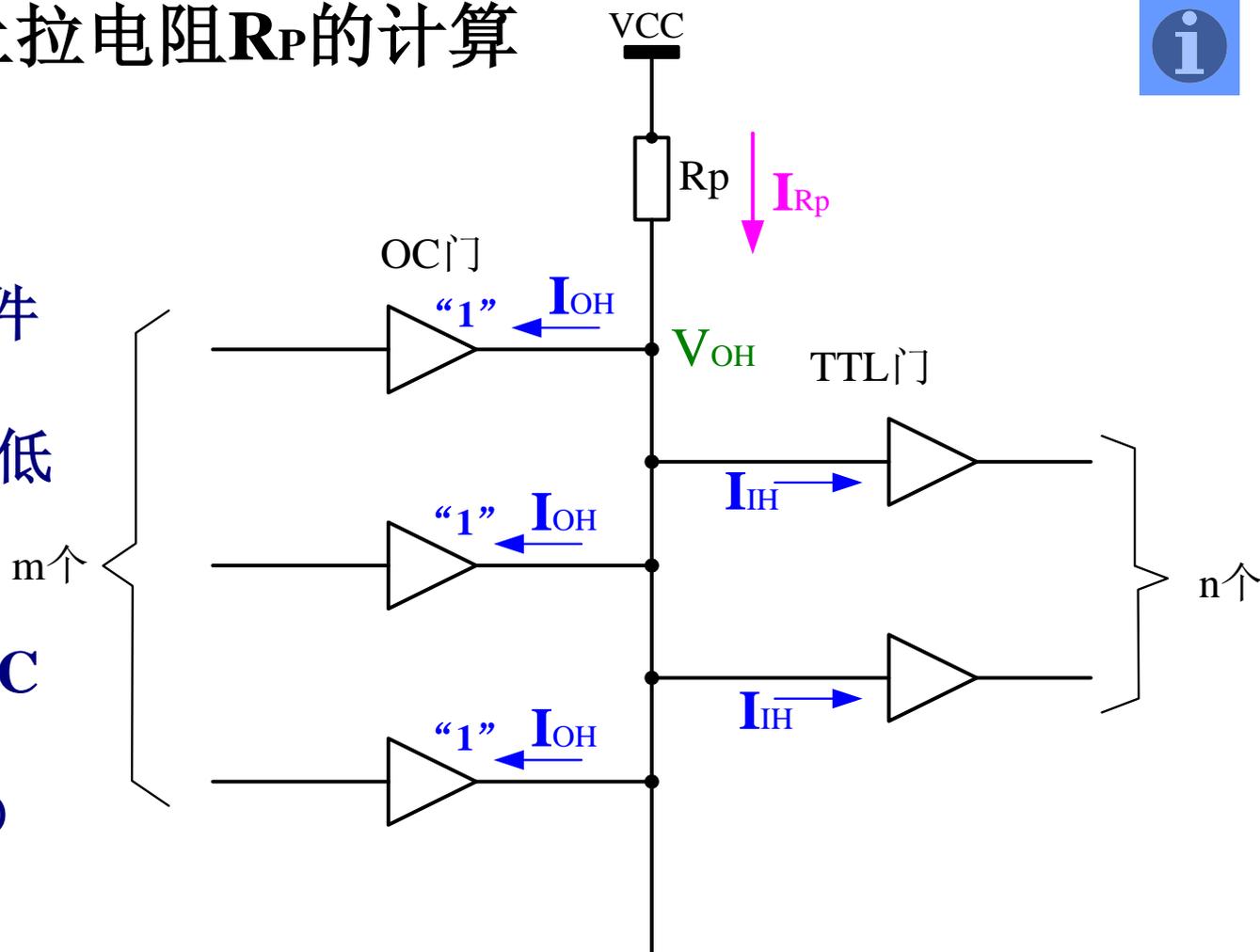


【附】OC门上拉电阻 R_p 的计算



当所有OC门器件均输出为高时，必须保证 V_{OH} 不低于2.7V。

（此时，流入OC门的电流由m个OC门共同分担）



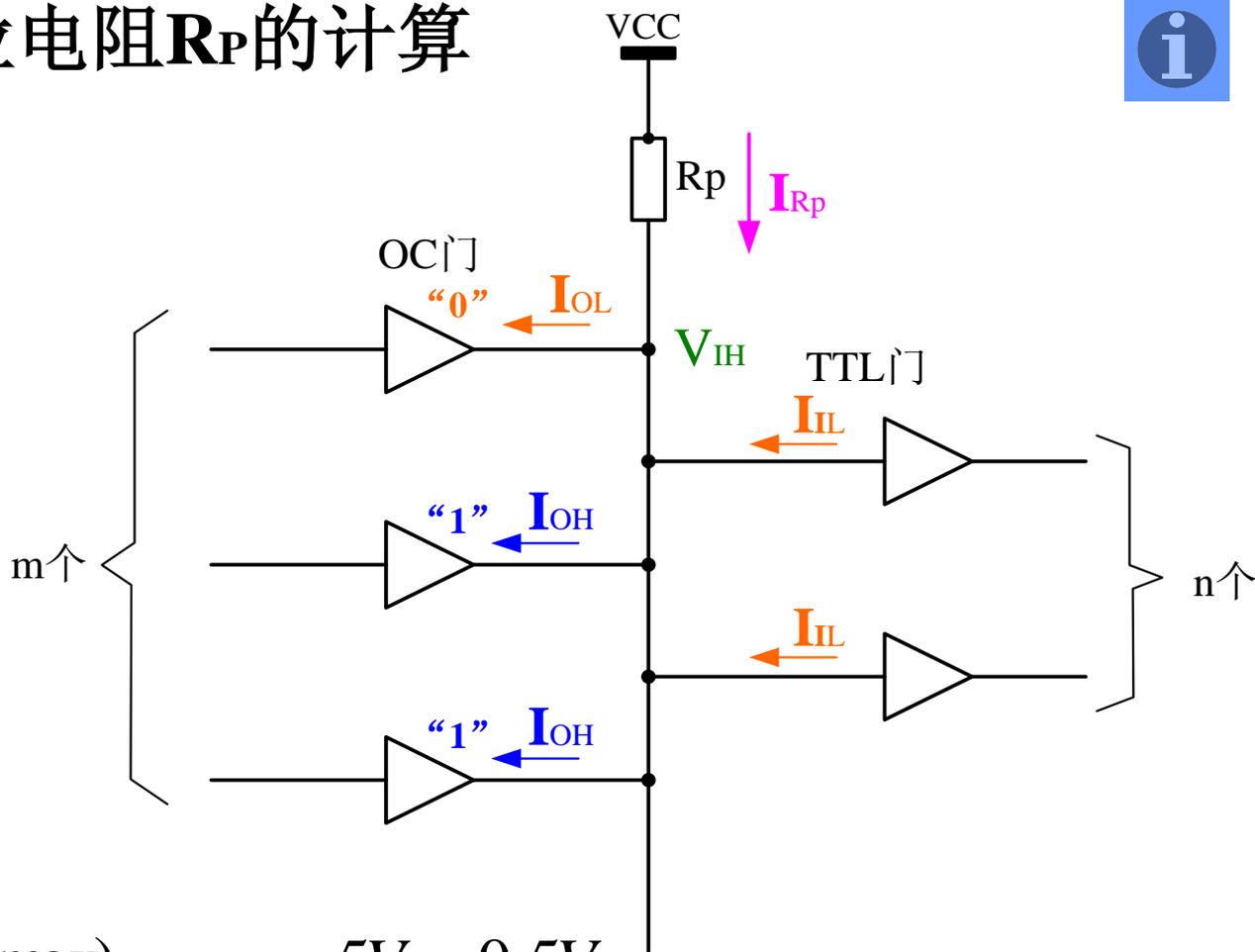
$$R_{\max} = \frac{V_{CC} - V_{OH}(\min)}{m \times I_{OH} + n \times I_{IH}} = \frac{5V - 2.7V}{3 \times 0.4mA + 2 \times 0.02mA} = 1.8k$$

【附】OC门上拉电阻 R_P 的计算



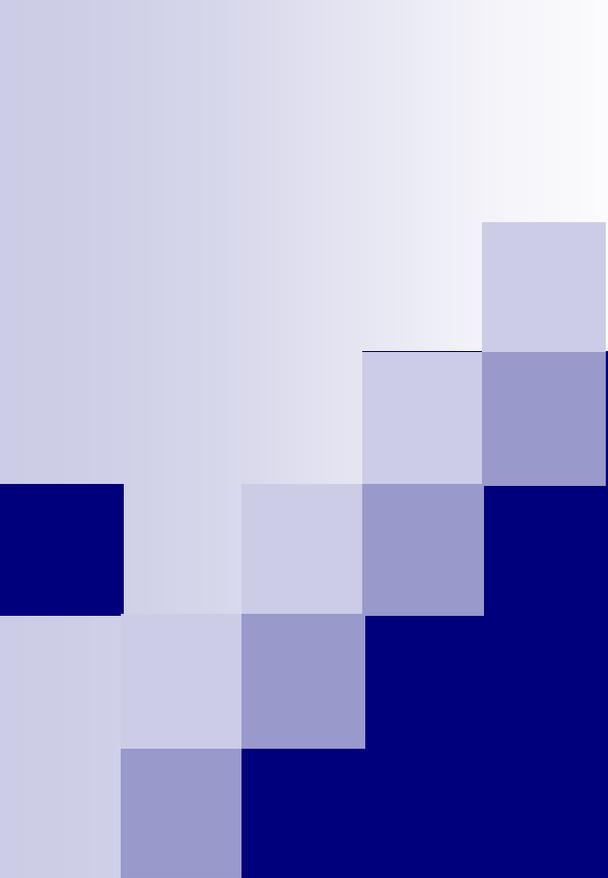
当只有一个OC门器件输出为低时，必须保证 V_{OL} 不高于0.5V

（此时，输出为低的OC门必须承受电路中的全部电流，其他几个OC门中无电流， R_P 限流）



$$R_{\min} = \frac{V_{CC} - V_{OL}(\max)}{I_{OL}(\max) - n \times I_{IL}} = \frac{5V - 0.5V}{8mA - 2 \times 0.4mA} = 625$$

所以电阻选取应在625~1.8K之间。 → 电容 → 开关速度



微机原理及接口技术

第4章 总线

4.5 总线的工程设计问题

4.5 总线的工程设计问题

设计总线要考虑的问题：

- ❁ 不发生总线竞争
- ❁ 总线负载
- ❄ 交叉串扰
- ❄ 延时
- ❄ 反射

4.5 总线的工程设计问题

一、总线交叉串扰

1. 产生原因:

① 总线间存在线间的寄生**电容**。

高频脉冲信号 → 从一条总线耦合到另一条总线

② 信号频率高 → 总线本身可看成一个小**电感**:

信号电流 → 产生磁场 → 耦合到另一条线的电感上 → 产生干扰电压

2. 如何减少串扰

主要考虑电容的影响 → 如何减少总线间的**寄生电容**

4.5 总线的工程设计问题

一、总线交叉串扰

2. 如何减少串扰

- ① 减少总线**长度** → 分布电容↓ → 串扰↓
- ② 增加总线间的**距离**；强电、弱电信号分开布设
- ③ 降低总线上的**负载**
- ④ 降低总线信号的工作**频率**
- ⑤ 两条信号线间加上一条**地线** → 将线间耦合电容转化为对地电容 → 增加了交流负载 
- ⑥ 减少总线的**平行**走向
- ⑦ **圆滑**脉冲信号的边缘（满足正常工作的情况下）
→ **DS3662**：总线优化器 
- ⑧ 采用**双绞线** 
→ 线与线产生的磁场相互/部分地抵消

解决办法:

- ① 尽量减少**总线长度**。
对时间要求严格的插件板尽量靠近主板或CPU。
- ② 选用延时小、输入输出电容小、驱动能力强的**元器件**。

信号沿总线传播到达总线终端时，若总线**终端负载阻抗**与**总线特性阻抗**不匹配，信号的一部分会被反射；反射回来的信号到达信号源时，若**源的内部阻抗**与**总线的特性阻抗**不匹配，又会有一部分被反射回去，此过程有时需要多次才能在总线上建立所需的波形。

反射使波形变坏、延时增加。

克服方法:

1. 在满足系统功能的前提下, 降低传输信号的频率。
频率 \uparrow \rightarrow 反射波干扰 \uparrow
2. 尽量使信号源内阻、总线的特性阻抗、负载阻抗三者相匹配: 阻抗匹配 \rightarrow 合理配置传输线的阻抗

4.5 总线的工程设计问题

三、总线信号的反射

阻抗匹配:

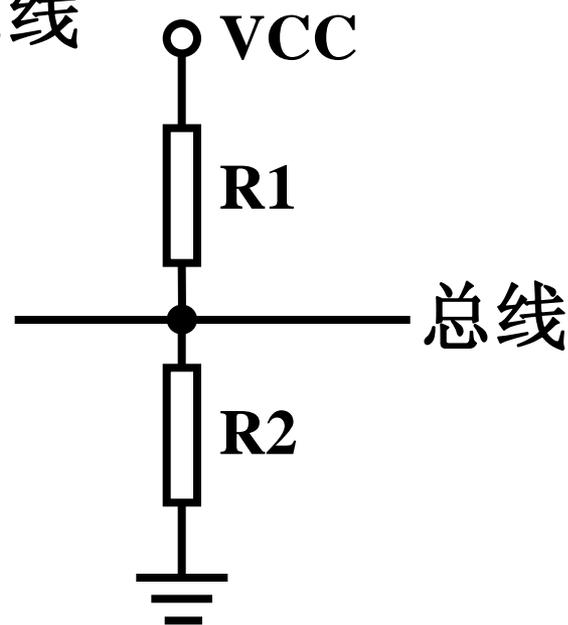
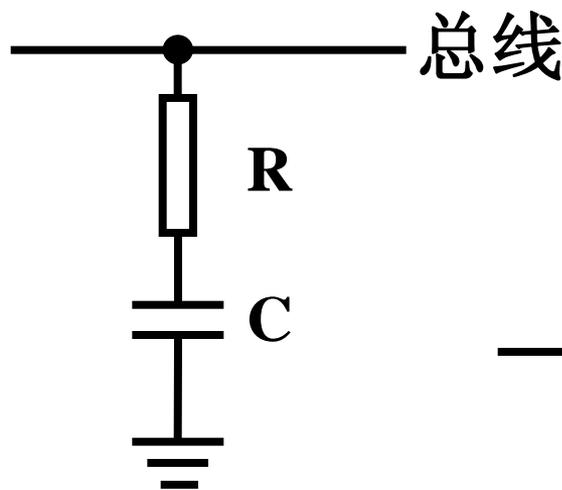
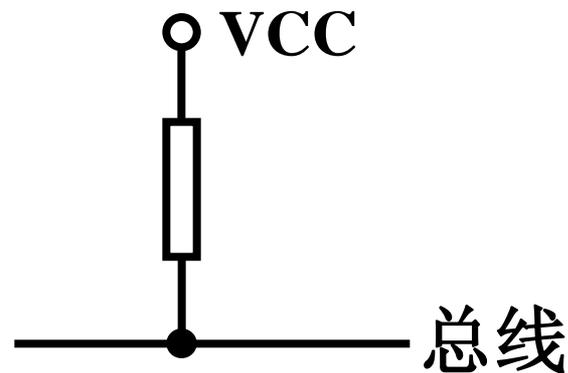
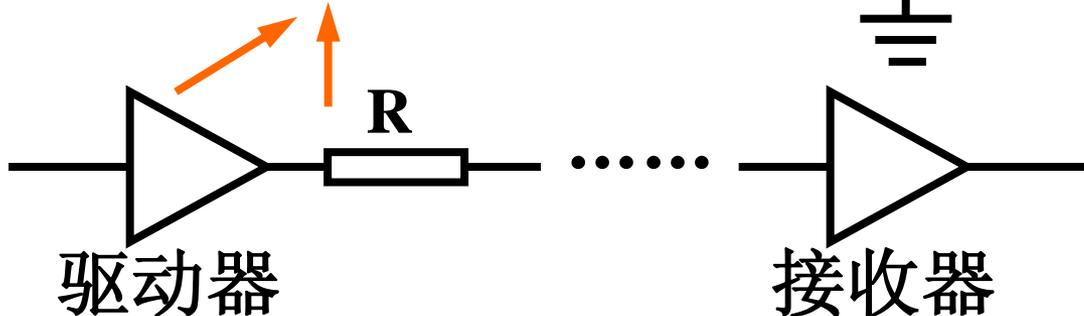


末端匹配

- 加上拉电阻
- 加电阻分压网络
- 加RC匹配网络

源端匹配

增大信号源内阻
→ 接近总线特性阻抗



4.5 总线的工程设计问题

三、总线信号的反射

克服方法:

3. 限制总线长度

数字电路动作时间 t_{pd}	最大匹配线长度 l_{max}
50 ns	2.5 m
30 ns	1.5 m
25 ns	1.25 m
20 ns	1 m
10 ns	50 cm
5 ns	25 cm

当传输线超过 l_{max} 时，应采取抑制反射波干扰措施。

作业:

Page 186 习题 4.16

习题 4.20

