

基于 Pareto 支配的 MPRM 电路面积与可靠性优化

卜登立^{1,2,3}, 江建慧²

(1. 井冈山大学电子与信息工程学院, 江西吉安 343009; 2. 同济大学软件学院, 上海 201804;
3. 流域生态与地理环境监测国家测绘地理信息局重点实验室, 江西吉安 343009)

摘要: 针对 MPRM (Mixed-Polarity Reed-Muller) 电路的面积与可靠性折中优化问题, 在逻辑级建立面积估算模型以及电路 SER (Soft Error Rate) 解析评价模型, 并采用 Pareto 支配概念对 MPRM 电路进行面积与可靠性多目标优化. 通过对 MPRM 电路的 XOR 部分进行树形异或门分解, 并考虑多个输出之间异或门的共享, 建立面积估算模型. 采用信号概率和故障传播方法, 并考虑电路中的逻辑屏蔽因素以及信号相关性, 建立电路 SER 解析评价模型. 根据所提出的面积和 SER 评价模型, 采用极性向量的格雷码序穷举搜索 MPRM 的极性空间得到 MPRM 电路面积与可靠性的 Pareto 最优解集, 并使用效率因子技术指标选取最终解. MCNC 基准电路的实验结果表明, 与面积最小 MPRM 电路相比, 所选取的 MPRM 电路可以在较小面积开销的前提下获得较高电路可靠性.

关键词: MPRM 电路; 可靠性优化; 面积优化; SER 解析评价模型; Pareto 支配; 多目标优化

中图分类号: TP331.2, TP391.72, TP202+.1 **文献标识码:** A **文章编号:** 0372-2112 (2016)11-2653-07

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.3969/j.issn.0372-2112.2016.11.013

Pareto Dominance Based Area and Reliability Optimization of MPRM Circuits

BU Deng-li^{1,2,3}, JIANG Jian-hui²

(1. School of Electronics and Information Engineering, Jinggangshan University, Ji'an, Jiangxi 343009, China;

2. School of Software Engineering, Tongji University, Shanghai 201804, China;

3. Key Laboratory of Watershed Ecology and Geographical Environment Monitoring NASG, Ji'an, Jiangxi 343009, China)

Abstract: Area and SER (Soft Error Rate) evaluation models at logic level are proposed for area and reliability optimization of MPRM (Mixed-Polarity Reed-Muller) circuits, the trade-off between area and reliability is achieved by using Pareto dominance based multiobjective optimization. The area is computed by decomposing the XOR part of MPRM circuit as trees of XOR gates and counting in XOR gate sharing among multiple outputs. The SER is computed by using signal probability and fault propagation techniques, and taking into account the logic masking effects and correlations among signals in the circuit network. Based on the proposed area and SER evaluation models, the Pareto optimal set for area and SER of MPRM circuit is obtained by using polarity optimization method with Gray code based exhaustive search strategy, the final solution is selected by using a metric called efficiency factor. Experimental results by using a set of benchmark circuits from MCNC show that, in comparison with the MPRM circuits with minimized area, the selected MPRM circuits have improved reliability with less area overhead.

Key words: MPRM circuits; reliability optimization; area optimization; analytical SER evaluation model; Pareto dominance; multiobjective optimization

1 引言

随着集成电路技术和工艺的发展, 无论是传统的 CMOS 器件, 还是纳米器件, 其缺陷率均不可避免的会增加, 同时对瞬态故障 (Transient Fault, TF) 的敏感度也不

断增加^[1,2]. 因此, 电路可靠性问题成为一个不容忽视的问题, 需要在电路设计流程的各个阶段考虑可靠性约束.

RM (Reed-Muller) 逻辑是布尔函数基于 AND/XOR 的逻辑表示^[3], 与基于 AND/OR 的逻辑表示相比, 其电

收稿日期: 2015-05-05; 修回日期: 2015-10-28; 责任编辑: 蓝红杰

基金项目: 国家自然科学基金 (No. 61432017); 流域生态与地理环境监测国家测绘地理信息局重点实验室资助课题 (No. WE2016012); 吉安市科技局指导性科技计划 (吉市科计字 [2016]4-4)

路实现具有面积和速度优势,因此在算术电路、校验电路和通信电路等领域得到了较为广泛的应用^[4,5].近些年来, RM 电路的逻辑综合以及优化得到了较多关注.如文献[3]进行 MPRM (Mixed-Polarity RM) 电路的逻辑优化,文献[4]进行 FPRM (Fixed-Polarity RM) 电路的面积优化,文献[5]进行混合极性 RM 电路的面积优化,文献[6]对包含无关项的 FPRM 电路进行面积与功耗优化,文献[7]对 MPRM 电路进行面积与延时优化.尽管针对单固定故障和桥接故障模型, RM 电路可以实现具有通用测试集的确定可测性设计^[8],从而简化测试生成并提高测试速度,但可测性设计进行的是基于故障覆盖率的分析,考虑的是最坏情况,得到的是一个可靠性下限值.要准确分析电路的可靠性,需要采用概率分析方法.另外, RM 电路之所以具有良好的可测性,正是由于异或门没有输入控制值,即不能通过某个输入的信号值支配其输出的逻辑信号值,因此发生在异或门输入端的故障以及传播至其输入端的故障总是能够传播至其输出,这也导致基于 XOR 电路的信号可靠度相对较低^[9].因此更有必要在进行 RM 电路综合与优化时结合可靠性约束,从而在保持 RM 电路其他优势的同时,相对提高其信号可靠度.然而当前还缺乏这方面的研究工作.

为较好地实现 RM 电路面积与可靠性之间的折中,快速且相对准确的电路可靠性评价方法以及较为详尽的面积估算模型是非常必要的.另一方面,当前关于 RM 电路的面积与功耗、面积与延时等多目标优化问题往往采用聚合函数方法^[6,7].聚合函数方法具有一定的局限性,只有在多个目标的 Pareto 前沿(front)是凸函数时,其得到的解才是 Pareto 最优解^[10].因此,有必要研究适用于 RM 电路面积与可靠性多目标优化的方法,避免优化结果过于偏向某个目标.

本文根据建立的纳电子 MPRM 电路结构,先对电路中的 XOR 部分进行树形异或门分解,然后估算电路的面积;采用信号概率^[11]和故障传播方法,并考虑电路中的逻辑屏蔽因素以及信号相关性,针对单瞬时故障在逻辑级建立工艺无关的 MPRM 电路软错误率(Soft Error Rate, SER)解析评价模型.根据所提出的面积估算模型以及 SER 解析评价模型,采用 Pareto 支配概念,使用基于格雷码序的穷举搜索方法进行面积与可靠性多目标优化,得到 Pareto 前沿,实现面积和可靠性的折中优化,并通过实验进行了验证.

2 MPRM 逻辑表示和极性转换

对于一个 n 输入、 m 输出的多输出布尔函数,其极性值为 g 的 MPRM 可以表示为如式(1)所示的多项式形式^[5].

$$\mathbf{F}^g(x_{n-1}, \dots, x_0) = \bigoplus_{i=0}^{2^n-1} \mathbf{b}_i \pi_i \quad (1)$$

其中 $\mathbf{F}^g = [f_0^g, f_1^g, \dots, f_{m-1}^g]^T$, f_j^g 表示第 j 个输出,“ \oplus ”表示 XOR 运算; $\pi_i = \prod_{l=0}^{n-1} \hat{x}_l$ 为乘积项, \hat{x}_l 根据变量 x_l 的极性属性编码 $g_l \in \{0, 1, 2\}$ 以及系数索引 i 的第 l 个二进制位 i_l 获得^[5]; $\mathbf{b}_i = [b_{0,i}, b_{1,i}, \dots, b_{m-1,i}]^T$ 为第 i 个系数向量, $b_{j,i} \in \{0, 1\}$ 称为表达式系数, $b_{j,i} = 1$ 为 on-set 系数,表示在 f_j^g 中存在 on-set 乘积项 π_i . 为简化描述,以下文中出现的乘积项指的是 on-set 乘积项.

对某个 π_i , 如果有 $|\mathbf{b}_i| = \sum_{j=0}^{m-1} (1 | b_{j,i} = 1)$ 大于 1, 则说明 π_i 在多个输出之间存在着共享. 假设 $t_j = \sum_{i=0}^{2^n-1} (1 | b_{j,i} = 1)$ 为第 j 个输出所包含乘积项的数量, $t = \sum_{j=0}^{m-1} (1 | |\mathbf{b}_i| \geq 1)$ 为多输出 MPRM 表达式所包含乘积项的数量, 由于乘积项可能在不同的输出之间共享, 因此有 $t_j \leq t \leq \sum_{j=0}^{m-1} t_j$.

在 MPRM 电路优化过程中需要进行极性转换, OKFDD (Ordered Kronecker Functional Decision Diagram)^[12] 作为电路的判决图表示, 也可用来实现极性转换. OKFDD 使用非终端结点表示变量, 1 结点作为终端结点表示常量 1, 边表示函数. OKFDD 通过依次对变量 x_i 施香农分解和正、负 Davio 分解得到, 三种分解类型分别对应 $g_i = 2, 0$ 和 1. OKFDD 中每个非终端结点有两个后继边, 对这两个后继边进行 XOR 操作可以改变该结点所表示变量的分解类型^[12], 即改变该变量的极性. 如果将 OKFDD 中由根结点到 1 结点的路径称为 1 路径, 那么遍历 OKFDD 中的 1 路径即可得到其所包含的乘积项^[12].

共享 OKFDDs 是在电路各个原始输出 (Primary Output, PO) 对应的 OKFDD 之间共享子图以降低空间复杂度. 本文采用基于共享 OKFDDs 的极性转换方法^[12] 进行极性转换, 先得到某个极性值的 OKFDDs, 然后由每个 OKFDD 得到其对应 PO 所包含的乘积项, 再由 m 个 PO 所包含乘积项的并集得到如式(1)所示的 MPRM 表达式^[12]. 由于 MPRM 表达式是由 m 个 PO 所包含乘积项的并集得到, 因此可实现乘积项在多个 PO 之间的共享.

3 MPRM 电路面积估算

根据式(1)可将 MPRM 电路分为由多输入与门构成的 AND 部分以及 XOR 部分. 在 RM 电路可测性设计中, 为缩短电路延迟, 常将其中的 XOR 部分设计成树形 2 输入异或门结构^[8], 本文也采用这种结构, 以便下一步的可测性设计实现. 由于采用纳电子技术的

双极器件^[13]能够为逻辑门提供负极性的变量输入,因此本文结合纳电子技术建立如图 1 所示的纳电子 MPRM 电路结构,在此结构中多个 PO 之间可以共享异或门。

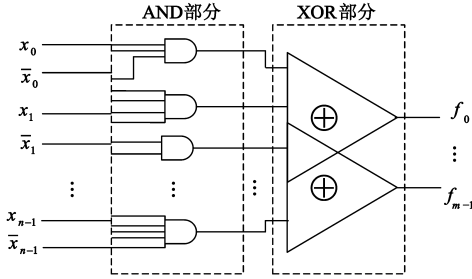


图1 纳电子MPRM电路结构

为进行面积优化,需要建立面积估算模型对电路面积进行评价。由图 1 可知 AND 部分的面积比较容易估算,而 XOR 部分面积估算的关键是确定其所包含 2 输入异或门的数量。

单输出电路的 XOR 部分共有 $t-1$ 个异或门;但对于多输出电路,XOR 部分异或门的数量取决于乘积项在多个 PO 之间的共享。因此,对于多输出电路,先对其 XOR 部分进行树形异或门分解,在不同 PO 的 XOR 部分分解过程中考虑异或门的共享,统计分解后电路中异或门的数量,然后再计算电路面积。

由于 XOR 部分的延迟取决于 XOR 树的高度,因此在进行 XOR 部分分解时,按照完全二叉树结构形式分解,这样可使 XOR 树的高度最小,为 $\lceil \log_2(\max_j \{t_j\}) \rceil$ 。为使异或门能够较大限度在各个 PO 间共享,本文采取一种贪心策略,先根据所包含的乘积项数对 PO 进行排序,然后按照该顺序依次对各个 PO 的 XOR 部分进行分解。下面给出分解算法, s 为分解后的电路所包含的 2 输入异或门数。

算法 1 MPRM 电路分解算法

输入:待分解 MPRM 电路

输出:异或门数量 s

Step1 $s \leftarrow 0$;

Step2 如果 $m=1$,则 $s \leftarrow t-1$,并返回 s ;否则转 Step3;

Step3 根据所包含乘积项的数量按照升序对 PO 排序;

Step4 对排序后的每个 PO,将其乘积项对应的与门构成向量 I ,并调用 $\text{decomp_xor}(I,s)$;

Step5 返回 s 。

如果为单输出电路,如算法 1 中的 Step2,可直接获得异或门数。如果为多输出电路,如算法 1 中的 Step4,则需要调用如下所示的算法 2 依次对各个 PO 的 XOR 部分进行异或门分解。算法 2 中的 $|I|$ 表示待分解宏门所包含的输入数量。

算法 2 decomp_xor

输入:待分解宏门输入 $I = [I_0, I_1, \dots, I_{|I|-1}]$,异或门数量 s

输出:异或门,异或门数量 s

Step1 如果 $|I|=1$,返回 I_0 ;

Step2 如果 $|I|=2$,在 XOR 树中查找是否存在输入为 I_0 和 I_1 的异或门 G ,如果存在则返回 G ;如果不存在则创建 G ,并令 $s \leftarrow s+1$,然后返回 G 。如果 $|I|>2$,则转 Step3;

Step3 $e \leftarrow 2^{\lceil \log_2(|I|-1) \rceil} - 1$;

Step4 $G_1 \leftarrow \text{decomp_xor}([I_0, I_1, \dots, I_{e-1}], s)$;

Step5 $G_2 \leftarrow \text{decomp_xor}([I_e, I_{e+1}, \dots, I_{|I|-1}], s)$;

Step6 在 XOR 树中查找是否存在输入为 G_1 和 G_2 的异或门 G ,如果存在则返回 G ;如果不存在则创建 G ,并令 $s \leftarrow s+1$,然后返回 G 。

对于多输出电路,算法 1 依次对每个 PO 调用算法 2 进行 XOR 部分的分解,算法 2 在分解过程中通过 XOR 树查找实现异或门在各个 PO 之间的共享,因此算法 1 统计的是考虑异或门在多个 PO 之间共享后异或门的数量。

由算法 1 获得异或门的数量 s 后,根据式(2)计算 MPRM 电路的面积。

$$A = 2 \times s + \sum_{i=0}^{t-1} (w_i | w_i > 1) \quad (2)$$

其中 $2 \times s$ 为 s 个异或门的面积; w_i 为第 i 个乘积项所包含的文字数,也即该乘积项对应与门的面积,条件 $w_i > 1$ 表明只有在乘积项中的文字数大于 1 时才存在对应与门。因为当 $w_i = 0$ 时,表示常量 1,此时可将驱动 PO 的异或门修改为同或门而不会改变电路的功能,当 $w_i = 1$ 时,该文字直接作为异或门的输入,因此均不存在该乘积项对应的与门。

4 MPRM 电路逻辑级可靠性分析

为分析瞬时故障对 MPRM 电路可靠性的影响,本文采用工艺无关的单瞬时故障模型^[14,15],假设瞬时故障发生在逻辑门的输入端^[15],并且区分 0-TF 和 1-TF,0-TF 指的是逻辑值由 1 变为 0 的故障,1-TF 指的是由 0 变为 1 的故障。使用 SER 来评价电路的可靠性,SER 指的是电路中节点发生的故障被传播至 PO 导致该电路出现软错误的比率。电路的 SER 值越小,其可靠性越高。

电路对瞬时故障存在多种屏蔽因素,由于本文进行工艺无关的电路优化,在逻辑级评价组合电路的 SER,因此仅考虑逻辑屏蔽因素。

4.1 基于节点敏感度的电路 SER 计算

假设电路 $C = \{c_k\}$ 由 $|C|$ 个节点 c_k 构成。节点敏感度^[2,16] $p_{\text{crit}}(c_k)$ 为节点 c_k 的故障导致电路出现软错误的概率。电路 C 对瞬时故障的敏感度为电路中所有节点

敏感度的平均值^[2,15,16],即电路的 SER.

为简化分析过程,采用均匀故障模型,并假设节点发生 0-TF 和 1-TF 的概率相同,均为 p_f ,则电路 C 的 SER 由式(3)计算.

$$\text{SER}(C) = \frac{p_f \times \sum_{c_k \in C} p_{\text{crit}}(c_k)}{|C|} \quad (3)$$

与文献[2,15,16]不同,本文采用信号概率以及故障传播方法,分别计算节点故障被敏化的概率 $p_{\text{sens}}(c_k)$,以及没有被后级电路逻辑屏蔽而传播至 PO 的概率 $p_p(c_k)$,然后根据式(4)计算 $p_{\text{crit}}(c_k)$,并推导出 SER 与 MPRM 电路中异或门数以及与门扇入数间的解析关系.

$$p_{\text{crit}}(c_k) = p_{\text{sens}}(c_k) \times p_p(c_k) \quad (4)$$

4.2 MPRM 电路 SER 解析评价模型

下面先针对单输出电路进行分析,得到 MPRM 电路的 SER 解析评价模型,然后再分析其对多输出电路的适用性.

4.2.1 与门敏感度计算

与门的输入是原始输入(Primary Input, PI). 假设所有 PI 相互独立,PI 的信号概率为 0.5,第 i 个与门的输入数为 w_i ($w_i > 1$). 当与门的某个输入发生 0-TF 或 1-TF 时,其敏化概率为该输入的信号概率. 对于单输出电路,与门的输出不存在扇出分支,并且异或门没有输入控制值,只要该故障能够传播至与门的输出,就可经 XOR 部分传播至 PO,因而该故障的传播概率为其余 $w_i - 1$ 个输入同时为 1 的概率: $2^{-(w_i-1)}$. 对于与门的一个输入端,如果既考虑 0-TF 又考虑 1-TF,根据式(4)可知其敏感度为 $2^{-(w_i-1)}$. 对于输入数为 w_i 的与门,其敏感度由式(5)计算.

$$p_{\text{crit}}(\text{AND}_i) = w_i / 2^{w_i-1} \quad (5)$$

由于与门的各个输入信号相互独立,因此式(5)的计算结果是准确的.

4.2.2 异或门敏感度计算

尽管异或门的输入之间可能存在信号相关性,但对于单输出电路,异或门的输出也不存在扇出分支,因此如果其输入发生单故障,只要该故障被敏化,那么不管另一个输入信号为何值,该故障必然被传播至其输出,从而经后面的异或门传播至 PO,可见故障的传播概率为 1. 由于异或门的输入由与门的输出或 PI 驱动,因此故障的敏化概率由驱动发生单故障输入的与门或 PI 确定,如果发生 0-TF,需要该与门的输出或 PI 为 1 才能被敏化,即敏化 0-TF 的概率等于该与门的输出或 PI 为 1 的概率,设为 $p_{\text{sens}0}$,同理,敏化 1-TF 的概率等于该与门的输出或 PI 为 0 的概率,设为 $p_{\text{sens}1}$. 因为总有 $p_{\text{sens}0} + p_{\text{sens}1} = 1$,因此根据式(4)可知异或门一个输入端的敏感度为 1. 异或门有 2 个输入端,因此异或门的敏感度

为 2.

由于考虑了信号相关性,因此异或门输入端故障传播概率和敏化概率的计算是准确的,异或门敏感度的计算也是准确的.

4.2.3 MPRM 电路 SER 计算

尽管节点发生故障的概率 p_f 与电路实现所采用的工艺有关,由于本文在优化过程中是进行不同极性值 MPRM 电路 SER 的比较,可以认为 p_f 对不同极性值的 MPRM 电路而言均相同,因此在计算电路 SER 时不考虑 p_f .

由于考虑故障发生在逻辑门的输入端,因此电路总的节点数 $|C| = 2 \times s + \sum_{i=0}^{t-1} (w_i | w_i > 1)$.

将式(5)所示的与门敏感度、异或门的敏感度以及电路总节点数 $|C|$ 代入式(3),得到如式(6)所示工艺无关的 MPRM 电路 SER 解析评价模型.

$$\text{SER}(C) = \frac{2 \times s + \sum_{i=0}^{t-1} (\frac{w_i}{2^{w_i-1}} | w_i > 1)}{2 \times s + \sum_{i=0}^{t-1} (w_i | w_i > 1)} \quad (6)$$

式(6)用于在极性优化过程中比较不同极性值 MPRM 电路的可靠性, SER 值越小,可靠性越高.

对于多输出电路,尽管由于与门以及异或门在多个 PO 之间的共享,使与门和异或门的输出呈现扇出分支,但是不同的扇出分支属于不同的 PO,并且只要有一个 PO 出现错误就认为该电路出现软错误,因此在计算电路 SER 时与门和异或门的扇出分支不会带来扇出重汇聚问题. 另外,式(6)中的 t 为考虑乘积项在多个 PO 之间共享后的乘积项数量, s 为考虑异或门在多个 PO 之间共享后的异或门数量,因此式(6)的 SER 计算不存在节点以及节点敏感度重复统计问题. 可见式(6)同样适用于多输出电路,并且计算结果是准确的.

5 MPRM 电路面积与可靠性优化

5.1 面积与可靠性多目标优化

由式(2)和式(6)可以看出面积与 SER 之间存在着冲突,因此 MPRM 电路的面积和可靠性优化问题属于多目标优化问题,并且由于面积与 SER 的 Pareto 前沿并不一定是凸函数,因此本文采用基于 Pareto 支配概念的多目标优化方法^[10].

采用 Pareto 支配概念,MPRM 电路面积与可靠性优化问题定义如下.

定义 1 MPRM 电路面积与可靠性优化问题 $\mathcal{P} = (\mathbb{G}, \mathbb{F}, P, Q)$.

(1) 由 3^n 个决策变量向量 $G = [g_{n-1}, g_{n-2}, \dots, g_0]$ ($g_i \in \{0, 1, 2\}$) 构成的极性空间 \mathbb{G} 为可行解空间;

(2) 由 \mathbb{G} 中解 G 的目标函数向量 $F(G) = [F_0, F_1]$ ($F_0 = A, F_1 = SER$) 构成目标空间 \mathbb{F} ;

(3) 求 Pareto 最优解集: $P = \{G_i | \neg \exists G_j \in \mathbb{G}, F(G_j) < F(G_i)\}$, $P \subseteq \mathbb{G}$, 对应的 Pareto 前沿: $Q = \{F(G_i) | G_i \in P\}$, $Q \subseteq \mathbb{F}$.

定义 1 中的“ $<$ ”表示 Pareto 支配, 如果满足 $(F_0(G_j) < F_0(G_i)) \wedge (F_1(G_j) \leq F_1(G_i))$ 或者 $(F_0(G_j) \leq F_0(G_i)) \wedge (F_1(G_j) < F_1(G_i))$, 则有 $F(G_j) < F(G_i)$.

5.2 面积与可靠性优化算法

根据定义 1 所定义的多目标优化问题, 本文采用穷举搜索极性向量空间 \mathbb{G} 的方法进行面积与可靠性优化. 为加快搜索速度, 按照极性向量的格雷码序(相邻的两个极性向量仅有一个极性属性编码值不同)进行搜索. 使用外部归档来保存非支配最优解集, 并在搜索过程中不断更新外部归档, 最终得到 Pareto 最优解集以及 Pareto 前沿, 并从 Pareto 最优解集中选取最符合实际需要的解. 算法 3 给出了 MPRM 电路面积与可靠性优化算法的描述.

算法 3 MPRM 电路面积与可靠性优化算法

Step1 初始化外部归档为空, 按照格雷码序生成极性空间 \mathbb{G} , 构建待优化电路的 OKFDDs;

Step2 对每一个 $G \in \mathbb{G}$ 执行以下步骤:

Step2.1 改变单个变量的分解类型, 对电路的 OKFDDs 进行极性转换;

Step2.2 由 OKFDDs 得到式(1)所示的 MPRM 表达式;

Step2.3 使用算法 1 计算 MPRM 电路中的异或门数 s ;

Step2.4 分别根据式(2)和式(6)计算面积与 SER;

Step2.5 更新外部归档, 仅保留非支配解;

Step3 由外部归档中的 Pareto 最优解集选取最符合实际需要的非支配最优解.

6 实验结果及分析

文中算法使用 C++ 实现, 并在 Linux 操作系统下使用 g++ 编译器编译. 使用算法 3 在配置为 Intel Core i3-2350M CPU 6GB RAM 的个人计算机上对 24 个 MCNC 电路进行了面积与可靠性优化, 求得了 Pareto 最优解集以及 Pareto 前沿.

图 2 给出了电路 5xp1、alu2 以及 t3 的 Pareto 前沿, 其中归一化面积是根据每个电路的 Pareto 前沿中的最小面积进行归一化处理的结果.

由图 2 可以看出, MPRM 电路面积与可靠性的 Pareto 前沿并不是严格的凸函数, 未给出电路的 Pareto 前沿也具有这个特点. 这验证了使用 Pareto 支配进行 MPRM 电路面积与可靠性优化的必要性.

表 1 给出了对 24 个 MCNC 电路运行算法 3 的结

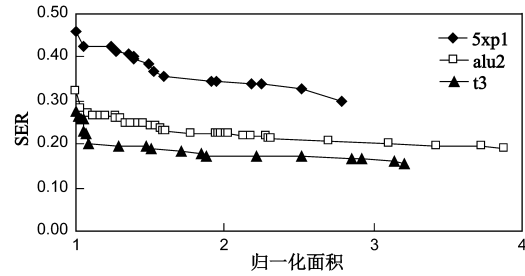


图2 MPRM电路面积与SER的Pareto前沿

果. 其中“L/O”表示电路的输入数和输出数; “N_Pf”表示 Pareto 最优解集的大小; “面积增加”和“SER 减少”分别表示所选取的最优解相对于面积最小解所导致的面积开销和 SER 下降的比例. “所选取的最优解”是根据效率因子“ $E = \text{SER 减少} / \text{面积增加}$ ”所选取的最终解, 其选取的原则是在 $E > 1$ 的前提下最大化 E 的值, 如果不存在 $E > 1$ 的最优解, 则选取面积最小解作为最终解, 此原则的依据是尽可能在较小面积开销的前提下获得较大的可靠性提升.

由表 1 可以看出, 这些电路的 Pareto 最优解集均包含多个非支配最优解, 特别是 cm151a, 其非支配最优解数达到了 134 个. 这验证了使用 Pareto 支配概念进行 MPRM 电路面积与可靠性优化的有效性.

根据效率因子 E 所选取的最终解中, 有 6 个电路, 最终解就是面积最小解, 因为在这些电路的 Pareto 最优解集中, 除面积最小解外的其他非支配最优解的 E 均小于 1, 也就是说尽管可以提高可靠性, 但面积开销较大. 对其余的 18 个电路, 所选取最优解的 E 均大于 1; 除 cm85a 外, 相对于面积最小的 MPRM 电路, 最终所选取的 MPRM 电路均能够在较小面积开销的前提下获得较大可靠性提升; 特别是 clip 和 ex5, 在不到 1% 的面积开销下, 可靠性分别提升了 6.10% 和 9.11%, 其最终解的 E 分别为 6.63 和 22.27. 对表 1 中的这些电路, 从平均角度看, 所选取的最终解相对于面积最小解, 面积增加了 4.42%, SER 减少了 7.25%.

对于 cm85a, 尽管所选取最终解的效率因子达到了 2.20, 可靠性提升了 33.09%, 但面积开销达到了 15.02%. 表 2 给出了 cm85a 的 MPRM 电路面积与可靠性的 Pareto 前沿.

由表 2 可以看出, 对于 cm85a, 除面积最小解外的 5 个非支配最优解均满足 $E > 1$, 有较大的最终解选择空间. 例如, 可以选择面积开销为 3.76%, SER 减少 5.21% 的解.

另外, 对表 1 中电路的最小面积解和最终解 MPRM 电路进行分析, 在那些最终解不是最小面积的 MPRM 电路中, 对于绝大多数电路而言, 最终解的异或门数要小于最小面积解的异或门数, 而与门的平均扇入数要

略高于最小面积解的与门平均扇入数,这个结果符合式(6)的 SER 计算,因为异或门的敏感度较高,异或门的减少可以降低 SER,与门扇入数的增加可以降低与门的敏感度.尽管可将此结果作为 MPRM 电路面积与可靠性优化的指导原则,但如果不附加其他原则,将会导致优化结果过于偏向可靠性目标.

对表 1 中 21 个多输出电路某个极性值的 MPRM 电

路使用算法 1 计算了其所包含的异或门数,由于空间关系,这里仅给出统计结果.从平均角度看,有 7 个异或门被多个 PO 共享,占异或门总数的 11.09%;与不考虑多个 PO 间的异或门共享相比,异或门数减少了 13.45%;如果使用 t 来估算异或门数,异或门数被低估了 23.15%.

表 1 面积与可靠性多目标优化结果

电路	I/O	N_PF	面积最小最优解		所选取的最优解		CPU 时间 (秒)	面积增加 (%)	SER 减少 (%)
			面积	SER	面积	SER			
5xp1	7/10	16	306	0.459661	320	0.424609	1.12	4.58	7.63
9sym	9/1	10	814	0.425061	854	0.370463	4.31	4.91	12.84
alu2	10/6	35	1230	0.321935	1281	0.280381	144.06	4.15	12.91
clip	9/5	16	870	0.324192	878	0.304421	47.86	0.92	6.10
cm85a	11/3	6	426	0.284038	490	0.190051	162.35	15.02	33.09
cm151a	12/2	134	54	0.305556	54	0.305556	362.34	0.00	0.00
cm152a	11/1	80	46	0.391304	46	0.391304	24.31	0.00	0.00
cm162a	14/5	37	142	0.356211	153	0.328457	2941.14	7.75	7.79
cm138a	6/8	6	66	0.433712	66	0.433712	0.10	0.00	0.00
con1	7/2	12	60	0.509375	63	0.473214	0.20	5.00	7.10
cu	14/11	12	153	0.189645	153	0.189645	3241.81	0.00	0.00
ex5	8/63	17	1222	0.640804	1227	0.582416	39.06	0.41	9.11
f51m	8/8	13	276	0.469599	288	0.446777	2.82	4.35	4.86
inc	7/9	5	280	0.434263	299	0.400136	1.21	6.79	7.86
misex1	8/7	15	114	0.478618	117	0.451923	1.67	2.63	5.58
rd53	5/3	10	74	0.628378	74	0.628378	0.03	0.00	0.00
rd73	7/3	10	302	0.524834	336	0.459077	0.94	11.26	12.53
rd84	8/4	16	550	0.489205	606	0.429971	6.50	10.18	12.11
sao2	10/4	13	591	0.268870	601	0.254127	109.71	1.69	5.48
sqrt8	8/4	30	153	0.481107	159	0.453715	1.99	3.92	5.69
t3	12/1	19	1594	0.274859	1677	0.230387	454.04	5.21	16.18
x2	10/7	46	109	0.400659	111	0.382461	24.39	1.83	4.54
z4ml	7/4	14	138	0.528986	138	0.528986	0.54	0.00	0.00
tmp	6/1	8	66	0.494318	71	0.441901	0.04	7.58	10.60

表 2 cm85a 的 Pareto 前沿

面积	SER	面积增加(%)	SER 减少(%)	E
426	0.284038	-	-	-
442	0.269231	3.76	5.21	1.39
466	0.252414	9.39	11.13	1.19
474	0.246835	11.27	13.10	1.16
482	0.241442	13.15	15.00	1.14
490	0.190051	15.02	33.09	2.20

综上所述,MPRM 电路存在着较好的面积与可靠性折中空间,可以通过极性优化实现面积与可靠性之间的折中.较为准确的目标函数值估算以及采用 Pareto 支配概念进行多目标优化,能够更好地探索多个目标的折中空间,可以避免由于某个目标占绝对优势,使优化结果过于偏向这个目标.

7 总结与展望

对于一个布尔函数而言,存在着指数量级不同函数结构的 MPRM,可以利用不同的 MPRM 函数结构来进行 MPRM 电路多个目标的折中优化.为了避免优化结果过于偏向某个目标,较为准确的目标估算以及恰当的优化策略对多目标优化而言至关重要.本文根据纳电子 MPRM 电路结构,给出了 MPRM 电路面积估算模型和 SER 解析评价模型,并使用 Pareto 支配概念进行了面积与可靠性优化,实验结果验证了所提出方法的有效性.通过合理地选择最终非支配最优解,可使 MPRM 电路在较小面积开销的前提下获得较大可靠性提升.

本文使用了穷举搜索进行 MPRM 电路的多目标优化,对于输入数较多的电路,穷举搜索无法在合理时间内获得 Pareto 最优解集.因此下一步的工作是研究用于

MPRM 电路多目标优化的基于 Pareto 支配的智能算法,提高多目标优化的时间效率.

参考文献

- [1] Rao W, Yang C, Karri R, et al. Toward future systems with nanoscale devices: overcoming the reliability challenge[J]. Computer, 2011, 44(2): 46 – 53.
- [2] Luckenbill S, Lee J-Y, Hu Y, et al. RALF: reliability analysis for logic faults—an exact algorithm and its applications[A]. Proceedings of the 2010 Design, Automation & Test in Europe Conference & Exhibition[C]. IEEE, 2010. 783 – 788.
- [3] Al-Jassani B A, Urquhart N, Almaini A E A. Manipulation and optimisation techniques for Boolean logic [J]. IET Computers and Digital Techniques, 2010, 4(3): 227 – 239.
- [4] 汪鹏君, 李辉, 吴文晋, 等. 量子遗传算法在多输出 Reed-Muller 逻辑电路最佳极性搜索中的应用[J]. 电子学报, 2010, 38(5): 1058 – 1063.
- Wang P J, Li H, Wu W J, et al. Application of quantum genetic algorithm in searching for best polarity of multi-output Reed-Muller logic circuits[J]. Acta Electronica Sinica, 2010, 38(5): 1058 – 1063. (in Chinese)
- [5] 卜登立, 江建慧. 基于对偶逻辑的混合极性 RM 电路极性转换和优化方法[J]. 电子学报, 2015, 43(1): 79 – 85.
- Bu D L, Jiang J H. Dual logic based polarity conversion and optimization of mixed polarity RM circuits [J]. Acta Electronica Sinica, 2015, 43(1): 79 – 85. (in Chinese)
- [6] 汪鹏君, 汪迪生, 蒋志迪, 等. 基于 PSGA 算法的 ISFPRM 电路面积与功耗优化[J]. 电子学报, 2013, 41(8): 1542 – 1548.
- Wang P J, Wang D S, Jiang Z D, et al. Area and power optimization of ISFPRM circuits based on PSGA algorithm [J]. Acta Electronica Sinica, 2013, 41(8): 1542 – 1548. (in Chinese)
- [7] Jiang Z, Wang Z, Wang P. Delay-area trade-off for MPRM circuits based on hybrid discrete particle swarm optimization [J]. Journal of Semiconductors, 2013, 34(6): 132 – 137.
- [8] Rahaman H, Das D K, Bhattacharya B B. Testable design of AND-EXOR logic networks with universal test sets[J]. Computers and Electrical Engineering, 2009, 35(5): 644 – 658.
- [9] Limbrick D B, Yue S. Impact of synthesis constraints on error propagation probability of digital circuits[A]. Proceedings of the 2011 IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems [C]. IEEE, 2011. 103 – 111.
- [10] Chinchuluun A, Pardalos P M. A survey of recent developments in multiobjective optimization[J]. Annual Operational Research, 2007, 154: 29 – 50.
- [11] Parker K P, McCluskey E J. Probabilistic treatment of general combinational networks [J]. IEEE Transactions on Computers, 1975, C-24(6): 668 – 670.
- [12] Drechsler R, Becker B. Ordered Kronecker functional decision diagrams—a data structure for representation and manipulation of Boolean functions[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 1998, 17(10): 965 – 973.
- [13] Ben-Jamaa M H, Mohanram K, De-Micheli G. An efficient gate library for ambipolar CNTFET logic [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2011, 30(2): 242 – 255.
- [14] Krishnaswamy S, Plaza S M, Markov I L, et al. Signature-based SER analysis and design of logic circuits [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2009, 28(1): 74 – 86.
- [15] Polian I, Hayes J P, Reddy S M, et al. Modeling and mitigating transient errors in logic circuits [J]. IEEE Transactions on Dependable and Secure Computing, 2011, 8(4): 537 – 547.
- [16] Takata T, Matsunaga Y. A robust algorithm for pessimistic analysis of logic masking effects in combinational circuits [A]. Proceedings of the 17th International on-Line Testing Symposium [C]. IEEE, 2011. 246 – 251.

作者简介



卜登立 男, 1975 年出生, 河北定州人. 博士, 副教授. 主要研究领域为 VLSI 设计和可靠性评估、计算机辅助设计.
E-mail: bodengli@163.com



江建慧 男, 1964 年出生, 浙江淳安人. 博士, 教授, 博士生导师, CCF 高级会员. 主要研究领域为可信系统与网络、软件可靠性工程、VLSI/SoC 测试与容错.
E-mail: jhjiang@tongji.edu.cn