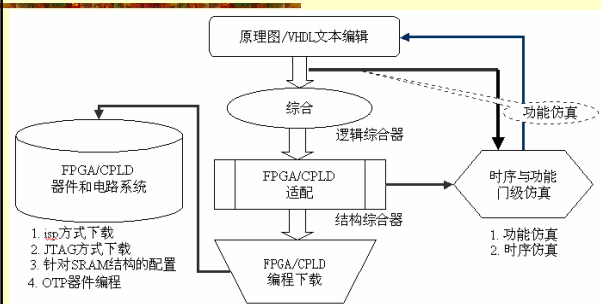


EDA 技术实用教程

第 2 章 EDA设计流程及其工具

2.1 设计流程



2

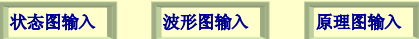
图2-1 应用于FPGA/CPLD的EDA开发流程



2.1 设计流程

2.1.1 设计输入(原理图 / HDL文本编辑)

1. 图形输入



在EDA软件的图形编辑界面上绘制能完成特定功能的电路原理图

2. HDL文本输入

将使用了某种硬件描述语言(HDL)的电路设计文本，
如VHDL或Verilog的源程序，进行编辑输入。

3



2.1 设计流程

2.1.2 综合

整个综合过程就是将设计者在EDA平台上编辑输入的HDL文本、原理图或状态图形描述，依据给定的硬件结构组件和约束控制条件进行编译、优化、转换和综合，最终获得门级电路甚至更底层的电路描述网表文件。

2.1.3 适配

将由综合器产生的网表文件配置于指定的目标器件中，使之产生最终的下载文件，如JEDEC、Jam格式的文件。

4

K_x 康芯科技

2.1 设计流程

2.1.4 时序仿真与功能仿真

时序仿真

接近真实器件运行特性的仿真

功能仿真

直接对VHDL、原理图描述或其他描述形式的逻辑功能进行测试模拟

2.1.5 编程下载

2.1.6 硬件测试

5

K_x 康芯科技

2.2 ASIC及其设计流程

ASIC(Application Specific Integrated Circuits, 专用集成电路)

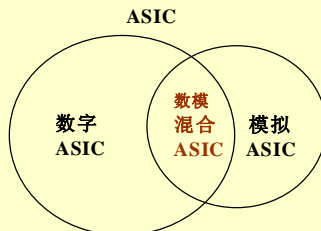


图2-2 ASIC分类

6

K_x 康芯科技

2.2 ASIC及其设计流程

2.2.1 ASIC设计方法

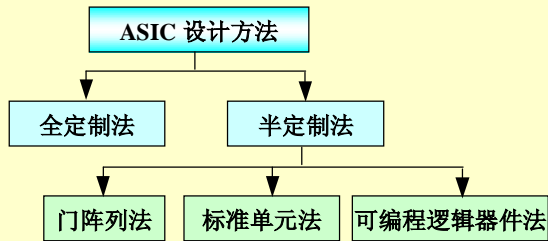


图2-3 ASIC实现方法

7

K_x 康芯科技

2.2.2 一般ASIC设计的流程

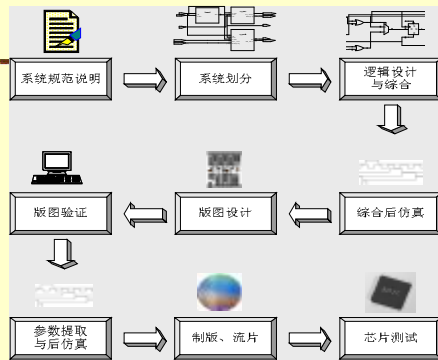


图2-4 ASIC设计流程

8

K_x 康芯科技

2.3 常用EDA工具

2.3.1 设计输入编辑器

2.3.2 HDL综合器 **FPGA Compiler II、DC-FPGA综合器、Synplify Pro综合器、LeonardoSpectrum综合器和Precision RTL Synthesis综合器**

2.3.3 仿真器 **VHDL仿真器 Verilog仿真器**

Mixed HDL仿真器 其他HDL仿真器

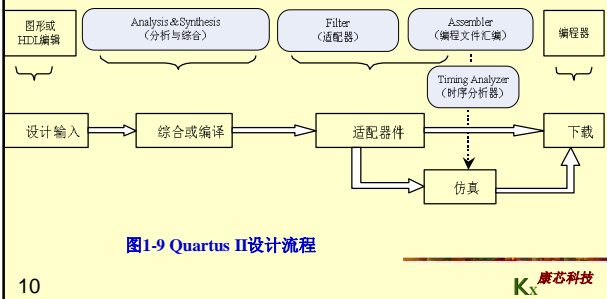
2.3.4 适配器

2.3.5 下载器

9

K_x 康芯科技

2.4 QuartusII 简介



10

2.5 IP核简介

IP (Intellectual Property)



11

Kx 康芯科技



习题

- 1-1 叙述EDA的FPGA/CPLD设计流程。
- 1-2 IP是什么？IP与EDA技术的关系是什么？
- 1-3 叙述ASIC的设计方法。
- 1-4 FPGA/CPLD在ASIC设计中有什么用处？
- 1-5 简述在基于FPGA/CPLD的EDA设计流程中所涉及的EDA工具，及其在整个流程中的作用。

12

Kx 康芯科技
