

EDA 技术实用教程

第 1 章 概述

1.1 EDA技术及其发展

EDA (Electronic Design Automation)

EDA技术发展的三个阶段



1.1 EDA技术及其发展

EDA技术在进入21世纪后,得到了更大的发展:

- ⇒ 电子设计成果 自主知识产权
- ⇒ 仿真和设计 EDA软件不断推出
- ⇒ 电子技术全方位纳入EDA领域 传统设计建模理念发生重大变化
- ⇒ EDA使得电子领域各学科的界限更加模糊 更加互为包容
- ⇒ 更大规模的FPGA和CPLD器件的不断推出
- ⇒ EDA工具 ASIC设计 涵盖大规模电子系统及复杂IP核模块
- ⇒ 软硬件IP核在电子行业广泛应用 IP—Intellectual Property
- ⇒ SoC高效低成本设计技术的成熟
- ⇒ 硬件描述语言出现(如System C) 设计和验证趋于简单

1.2 EDA技术实现目标

目标：是完成专用集成电路ASIC的设计和实现

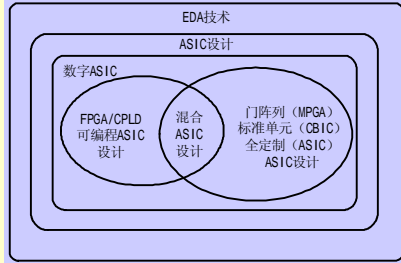


图1-1 EDA技术实现目标

4

K_x 康芯科技

1.2 EDA技术实现目标

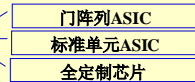
1. 超大规模可编程逻辑器件

FPGA(Field Programmable Gate Array)

CPLD(Complex Programmable Logic Device)

2. 半定制或全定制ASIC

掩模ASIC



3. 混合ASIC

CPU、RAM、ROM、硬件加法器、乘法器、锁相环

5

K_x 康芯科技

1.3 硬件描述语言VHDL



VHDL—

VHSIC(Very High Speed Integrated Circuit)Hardware Description Language

- 具有很强的电路描述和建模能力
- 具有与具体硬件电路无关和与设计平台无关的特性
- 具有良好的电路行为描述和系统描述的能力

6

K_x 康芯科技

1.4 VHDL综合

把抽象的实体结合成单个或统一的实体。

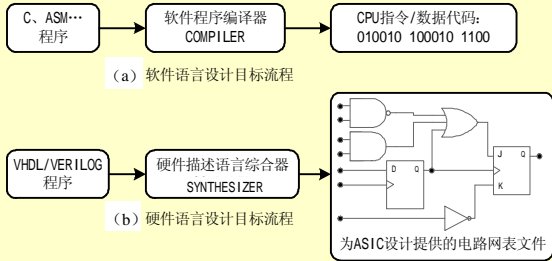


图1-2 编译器和综合功能比较

7

K_x 康芯科技

1.4 VHDL综合

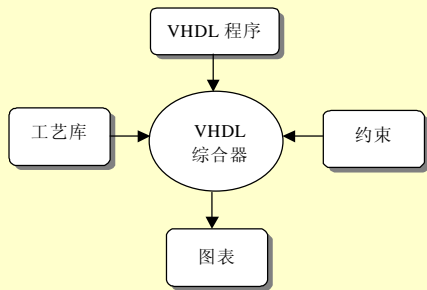


图1-3 VHDL综合器运行流程

8

K_x 康芯科技

1.5 基于VHDL的自顶向下设计方法

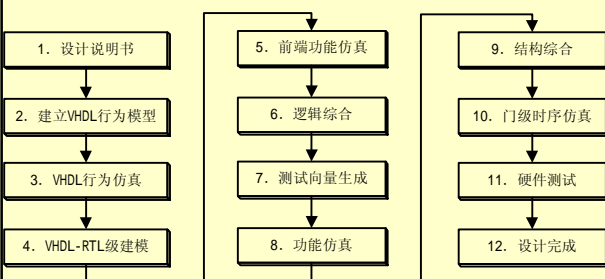


图1-4 自顶向下的设计流程

9

K_x 康芯科技

1.6 EDA技术的优势

- 可以在电子设计的各个阶段、各个层次进行计算机模拟验证
- 有各类库的支持
- 某些HDL语言也是文档型的语言(如VHDL)
- 日益强大的逻辑设计仿真测试技术
- 设计者拥有完全的自主权, 再无受制于人之忧
- 良好的可移植与可测试性, 为系统开发提供了可靠的保证
- 能将所有设计环节纳入统一的自顶向下的设计方案中
- 自动设计能力、不同内容的仿真模拟、完整的测试

10

K_x 康芯科技

1.7 EDA的发展趋势

- ➔ 在一个芯片上完成的系统级的集成已成为可能
- ➔ 可编程逻辑器件开始进入传统的ASIC市场
- ➔ EDA工具和IP核应用更为广泛
- ➔ 高性能的EDA工具得到长足的发展
- ➔ 计算机硬件平台性能大幅度提高, 为复杂的SoC设计提供了物理基础。

11

K_x 康芯科技



习 题

- 1-1 EDA技术与ASIC设计和FPGA开发有什么关系?
- 1-2 与软件描述语言相比, VHDL有什么特点?
- 1-3 什么是综合? 有那些类型? 综合在电子设计自动化中的地位是什么?
- 1-4 在EDA技术中, 自顶向下的设计方法的重要意义是什么?
- 1-5 IP在EDA技术的应用和发展中的意义是什么?

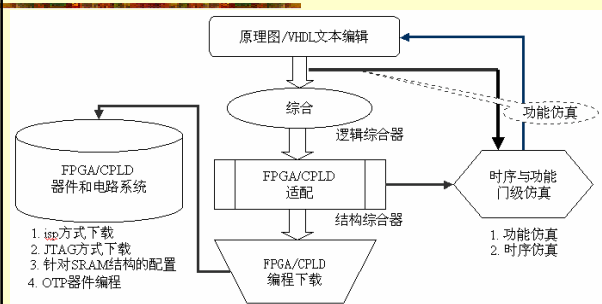
12

K_x 康芯科技

EDA 技术实用教程

第 2 章 EDA设计流程及其工具

2.1 设计流程



2

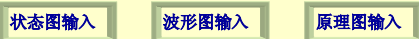
图2-1 应用于FPGA/CPLD的EDA开发流程



2.1 设计流程

2.1.1 设计输入(原理图 / HDL文本编辑)

1. 图形输入



在EDA软件的图形编辑界面上绘制能完成特定功能的电路原理图

2. HDL文本输入

将使用了某种硬件描述语言(HDL)的电路设计文本，
如VHDL或Verilog的源程序，进行编辑输入。

3



2.1 设计流程

2.1.2 综合

整个综合过程就是将设计者在EDA平台上编辑输入的HDL文本、原理图或状态图形描述，依据给定的硬件结构组件和约束控制条件进行编译、优化、转换和综合，最终获得门级电路甚至更底层的电路描述网表文件。

2.1.3 适配

将由综合器产生的网表文件配置于指定的目标器件中，使之产生最终的下载文件，如JEDEC、Jam格式的文件。

4

K_x 康芯科技

2.1 设计流程

2.1.4 时序仿真与功能仿真

时序仿真

接近真实器件运行特性的仿真

功能仿真

直接对VHDL、原理图描述或其他描述形式的逻辑功能进行测试模拟

2.1.5 编程下载

2.1.6 硬件测试

5

K_x 康芯科技

2.2 ASIC及其设计流程

ASIC(Application Specific Integrated Circuits, 专用集成电路)

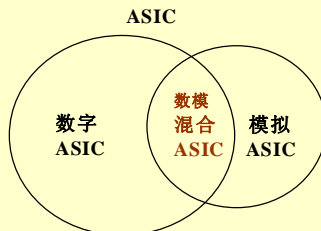


图2-2 ASIC分类

6

K_x 康芯科技

2.2 ASIC及其设计流程

2.2.1 ASIC设计方法

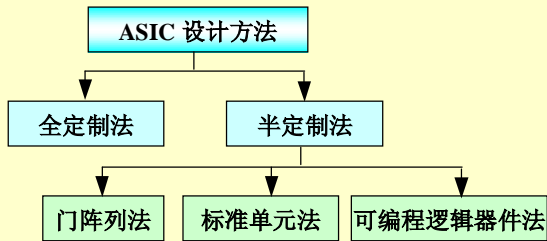


图2-3 ASIC实现方法

7

K_x 康芯科技

2.2.2 一般ASIC设计的流程

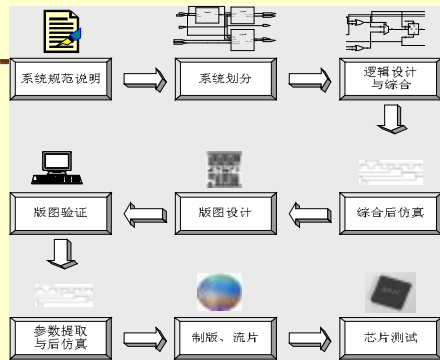


图2-4 ASIC设计流程

8

K_x 康芯科技

2.3 常用EDA工具

2.3.1 设计输入编辑器

2.3.2 HDL综合器 **FPGA Compiler II、DC-FPGA综合器、Synplify Pro综合器、LeonardoSpectrum综合器和Precision RTL Synthesis综合器**

2.3.3 仿真器 **VHDL仿真器 Verilog仿真器**

Mixed HDL仿真器 其他HDL仿真器

2.3.4 适配器

2.3.5 下载器

9

K_x 康芯科技

2.4 QuartusII 简介

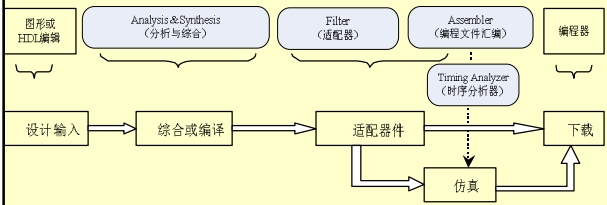


图1-9 Quartus II设计流程

10

2.5 IP核简介

IP (Intellectual Property)



11



习题

- 1-1 叙述EDA的FPGA/CPLD设计流程。
- 1-2 IP是什么？IP与EDA技术的关系是什么？
- 1-3 叙述ASIC的设计方法。
- 1-4 FPGA/CPLD在ASIC设计中有什么用处？
- 1-5 简述在基于FPGA/CPLD的EDA设计流程中所涉及的EDA工具，及其在整个流程中的作用。

12
