

Pipeline ADC 后台数字校正中 传输函数建模算法

宫月红, 罗敏*, 喻明艳, 金杰

(哈尔滨工业大学微电子中心, 黑龙江 哈尔滨 150001)

摘要:采用后台校正技术,通过对级间余量放大器传输函数建模来估计误差,以提高流水线型 ADC(analog to digital converter, ADC)的性能。为了在校正精度、硬件消耗、功率消耗和算法收敛速度之间做一个合理的权衡,需要在建模时选用一个合理的插值算法。以一个 12 位,采样频率 40 M 的流水线型 ADC 为原型,分别采用分段线性插值、三次多项式插值对第一级余量放大器传输函数建模,用硬件描述语言 Verilog 对系统进行描述,结合模拟电路部分进行混合仿真验证,运用综合工具对两种算法对应的 Verilog 程序进行综合估计。仿真结果表明:两种算法中,分段线性插值法硬件消耗和功耗更低,而多项式插值法校正精度更高,算法收敛更快。

关键词:流水线 ADC; Verilog; 后台校正; 插值算法; 多项式插值

中图分类号:TN47

文献标志码:A

Transfer function modeling algorithm for digital background calibration in Pipeline ADC

GONG Yuehong, LUO Min*, YU Mingyan, JIN Jie

(Microelectronics Center, Harbin Institute of Technology, Harbin 150001, Heilongjiang, China)

Abstract: In the background calibration, the residual amplifier transfer function modeling was applied to estimate the errors for improving the performance of pipeline analog to digital converter (ADC). To find a compromise among calibration resolution, hardware consumption, power consumption and the convergence time, an interpolation algorithm was needed to be chosen. Using a 12 bits 40 M sample rate pipeline ADC as prototype, the piecewise linear and cubic polynomial were respectively used to model the first stage inter-stage amplifier transfer function. The model was described by verilog, and the analog-digital mixed simulation was put forth by the analog circuit. The code was synthesized to estimate the overhead of the two algorithms. Simulation results showed that piecewise linear interpolation consumed less hardware and power consumption between these two algorithms, while the cubic polynomial interpolation was more precise and convergences faster.

Key words: pipeline ADC; Verilog; background calibration; interpolation algorithm; polynomial interpolation

0 引言

随着集成电路制造工艺的演进,在深亚微米甚

至纳米级电路下,晶体管的本征增益降低和工作电压降低,使得高性能模拟电路的设计变得越发困难。相对于数字电路,纯粹的模拟电路从工艺演进得到的收益是有限的。而模数转换电路作为模拟世界与

数字世界的接口,需要达到更高的性能,才能跟上数字信号处理技术的发展步伐,更高速、高分辨率的模数转换器(analog to digital converter, ADC)变的不可或缺。在细线工艺下,为了进一步提高 ADC 的性能,数字校正技术得到越来越广泛的应用。采用数字校正技术,作为 ADC 设计的一种流行方向,可以降低对模拟电路部分的设计要求,把性能的提高从模拟域转移到数字域,从而成为进一步提高 ADC 的速度和分辨率常用的一种设计方式。

数字校正按照发展阶段可分为前台校正^[1-2]、准后台校正^[3-5]、后台校正^[6-13]等方式。前台校正是最早出现的一种 ADC 数字校正技术,这种校正技术通常分为测试和校正两种工作模式。在测试阶段,把已知的信号作为测试信号加到 ADC 的输入端,利用输出与已知的信号的差值对该模型的非理想参数进行估计并存储下来。在校正阶段,数字校正模块根据存储的参数对 ADC 的非理想误差进行校正,从而提高 ADC 的性能。前台校正实现简单、稳定、速度快而准确,但是必须要打断模数转换的过程才能够完成,这就导致了它无法对 ADC 性能参数随外界环境而发生的变化进行实时校正,应用有一定的局限性。准后台校正技术是介于前台校正与后台校正之间的一种校正技术,这种通过加入额外的电路,使得校正技术很像前台校正技术,但是又可以采用一些辅助手段使之不影响 ADC 的正常输出,这种方法的缺点是设计起来较为复杂。后台校正对 ADC 的校正功能在后台完成,不需要加入额外的测试信号,不会打断正常的模数转换过程,所以这种校正技术可以跟踪外界环境和内部因素的变化而调整校正参数,对 ADC 中的误差进行实时校正,是当前广泛采用的一种提高流水线型 ADC 性能的实现方式。

近年来,后台校正技术研究的热点方向大体可分为3类。第1类,采用参考 ADC,利用参考 ADC 与实际 ADC 转化结果的差异来衡量实际 ADC 中的非理想因素,并加以校正^[6-10]。这类方法的弊端就是会增加模拟电路开销,并且设计难度较大。第2类,加入伪随机码(pseudo-random number, PN)对输入信号进行调制^[10-13]。这类方法的研究又可以分为两个方向:一个方向是利用伪随机码与输入信号的不相关性,把后级中带有非理想信息的输出信号进行相关性运算,分离出非理想因素^[10];另一个方向是利用伪随机码中‘0’和‘1’出现的概率相等的特性,对传输函数模型中的高阶误差项进行估计,进而在后级进行补偿达到校正效果^[11],这类方法的主要弊端是收敛速度慢。第3类,利用输入信号的

频谱特性,对含有非线性信息的输出信号在后级采用自适应滤波器进行非线性消除。这类方法需要根据输入信号的带宽来设计滤波器,所以应用范围局限在输入信号是带限信号的情况下^[14-16]。随着研究的不断深入,后来的研究者又分别对这3类方法进行了不同程度的改进,比如采用用虚拟的 ADC 作为参考 ADC,来代替模拟器件^[17-18],通过测试信号的加入,设计合理的时钟策略,来加速算法的收敛速度等^[19-20]。

本研究基于以前的研究成果,提出了1种新颖的后台校正方式,对1个12位40 MS/s的流水线型 ADC 进行了校正^[21-22]。这种校正方案主要用来校正第1级余量放大器的增益误差和增益非线性误差。这种方法对第1级与第2级之间的余量放大器建立传输函数模型,通过该模型来计算输出码值,将这个码值与理想的传输函数输出码值做差得到第一级误差的估计值,最后把这个误差值补偿给实际的输出码值来完成校正。实际实施中,将除第一级以外的 ADC 看为一个整体,称为后台 ADC。传输函数的建模通过存储的放大器输入信号结合后台 ADC 的输出码值来完成,存储的已知的点用来计算传输函数的模型参数,而对于未知的点,则需要将放大器的输入值带入传输函数模型求得输出码值,这一过程是一个多项式插值的过程,而这些已知的点则称为插值端点。由于插值端点的采集需要依赖输入信号的统计规律,所以收敛时间较长。这种校正方法的优点是不需要设计参考 ADC,也不需要额外加入测试信号,不需要加入伪随机码,对输入信号也没有特殊的要求。本研究采用 Verilog,对建模算法部分进行描述和性能评估,从校正精度、硬件消耗、功耗等方面对传输函数采用线性函数建模和采用三次多项式建模两种建模方式进行了对比。

1 校正结构

传统的流水线型 ADC 由数级级数相同或者不同的子 ADC 级联而成,最后的 A/D 转换结果通过各子级的输出码错位相加得到。在每一级的转化过程中,都会产生一些非理想因素,主要包括子 ADC 的参考电压偏移误差、增益数模转换器(multiplier digital to analog converter, MDAC)电容匹配误差和余量放大器增益有限所导致的误差。其中,参考电压偏移误差通过冗余位结构基本可以消除^[23],而电容不匹配和放大器增益有限所造成的误差,可以归结为一类,称为增益误差和增益非线性误差^[24]。式

(1)给出了流水线 ADC 中总误差的表达式,其中 e_1 为第一级子 ADC 中存在的误差, e_n 为第 n 级子 ADC 中的误差, G_1 为第一级余量放大器的增益, G_n 为第 n 级余量放大器的增益。从式(1)可以看出越靠近系统前端,子级误差对整体误差的影响越大,其中第一级误差的影响是最大的。

$$e = e_1 + \frac{e_2}{G_1} + \frac{e_3}{G_1 G_2} + \dots + \frac{e_n}{G_1 G_2 \dots G_{n-1}} \quad (1)$$

图1是后台校正 ADC 的系统框图,整个系统可以分为第一级子 ADC 和后台 ADC 两部分,校正的关键点是获得图中的非线性误差值 $e(D_b)$,以用来对实际的转换码值进行补偿,具体的工作原理和方法将在2.3节中详细介绍。在本设计中,为了降低校正的复杂度,只对第一级的增益非线性误差进行校正,对于除第一级外的子级,只做常规的线性误差校正,通过冗余位错位相加来完成。第一级中采用的误差校正方法,也可以应用在其他子级中,但是由于第一级的误差对整个系统的影响最大,为了体现这种校正方式的效果并且降低复杂度,只对第一级采用这种校正方法。在这里,把除第一级外的所有子级数据看作一个整体来做处理,称为后台数据。在参考文献[7]中,并不是把所有的后台数据看作一个整体,而是对需要校正的子级 MDAC 按照从系统后端到前端的次序依次进行校正,这种方式对每个子级都进行了非线性误差校正,所以校正精度高一些,但是逐级校正导致了系统收敛速度较慢。并且,对每个子级进行建模,每个子级都需要相应的建模、插值等的硬件消耗,硬件开销相对来说也较大。由于流水线型 ADC 信号是从前端到后端一级一级进行转化的,在每一级转化的过程中都存在量化误差,采用整体建模方式,会造成量化误差的累积,这种误差可以通过在最后一级采用足够的冗余位来消除^[11]。

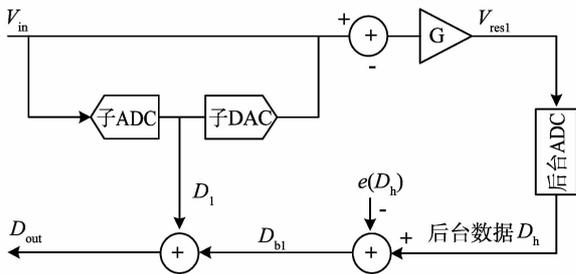


图1 后台数字校正 ADC 结构
Fig.1 Architecture of digital background calibration

2 后台数据传输函数建模

2.1 1.5 位子 ADC 传输函数模型

图2是一个1.5位结构的MDAC的工作原理

图。通过两项不交叠时钟组合 Φ_1 、 Φ_2 和 Φ_{1a} 控制采样保持过程,采样电容和反馈电容分别为 C_s 和 C_f ,放大器的开环增益为 A ,假设 MDAC 电路的闭环增益为 G ,那么 G 的表达式为式(2)。

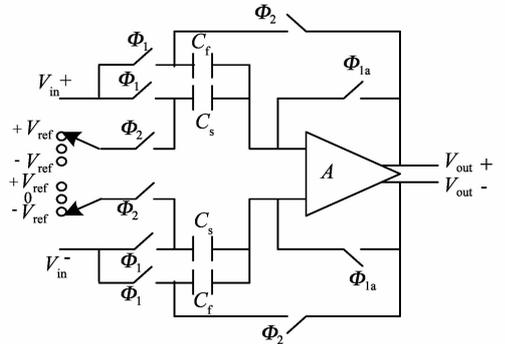


图2 1.5位结构 MDAC 原理图
Fig.2 Principle of 1.5 bits MDAC

$$G = \frac{C_s + C_f}{C_s + \frac{C_s + C_f}{A}} \quad (2)$$

式(2)中包含了电容失配误差和放大器增益有限造成的误差,把这两种误差归为一类,统称为与余量放大电路增益相关的误差,可见这个误差由余量放大器的开环增益和 MDAC 的电容匹配性共同决定。随着 ADC 速度和分辨率的不断提高,对级间余量放大器特别是第一级和第二级之间的余量放大器增益、带宽等的要求越来越高,不可避免的会造成芯片面积、功耗、设计难度的增加,甚至无法实现。MDAC 的噪声和线性度都受 MDAC 电容影响,电容越大,电容的匹配度越好,对噪声的抑制能力也越强。而电容的增大会加大芯片面积和系统功耗,对细线工艺下更高性能 ADC 的设计造成阻碍。如果采用数字校正策略,对 MDAC 线性度的设计要求就会降低,可以把放大器设计指标做相应的降低,采用较小面积的电容。

假设进入放大电路前的值为 V_1 ,那么放大电路的输入输出关系可以归结为式(3)的形式。实际工作中,运算放大器都采用差分工作方式,式(3)中的偶次误差项可以忽略不计,在建模时也不再考虑。

$$V_{res} = a_1 V_1 + a_2 V_1^2 + a_3 V_1^3 + \dots + a_m V_1^m \quad (3)$$

2.2 ADC 结构及子级传输函数曲线

本研究设计12位ADC,第一位设计为3.5位结构,之后9位都采用1.5位每级结构,后9级称为后台ADC。1.5位/级结构的子ADC信号传输曲线如图3(a)所示,第一级3.5位子ADC的传输曲线如图3(b)所示。1.5位的子ADC传输函数曲线为 $2^2 - 1 = 3$ 段,那么3.5位传输函数曲线应该分为 $2^4 - 1 = 15$ 段。在本研究采用的数字校正策略中,

对第一级子 ADC 传输函数中的每一段都进行多项式建模。

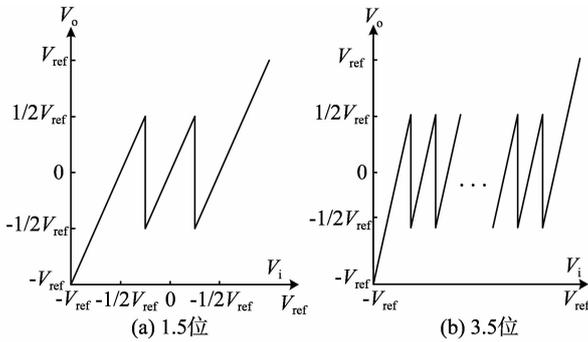


图3 1.5位和3.5位子ADC传输函数曲线
Fig.3 Transfer curves of 1.5 bits and 3.5 bits sub-ADC

2.3 传输函数建模

以放大电路的单段传输函数为例,由2.1、2.2可知,理想情况下该函数应该是线性函数,由于非理想因素的存在,实际的传输函数是式(3)的形式。实际传输曲线与理想曲线的对比图如图4所示。为了对失真的实际传输曲线进行校正,需要估计实际函数值与理想函数值之间的误差,把这个误差补偿给实际的后台转化数值,得到理想的后台数值。为了估计误差值,需要建立传输函数的模型。模型的建立需要用到插值理论,即根据选取的插值端点建立起对应于不同插值算法的传输函数,插值端点以外的值 D_{bx} 通过插值函数求得,把理想传输值 D_b 与估计值 D_{bx} 做差得到差值 $e(D_b)$,最后把这个值补偿给后台数据以完成校正。

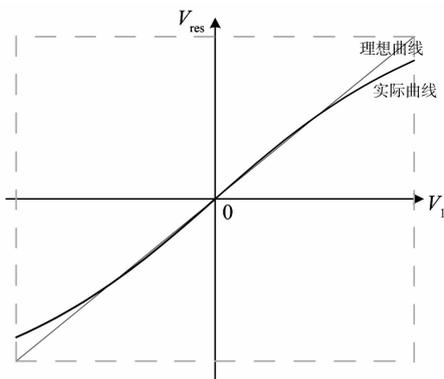


图4 理想与非理想余量曲线对比图
Fig.4 Ideal and non-ideal residual curve

在建立传输函数之前,需要得到插值点数据。本设计是在 ADC 系统工作之初采集第一级级间放大器的输入输出数据,存在存储器中。由于放大器的输出值经过后台 ADC 转换后已经成为数字码,可以直接用于矩阵运算。而输入数据是模拟形式,无法直接使用。本设计中利用数据传输的统计规律得到输入值数据。在通讯系统中,几乎所有的输入

信号在经过采样后都会满足概率密度分布规律,即小于某个值 V 的信号值出现的概率与信号总的出现次数的比率与信号的大小成比例。本设计利用这一规律,把小于 V 的信号值出现的次数 N 用计数器记录下来,称为 V 处的累积柱状图。从统计的角度来说, V 的位置可以由 V 对应的累积柱状图来表示。

图5给出了ADC后台数据进行校正的流程图。系统的校正过程可以分为以下几步完成。首先,存储器采集插值点数据,当依赖统计规律采集到足够的插值点后,后台数字处理系统开始在每段传输函数中选取相应的插值端点,来计算传输函数的参数。求得传输函数参数后,把输入信号对应的码值代入建立的传输函数模型和理想传输函数模型分别求得有传输函数模型得到的输出码值 D_{bx} 和理想输出码值 D_b ,把这两个值做差求得误差的估计值 $e(D_b)$ 。最后把这个误差估计值补偿给实际的后台码值完成校正。

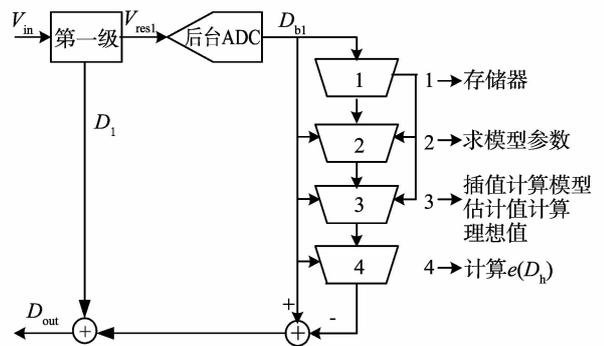


图5 后台建模校正流程图
Fig.5 Background modeling flow chart

我们可以把传输函数模型选用几种不同的形式,最常用的有线性函数、三次、五次多项式函数等,分别对应分段线性插值法,三次、五次多项式插值法等。本研究分别选用分段线性插值和三次多项式插值两种插值方法对系统进行了校正。图6分别给出了两种插值方式传输函数模型的对比图。

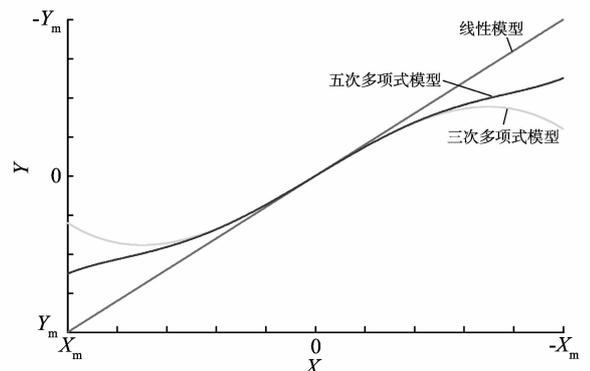


图6 不同模型传输曲线对比
Fig.6 Comparison of different transfer curves

对于分段线性插值,传输函数模型表达式为式(4),对于已知的插值端点 $(x_0, y_0), (x_1, y_1)$,带入建立的表达式得到方程组(5),那么未知系数 k_1 可以通过式(6)求得。

$$y = k_1 x, \quad (4)$$

$$\begin{cases} y_0 = k_1 x_0; \\ y_1 = k_1 x_1, \end{cases} \quad (5)$$

$$k_1 = \frac{y_0 - y_1}{x_0 - x_1}. \quad (6)$$

采用三次多项式插值,传输函数模型表达式为式(7),带入插值端点 $(x_0, y_0), (x_1, y_1), (x_2, y_2)$ 得到式(8)中的方程组,式(8)也可以表示为式(9)中的矩阵形式,通过式(10)中的矩阵运算可以求得系数 k_1 和 k_3 。

$$y = y_0 + k_1(x - x_0) + k_3(x - x_0)^3, \quad (7)$$

$$\begin{cases} y_1 = y_0 + k_1(x_1 - x_0) + k_3(x_1 - x_0)^3; \\ y_2 = y_0 + k_1(x_2 - x_0) + k_3(x_2 - x_0)^3, \end{cases} \quad (8)$$

$$\begin{bmatrix} y_1 - y_0 \\ y_2 - y_0 \end{bmatrix} = \begin{bmatrix} x_1 - x_0 & (x_1 - x_0)^3 \\ x_2 - x_0 & (x_2 - x_0)^3 \end{bmatrix} \begin{bmatrix} k_1 \\ k_3 \end{bmatrix}, \quad (9)$$

$$\begin{bmatrix} k_1 \\ k_3 \end{bmatrix} = \begin{bmatrix} x_1 - x_0 & (x_1 - x_0)^3 \\ x_2 - x_0 & (x_2 - x_0)^3 \end{bmatrix}^{-1} \begin{bmatrix} y_1 - y_0 \\ y_2 - y_0 \end{bmatrix}. \quad (10)$$

在文献[18]中,是把传输函数的每一段都分为3段,分别针对每一段来建模。在本设计中,选取每四个后台码值数据作为一段来建立传输函数模型,所以插值端点一共有 $2^9/4 = 128$ 组,也就是每段传输函数分为8段。对于分段线性插值来说,相当于从每4个后台码值中选取一组2个码值作为插值端点,而对于三次多项式插值来说,是从每4个后台码值中选取一组3个码值作为插值端点。紧密的选择插值端点可以提高校正精度,但是同时计算量增加,会增加系统功耗。

2.4 插值方法对比

线性传输函数的插值余项可以由式(11)表示^[25]。其中 $f(x)$ 表示理想的传输函数, $P(x)$ 为式(4)构建的传输函数模型,也就是插值函数, $R(x)$ 为插值函数与理想传输函数的差值。 $f^{(2)}(t)$ 为 $f(x)$ 在“ t ”处的二阶导数。 x_0, x_1 分别为两个差值端点的横坐标,满足 $x_0 < x_2$ 。变量 t 满足 $x_0 \leq t \leq x_1$,为 x_0 和 x_1 之间的某一个不能确定的值。 x 与 x_0, x_1 的差值由插值端点的选择决定。本研究中的后台ADC为9位,插值端点大概在后台ADC一个码值的量级,即 $(x - x_0), (x - x_1), (x - x_2) \approx V_{\text{ref}}/2^9$,那么

$R(x)$ 大概在 2^{-18} 数量级。如果插值算法采用三次多项式插值,插值余项的表达式为式(12),相同的条件下,此插值余项的量级约为 2^{-27} 。可见采用3次多项式插值精度比采用分段线性插值要高得多。

$$R(x) = \frac{f^{(2)}(t)}{6}(x - x_0)(x - x_1), \quad (11)$$

$$R(x) = f(x) - P(x) = \frac{f^{(3)}(t)}{6}(x - x_0)(x - x_1)(x - x_2). \quad (12)$$

在硬件开销方面,线性插值只涉及到一次减法运算和一次除法运算,而三次多项式建模涉及到矩阵运算,运算量大不仅仅会造成硬件消耗,同时也会产生功率消耗,需要更长的运算时间,收敛时间变长。数字电路的功耗相对与模拟电路来说比较小,开关时间短,在细线工艺下更有优势,运算时间问题也可以通过异步时钟策略来解决。分别对两种算法用Verilog语言描述,在0.18 um CMOS工艺,3.3 V工作电压下进行综合估计硬件开销、功耗和时间复杂度。如果采用一次线性建模,数字部分所需要的硬件大概为3 200个逻辑门,功耗为4.4 mW,整个运算过程在1个数字时钟周期内完成。采用3次多项式建模,硬件开销约为8 400个逻辑门,功耗为22 mW,运算过程为6个数字时钟周期。

两种算法的收敛速度,也就是插值余项随采样次数变小的速度,在仿真结果中给出。

3 仿真结果

对模拟电路部分采用前文的结构进行电路设计,校正算法部分采用Verilog语言描述,整个系统使用Spectre-Verilog混合仿真器进行仿真。对于一个分辨率为12位,采样频率为40兆的流水线型ADC,图7给出了输入信号在奈奎斯特频率附近时,采样线性传输函数和三次多项式函数插值法校正前后的动态仿真结果。对于本设计,采用分段线性插值法校正时,校正算法对系统无杂散动态范围(spurious free dynamic range, SFDR)的提高约为19 dB。当校正算法采用三次多项式插值时, SFDR提高约为28 dB。可见,从校正精度的角度来看,采用的传输函数模型次数越高,校正精度越高。图8是用Matlab仿真所得的两种插值方法插值余项与采样次数的关系示意图。采用线性插值,插值误差在100次插值,也就是200个采样点左右达到稳定,采用3次多项式插值,插值误差约在35次插值,也就是100个采样点左右达到稳定。

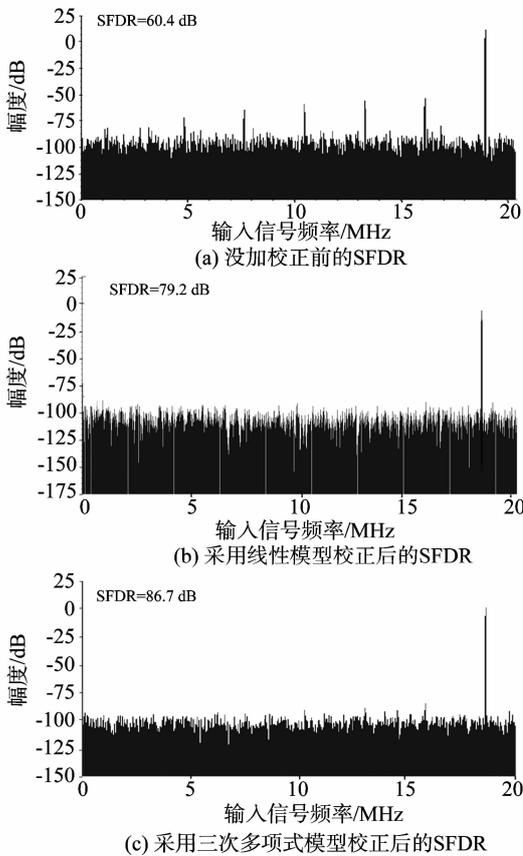


图7 校正前后的 SFDR

Fig. 7 SFDR before and after calibration

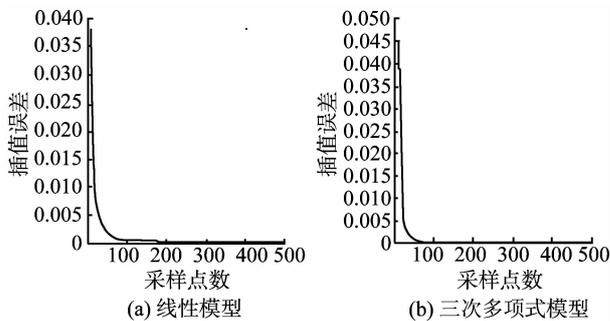


图8 插值误差

Fig. 8 Interpolation errors

4 结论

在细线工艺、低电源电压下,后台数字校正算法可以把性能的提高从模拟域转换到数字域,使得流水线型 ADC 分辨率和速度的进一步提高突破工艺的限制。与以前的研究相比,本研究采用的校正策略不需要增加额外的模拟器件、不需要添加测试信号、不需要添加伪随机码,对输入信号也没有特殊的要求。研究中通过对两种不同次数的插值方式作对比,可以看出插值多项式次数越高,插值余项越小,校正效果越好,同时所产生的硬件开销、功耗和时间复杂度也越大。这对于校正算法的研究具有重要的

指导意义,设计者可以根据自己的设计侧重点来选择适合自己研究方案的插值算法。

参考文献:

- [1] XING H Q, JIANG H J, CHEN D G, et al. High-resolution ADC linearity testing using a fully digital-compatible BIST strategy[J]. IEEE Transactions on Instrumentation and Measurement, 2009, 58(8):2697-2705.
- [2] FIGUEIREDO M, PAULINO, EVANSV G, et al. New simple digital self-calibration technique for pipelined ADCs using the internal thermal noise[C]// IEEE International Symposium on Circuits and Systems. [S. 1]: IEEE, 2009:232-235.
- [3] INGINO J M, WOOLEY B A. A continuously calibrated 12-b, 10-MS/s, 3.3-V A/D converter [J]. IEEE Journal of Solid-State Circuits, 1998, 33(12):1920-1931.
- [4] MOON U K, SONG B S. Background digital calibration techniques for pipelined ADCs [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 1997, 44(2): 102-109.
- [5] SONG B S, TOMPSETT M F, LAKSHMIKUMAR K R. A 12-bit 1-M sample/s capacitor error-averaging pipelined A/D converter [J]. IEEE Journal of Solid-State Circuits, 1988, 23(12):1324-1333.
- [6] WANG X, HURST P J, LEWIS S H. A 12-Bit 20-M sample/s pipelined analog-to-digital converter with nested digital background calibration [J]. IEEE Journal of Solid-State Circuits, 2004, 39(11):1799-1807.
- [7] YUAN J, FUNG S W, CHAN K Y, et al. An interpolation-based calibration architecture for pipeline ADC with nonlinear error [J]. IEEE Transactions on Circuits and System I: Regular Papers, 2012, 61(1):17-25.
- [8] YUAN J, FARHAT N H, VAN DER SPIEGEL J. Background calibration with piecewise linearized error model for CMOS pipeline A/D Converter [J]. IEEE Transactions on Circuits and System I: Regular Papers, 2008, 55(1):311-321.
- [9] WANG H, WANG X, HURST P J, et al. Nested digital background calibration of a 12-bit pipelined ADC without an input SHA [J]. IEEE Journal of Solid-State Circuits, 2009, 44(10):2780-2789.
- [10] MING J, LEWIS S H. An 8-bit 80-Msample/s pipelined analog-to-digital converter with background calibration [J]. IEEE Journal of Solid-State Circuits, 2001, 36(10):1489-1497.
- [11] MURMANN B, BOSER B E. A 12-bit 75-MS/s pipelined ADC using open-loop residue amplification [J]. IEEE Journal of Solid-State Circuits, 2003, 38(12): 2040-2050.

- [12] 贾华宇, 陈贵灿, 程军, 等. 流水线模数转化器的一种数字校准算法[J]. 西安交通大学学报, 2008, 42(8): 991-995.
JIA Huayu, CHEN Guican, CHENG Jun, et al. A digital calibration technique of pipelined analog-to-digital converter [J]. Journal of Xi'an Jiaotong University, 2008, 42(8):991-995.
- [13] MURMANN B, BOSER B E. Digitally assisted pipeline ADCs[M]. Boston, MA, USA: Kluwer Academic Publishers, 2004:75-100.
- [14] CAUWENBERGHS G, TEMES G C. Adaptive digital correction of analog errors in MASH ADC's-Part I: Off-line and blind on-Line calibration [J]. IEEE Transactions on Circuits and System II: Express Briefs, 2000, 47(7):621-628.
- [15] DOGANCA Y K. Blind compensation of nonlinear distortion for band limited signals [J]. IEEE Transactions on Circuits and System I: Regular Papers, 2005, 52(9): 1872-1882.
- [16] CHIU Y, TSANG C W, NIKOLIC' B, et al. Least mean square adaptive digital background calibration of pipelined analog-to-digital converters [J]. IEEE Transactions on Circuits and System I: Regular Papers, 2004, 51(1):38-46.
- [17] PENG B, LI H, LEE S C, et al. A virtual-ADC digital background calibration technique for multistage A/D conversion [J]. IEEE Transactions on Circuits and System II: Express Briefs, 2010, 57(11):853-857.
- [18] PENG B, LI H, LEE S C, et al. An offset double conversion technique for digital calibration of pipelined ADCs [J]. IEEE Transactions on Circuits and System II: Express Briefs, 2010, 57(12):961-965.
- [19] DAITO M, MATSUI H, UEDA M, et al. A 14-bit 20-MS/s pipelined ADC with digital distortion calibration [J]. IEEE Journal of Solid-State Circuits, 2006, 26(11):2417-2423.
- [20] KIM J K R, MURMANN B. A 12-b, 30-MS/s, 2.95-mW pipelined ADC using single-stage class-AB amplifiers and deterministic background calibration [J]. IEEE Journal of Solid-State Circuits, 2012, 47(9): 2141-2151.
- [21] GONG Y H, LUO M, YU M Y, et al. A novel approach to calibrate open-loop amplifier nonlinearities through piecewise linear interpolation [C]//2012 IEEE 11th International Conference on Solid-State and Integrated Circuit Technology Proceedings. Xi'an: IEEE Press, 2012.
- [22] 宫月红, 罗敏, 喻明艳, 等. 应用多项式插值的流水线ADC 后台数字校正方法[J]. 计算机辅助设计与图形学学报, 2013, 25(11):1759-1766.
GONG Yuehong, LUO Min, YU Mingyan, et al. Pipeline ADC background calibration applying polynomial interpolation [J]. Journal of Computer-Aided Design & Computer Graphics, 2013, 25(11):1759-1766.
- [23] LEWIS S H, FETTERMAN H S, GROSS G F, et al. A 10-b 20-M sample/s analog-to-digital converter [J]. IEEE Journal of Solid-State Circuits, 1992, 27(3):351-358.
- [24] 毕查德·拉扎维. 模拟CMOS 集成电路设计[M]. 西安: 西安交通大学出版社, 2002:364-389.
- [25] 李庆扬, 王能超, 易大义. 数值分析[M]. 北京: 清华大学出版社 & 施普林格出版社, 2001:47-48.

(编辑: 胡春霞)