

# ARM+DSP 系统 MMU 在射频一致性测试仪表的实现

Realization of MMU of System Based on ARM+DSP  
for RF Conformance Testing Instrument

陈发堂 郭丽强

(重庆邮电大学通信与信息工程学院,重庆 400065)

**摘要:** 针对单核处理器 MMU 无法满足 TD-LTE 射频一致性测试仪对存储系统提出的高性能需求,提出了一种基于功能强大的 ARM+DSP 双核嵌入式系统的 MMU 实现方法。根据 TD-LTE 系统的设计需求,重点介绍了双核 MMU 在不同环境下的设计及其与各种方案的对比分析。基于双核系统中 ARM 与 DSP 处理器各自特点和需求,设计了两种 MMU。在实现重映射后,双核系统实现上电自启动,并顺利响应了来自 GPIO 的 IRQ 中断。

**关键词:** 嵌入式 双核处理器 ARM DSP MMU

**中图分类号:** TN929+.5 **文献标志码:** A

**Abstract:** It is difficult for single core processor MMU to meet the high performance requirement of storage system for time-division long-term evolution (TD-LTE) RF conformance tester, thus the implementing method of MMU based on highly powerful ARM+DSP dual core embedded system is proposed. In accordance with the design requirement of TD-LTE system, the designs of dual core MMU under different environment are introduced emphatically and various schemes are compared and analyzed. Two types of MMU are designed based on features and requirements of ARM and DSP respectively. After remapping, the dual core system realizes automatic start-up, and successfully responses to the interrupts from GPIO and IRQ.

**Keywords:** Embedded Double-core ARM Digital signal processing(DSP) Memory management unit (MMU)

## 0 引言

随着计算技术的高速发展,虚拟化在存储系统中扮演着日益重要的角色。目前,越来越多的处理器集成了内存管理单元(memory management unit,MMU),用于为虚拟化提供支持<sup>[1]</sup>。以 ARM 处理器流水结构和 DSP 处理器强大的数据处理能力相结合的非对称双核架构<sup>[2]</sup>,既能保持算法的灵活性,又能提供强大的处理能力。ARM 负责外围接口及外围存储设备和子处理器(DSP)的配置和控制,DSP 则负责算法加速。DSP 的算法代码作为 ARM 端 OS 文件系统的文件存在,通过应用程序进行 DSP 程序的下载和 DSP 芯片的控制<sup>[3]</sup>。

以往的文献大多只介绍传统单核 MMU 的应用和研究,相关成熟的研究成果不再详述,本文重点介绍双核系统 MMU 及其在具体环境中与不同技术方案的对比分析。

## 1 射频一致性测试仪表简介

TD-LTE 射频一致性测试仪表主要是针对 LTE 终

端和网络端的射频测试,通过硬件方面的射频开关设备和软件方面的完整测试软件,实现 TD-LTE 和 TD-SCDMA 互操作条件下的射频测试功能。射频一致性测试仪表硬件平台整体架构如图 1 所示。图 1 中,C6A8168 为 ARM+DSP 双核架构,其中 ARM 负责 MAC 层之上的协议栈代码的处理,DSP 部分处理完成 MAC 层和 LIC 调度的处理等。FPGA 芯片则负责完成层算法的硬件加速、基带数据借口控制等。各芯片之间通过外围接口进行数据交互。各射频测功能模块与 FPGA 芯片相连。

本双核系统中,ARM 为主处理器,DSP 为辅处理器,主处理器负责辅处理器的电源域控制、复位控制以及入口点的设置等。双核系统通过各自 MMU,实现虚拟地址和物理地址间的映射,以便对存储系统进行数据交互,处理器间通过邮箱中断或硬件自旋锁实现通信。两个处理器采用了不同的 MMU,以管理各自的存储系统,实现虚拟地址和物理地址间的转换和读写访问。由系统 MMU 结构图可知,在对存储设备(包括外存和内存)进行访问时,各处理器通过对应的 MMU 系统互连总线进行数据的交互,MMU 经过地址间的翻译后由系统互连总线实现进程或 CPU 对存储设备的数据交互。

国家科技重大专项基金资助项目(编号:2011ZX03001-002)。

修改稿收到日期:2013-05-04。

第一作者陈发堂(1965-),男,1999年毕业于北京邮电大学应用数学专业,获硕士学位,研究员;主要从事 TD-LTE 系统的研发工作。

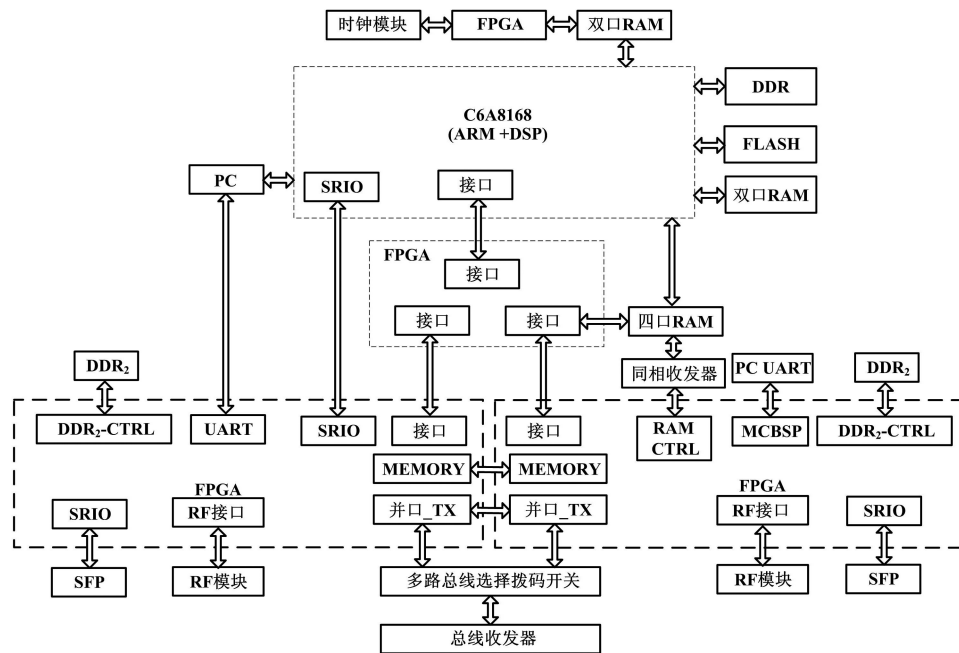


图1 系统整体架构图

Fig.1 Overall system architecture

## 2 ARM 端 MMU

ARM 端引入了存储管理单元。MMU 主要是在 L<sub>1</sub> 和 L<sub>2</sub> 内存系统范围内进行虚拟地址到物理地址间的转换和外存的属性、访问权限控制等,其中 MMU 通过一系列的虚拟物理地址的映射和旁路转换缓冲 (translation lookaside buffer, TLB)<sup>[4-5]</sup>, 提供一个精确的内存访问控制机制。ARM 与 DSP 的 MMU 总体架构如图 2 所示。

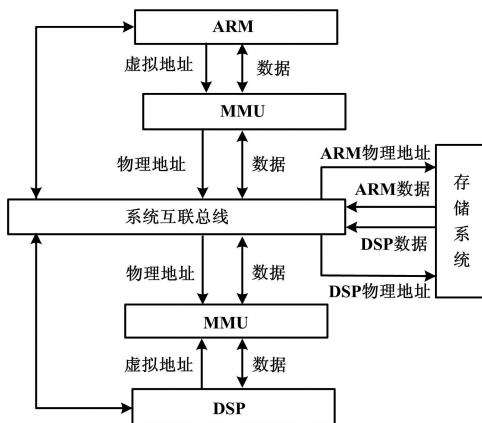


图2 双核系统 MMU 架构

Fig.2 Architecture of dual core MMU system

### 2.1 MMU 在内存访问中的作用

在非安全模式下,ARM 端存储系统分为三级,分别为 PL<sub>0</sub>、PL<sub>1</sub>、PL<sub>2</sub>, MMU 则负责完成所有相对应的三

级存储系统的控制。每个级别对应的存储系统控制是由不同的抽象 MMU 提供的,各个 MMU 提供独立的不同的控制。但是在安全模式下,只有一个存储系统控制的级别,出于 TD-LTE 系统的需求,各级存储系统需要在安全状态模式下行使虚拟地址和物理地址之间的转换与访问权限的控制。

MMU 中页表遍历硬件系统是在翻译表中查询所需地址变换条目的过程,查询开始的级别是根据系统所采用的翻译表格式的不同而定的。当系统采用短地址描述符翻译表格式时,从第一级开始查询,否则从第一级或第二级开始。此次查询由硬件自动完成,这会消耗很大一部分时间;同时,为了获得更好的虚拟地址到物理地址间的映射,一个地址转换就需要对翻译表进行多次访问,从而影响了 MMU 的工作效能。为了解决这个问题,需要采用 TLB 机制。

### 2.2 地址变换过程

基于 TD-LTE 系统的需求和双核系统 ARM 处理器 MMU 的特点,在介绍地址变换过程前,需要事先说明翻译表基地址较以往的不同点。翻译表基地址用于存放翻译表在存储设备中的地址,传统地址翻译表只有一个,本文不再详细介绍。本系统中有两个基地址,在非安全模式下第三级存储翻译系统中只有一个基地址,在第一级和第二级存储系统的第二翻译段也是一个翻译地址。在安全和非安全模式下第一、二级存储系统的第一段翻译中有两个翻译表基地址(也可以使

用一个),第一个地址存放的基地址是对应于整个地址空间的前半部分,第二个地址存放的值是相对应的地址空间的後半部分。以一个以大页为单位的地址翻译过程为例,详细分析具体的地址翻译过程。

### 2.2.1 一级页表地址变换过程

MMU 所实现的一级地址变换过程如图 3 所示。协处理器 CP15 中  $C_2$  寄存器存放变换页表的基地址,该虚拟地址被分为二级三部分:第一级页表索引,第二级页表索引和大页页表索引。在第一级页表翻译时,CP15 的寄存器  $C_2$  的位[31:14]与第一级页表索引结合为第一级翻译页表址的高 30 位和低两位数据位 00,由于本页表是以大页为单位的地址变换,所以从该条目地址中可得到一个指向二级页表的指针<sup>[5]</sup>。

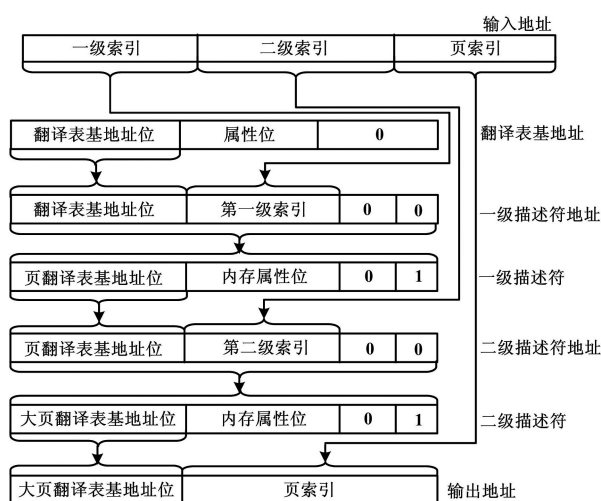


图 3 地址翻译过程

Fig.3 Address translation process

### 2.2.2 二级页表地址变换过程

二级页表地址变换过程与一级过程基本相似,如图 3 所示,不同的是输出的地址描述符中高 16 位数据与虚拟地址中的页表索引结合形成所需的地址<sup>[5]</sup>,即物理地址。

图 3 中地址描述符中的属性控制着被映射存储区的内存属性(例如是否被 ARM 和 DSP 共享,是否属于安全模式等)和访问权限。MMU 做完映射后的存储区域在被 ARM 处理器或 DSP 处理器访问时是否需要权限检查是根据 ARM 协处理器中的域控制器和地址描述符中相应的域控制位而定的,而相对存储区的访问权限则由该地址描述符中 AP[2:0]决定。双核系统 MMU 中的多位地址描述符用来配置对应的存储器能否为双核所共享,不同于传统单核处理器 MMU。

本双核系统内置了 ICaches(指令 Cache)、DCaches

(数据 Cache)和 Write buffer(写高速缓存),操作时需要用到描述符中的 C 位和 B 位。ICaches 一般在 MMU 开启后使用,此时描述符的 C 位用来表示一段内存是否可以被 Cache。ICaches 开启后,CPU 每次取指时都会先在 ICaches 中查看是否能找到所用指令,而不管 C 是 0 还是 1。如果找到所用指令,则称为 Cache 命中,找不到则称为 Cache 丢失。ICaches 被开启后,CPU 取指有如下三种情况:Cache 命中且 C 为 1 时,从 ICaches 中取指,返回 CPU;Cache 丢失且 C 为 1 时,CPU 从主存中取指,并且把指令高速缓存到 Cache 中;C 为 0 时,CPU 从主存中取指。对于 DCaches,与 ICaches 相似,Write buffer 中的内容也是被废弃不用的。往 C 位(CP15 协处理器中寄存器 1 的第二位)写 1,启动 DCaches;写 0,停止 DCaches。Write buffer 和 DCaches 紧密结合,没有专门的控制来开启和停止它。与 ICaches 不同,DCaches 功能必须在 MMU 开启之后才能被使用。DCaches 被开启后,CPU 每次读写数据时都会事先在 DCaches 中查看是否能找到所需的数据,不管 C 是 0 还是 1。如果找到了所需数据,则称为 Cache 命中,找不到则称为 Cache 丢失。

### 2.3 高速缓存的清除和使无效

MMU 中所使用的高速缓存包括原理和目的都是和传统的高速缓存类似的,理论上也可以不用高速缓存,但是 TD-LTE 系统对数据处理的速度要求较高。考虑到开启了 MMU 后虚拟地址到物理地址之间的转换时需要多次访问内存,大大降低了 CPU 的性能,所以应该开通高速缓存,但是开通后双核系统需要对缓存进行各种处理,这就需要花费时间。因此,在 MMU 功能实现中有以下两个方案可选。

第一个方案:不开通高速缓存,这样无论指令和数据的读取都要访问内存,双核处理器的强大数据处理和控制性能得不到发挥,但是可以节省对缓存的各种处理时间。

第二个方案:开通高速缓存。开通高速缓存功能后,系统需要花费时间去做相应的处理,如清除和使无效以及缓存错误处理等。由示波器观察所需时间可知,开启缓存后,数据读写的速度成倍提升。所以在 TD-LTE 系统中选择第二个方案。

使能缓存前需要通过清除和使无效两个操作保证高速缓存中内容和主存中内容的一致性,否则高速缓存的内容就是之前的旧数据。清除是指把已经写入高速缓存中的而未写入主存的数据写入主存;使无效是指高速缓存停止其功能。传统嵌入式处理器的 MMU 关于高速缓存的清除和使无效是通过简单 ARM 协处

理器指令完成的,例如:

```
mcr p15,0,r0,c7,c7,0
```

仅此一条指令便可以把数据缓存和指令缓存全部清除和使无效,但是由于 TD-LTE 系统要求具有 ARM+DSP 双核系统,这就使得高速缓存的清除和使无效机制变得很复杂。

清除和使无效机制有两种,一是由虚拟地址实现,二是由 Cache Line 和 Cache Way 实现。由于第一种实现方式的效率不符合 TD-LTE 系统需求,所以本系统采用第二种方式。但是该方式需要对高速缓存的具体结构有清晰的了解。高速缓存中的基本存储单位是 Cache Line,所有不同序号的 Cache Line 组成高速缓存中的 Cache Way,所有不同 Cache Way 的相同 Cache Line 组成 Cache Set。先以 Cache Way 为第一层循环,再以 Cache Set 中的 Cache Line 为基本单位进行清除和使无效操作。双重循环之后,系统中大小为 32 kB 的高速缓存便可被清除和使无效,这一点是与 ARM 核处理器所属的架构相关的。

### 3 DSP 处理器 MMU

当双核系统启动时,系统在对 ARM 和 DSP 进行最简单的初始化后,ARM 作为主处理器先启动,DSP 此时被禁止而进入到复位模式。ARM 启动完成后配置 DSP 处理器退出复位状态,待 DSP 初始化完成后 DSP 端 MMU 才算进入到可以使能的环境。

DSP 端处理器 MMU 的功能和功能原理与 ARM 端 MMU 基本相似,但是在功能和控制的方式上有很大区别。在控制方面,ARM 中 MMU 主要是通过 ARM 系统协处理器配合完成对 MMU 的使能等控制;在功能方面,翻译表和页表遍历硬件系统都可以选择使能与否,DSP 端 MMU 翻译表中地址描述符必须要定义相对存储区的存储格式(大小端)的选择与配置(大小端可以配置为基于存储器的大小端或基于访问端的大小端);在访问大小上,DSP 端 MMU 可选择 8 位、16 位和 32 位。

DSP 端 MMU 在第一级描述符和第二级描述符中都要定义相对应存储区的大小段选择、访问大小等。不同于 ARM 端的 MMU,DSP 端 MMU 有两个时钟域。这两个时钟域分别负责系统互连总线的访问及访问控制。一个输入时钟通过两个时钟使能信号控制两个时钟域的开启与否。

### 4 测试结果与分析

以上介绍了双核 MMU 的不同点,其需要注意的

地方也很多,例如在页表、缓存等都配置好后,使能 MMU 时必须注意使能 MMU 指令的虚拟地址要和其物理地址一样,否则系统会报错。因为假设使能 MMU 的指令物理地址为 Addr\_ph,根据映射关系它的虚拟地址为 Addr\_vr,没有启动 MMU 时 CPU 发出的地址都是物理地址,CPU 会在地址 Addr\_ph 取出使能 MMU 的指令,执行后再发出的指令地址便为虚拟地址。由于处理器的流水线结构,故下一次应该从地址(虚拟)Addr\_vr+4 处取得,但是此时 PC 寄存器存放的原 Addr\_ph+4 并没有改变,即 CPU 所执行的指令的地址仍为 Addr\_ph+4,但是此时 Addr\_ph+4 已经成为非法地址。使能 MMU 时 PC 跳转示意图如图 4 所示。

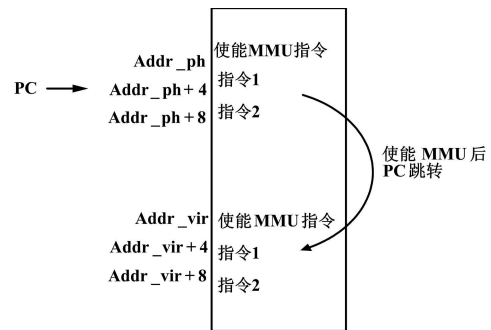


图 4 使能 MMU 时 PC 跳转示意图

Fig. 4 Soft reset of PC when the MMU is enabled

图 4 中,“→”右侧为使能 MMU 指令的下一条指令取址的跳转情况。由于处理器的流水线结构,PC 寄存器应该按照箭头所示取指令,但此时 PC 已经存放了 Addr\_ph+4,且该地址在使能 MMU 后为非法地址。为了防止类似问题出现,需要保证使能 MMU 的指令及其附近指令的虚拟地址和物理地址必须相同,即等价映射<sup>[6-7]</sup>。

以上 MMU 设计已通过代码实现,在负责实现 TD-LTE 射频一致性测试仪表启动代码重映射时,把系统 0 地址映射为 RAM 中存放启动代码的位置,以便系统顺利启动。启动完成后通过双核芯片外围接口 GPIO 接收中断,中断顺利跳转到经过 MMU 映射的中断向量表,再配置可提高系统内存效率的功能,MMU 的实现达到了 LTE 测试仪要求。

### 5 结束语

在嵌入式系统中,MMU 是提高整体性能不可或缺的一部分<sup>[7]</sup>,在 ARM+DSP 双核系统也起着相同的作用。针对 TD-LTE 系统的需求,本文在考虑了硬件

(下转第 62 页)