

## Optimization and Design of Low-Noise Low-Power Microcapacitance Readout Circuit\*

CHAI Xuzhao<sup>1</sup>, GU Xiaofeng<sup>1\*</sup>, DAI Huan<sup>1</sup> SU Xiaobo<sup>1</sup>, YU Zongguang<sup>1,2</sup>

(1. School of Information Technology, Jiangnan University, Wuxi Jiangsu 214122, China;  
2. CETC58, Wuxi Jiangsu 214035, China)

**Abstract:** Based on the chopper-stabilized technique, the capacitance matching and multi-stage optimization methods are employed to optimize the noise and power dissipation of the microcapacitance readout circuit for MEMS microsensor. According to the optimization analysis, the dual-chopper stabilized circuit is designed and successfully verified by Cadence Spectre in CSMC 0.5  $\mu\text{m}$  CMOS process. Simulation results indicate that the resolution of microcapacitance detection is in the order of magnitude aF, and the capacitance variation shows a linear relation with the output voltage variation. The output voltage offset is only 38.9  $\mu\text{V}$  and the equivalent input-referred noise is about 17  $\text{nV}/\text{Hz}^{1/2}$ . Under the 5 V supply, the power consumption is only 2.5 mW, and the output delay is 6.29  $\mu\text{s}$ .

**Key words:** microsensor; readout circuit; chopper-stabilized technique; sensing capacitance

EEACC: 1220; 2570D

doi: 10.3969/j.issn.1004-1699.2010.08.012

## 低噪声低功耗微电容读出电路的优化与设计\*

柴旭朝<sup>1</sup>, 顾晓峰<sup>1\*</sup>, 戴欢<sup>1</sup>, 苏小波<sup>1</sup>, 于宗光<sup>1,2</sup>

(1. 江南大学信息工程学院, 江苏 无锡 214122;  
2. 中国电子科技集团总公司第 58 研究所, 江苏 无锡 214035)

**摘要:** 结合斩波稳定技术, 通过电容匹配和多级优化的方法分别对用于 MEMS 微传感器的微电容读出电路的噪声性能和功耗进行了优化。基于优化分析采用两级斩波稳定电路结构, 在 CSMC 0.5  $\mu\text{m}$  CMOS 工艺下, 用 Cadence Spectre 进行了仿真验证。结果表明能精确检测出 aF ( $10^{-18}$  F) 量级的微电容, 输出电压变化量与电容变化量呈线性关系, 并且输出失调电压仅为 38.9  $\mu\text{V}$ , 等效输入噪声电压为 17  $\text{nV}/\text{Hz}^{1/2}$ 。在 5 V 电源电压下功耗仅为 2.5 mW, 输出延时为 6.29  $\mu\text{s}$ 。

**关键词:** 微传感器; 读出电路; 斩波稳定技术; 检测电容

中图分类号: TN432; TN722.7.7

文献标识码: A

文章编号: 1004-1699(2010)08-1102-04

小型化、低成本的 MEMS 传感器不仅广泛应用在国防、汽车交通和生物医学等领域, 在快速发展的消费类电子产品上也呈现出巨大的市场前景<sup>[1-2]</sup>。就 MEMS 传感器的检测机制而言, 电容检测相比其它方法有功耗低、温度稳定性高、与 CMOS 工艺兼容等优点<sup>[3]</sup>。但由于电容性传感器具有较小的检测电容和机械灵敏度, 低噪声读出电路的设计成为实现高分辨率微传感器的关键<sup>[4-6]</sup>。同时, 随着无线传感网和消费电子市场的增长, 低功耗日渐成为一个的重要设计指标<sup>[7]</sup>。

对 MEMS 传感器的读出电路已有不少研究, 其中开关电容读出电路在电容性 MEMS 传感器的接口电路中得到了较广泛的应用<sup>[5,8]</sup>, 但是  $KT/C$  噪声和噪声折叠严重影响了电路的噪声性能。Lemkin 等人采用相关双采样技术消除  $KT/C$  噪声<sup>[5]</sup>, 但采样带来的噪声折叠仍难以消除。连续时间读出电路也是常采用的一种电路结构, 其中连续时间电压读出电路由于具有较好的噪声性能<sup>[4,9-10]</sup>, 应用最为广泛。Wu 等人采用斩波稳定技术, 通过电容匹配从理论上对电噪声和灵敏度进行优化, 实现了 50  $\mu\text{g}/\text{Hz}^{1/2}$  的低噪声

项目来源: 教育部新世纪优秀人才支持计划资助 (NCET-06-0484); 教育部留学回国人员科研启动基金资助 (教外司留 [2008]890); 江南大学自主科研计划资助 (JUSRP20914)

收稿日期: 2009-12-18 修改日期: 2010-03-11

性能,但未对功耗进行深入研究<sup>[4]</sup>。Qu 等人采用了双斩波技术进行低噪声、低功耗设计<sup>[11]</sup>,但仅局限于电路结构上,未通过理论推导进行优化。本文电路结构采用斩波稳定技术读取敏感信号,并基于理论推导对低噪声、低功耗电路进行了优化设计。

## 1 噪声优化

图 1 给出了 C/V 电路的一般结构,其中,  $C_0$  为检测电容,  $C_p$  为寄生电容,  $R_b$  为偏置电阻。电路的等效输入噪声为:

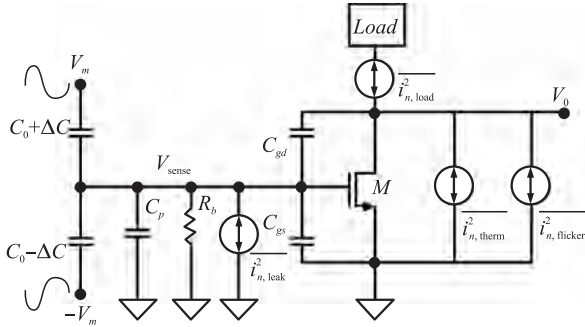


图 1 C/V 电路的一般结构

$$\overline{V_{n,in}^2} = \overline{V_{n,therm}^2} + \overline{V_{n,flicker}^2} + \overline{V_{n,leak}^2} = \frac{K_T T}{W^\beta L^{\beta-1}} + \frac{K_f}{WLf} + \frac{K_s i_{leak}}{(2C_0 + C_p + C_{gs} + C_{gd})^2 f^2} \quad (1)$$

其中  $K_T$ 、 $K_f$  和  $K_s$  为等效输入噪声系数,  $W$ 、 $L$  分别为 MOS 管的沟道宽度和长度,  $C_{gs}$ 、 $C_{gd}$  分别为栅源和栅漏电容,  $i_{leak}$  为漏电流,  $f$  为调制频率。长沟道下参数  $\beta = 1/2$ , 短沟道下速度饱和时  $\beta = 1$ <sup>[12]</sup>。由于 N-well CMOS 工艺中 PMOS 管的漏电流很小, 因此我们采用 PMOS 管作偏置开关, 不再考虑漏电流产生的电噪声。这样, 长沟道下电噪声引起的噪声基底为:

$$\frac{\overline{a_n^2}}{a_n^2} = \frac{K_T T (1 + C_1 W + C_2 WL)^2}{W^{1/2} \cdot L^{-1/2}} + \frac{K_F (1 + C_1 W + C_2 WL)^2}{WLf} \quad (2)$$

其中  $K_T$ 、 $K_F$  分别为等效加速度噪声系数。

在 MEMS 传感器读出电路的设计中, 增加输入管的面积来降低噪声会增大寄生电容、降低传感器的灵敏度, 因此存在着噪声和灵敏度的优化<sup>[4]</sup>:

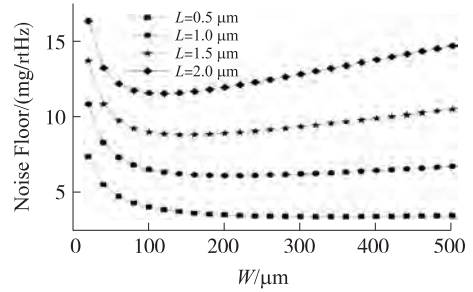
$$\frac{\partial}{\partial W} (\overline{a_n^2}) = 0 \quad (3)$$

管子的优化宽度为:

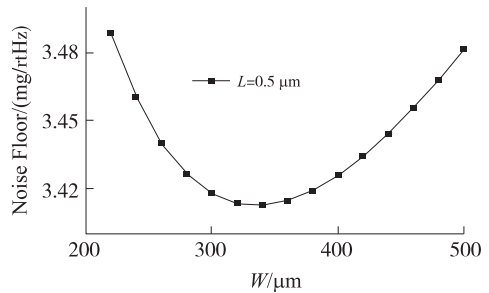
$$W_{opt} = \eta \cdot \frac{2C_0 + C_p}{\frac{2}{3} C_{ox} L + 2C_{ox} L_{ov}} \quad \text{其中 } 1/3 < \eta < 1 \quad (4)$$

其中,  $C_{ox}$ 、 $L_{ov}$  为单位面积的栅氧电容和源/漏侧扩散

长度。此处  $C_0 = 220 \text{ fF}$ ,  $C_p = 60 \text{ fF}$ 。基于文献[4], 我们对噪声基底与晶体管沟道宽度进行了优化, 此外又对沟道长度进行了比较, 具体关系如图 2 所示, 其中图 2(b) 为  $L = 0.5 \mu\text{m}$  时的局部放大图, 可发现输入晶体管的优化尺寸为  $W_{opt} = 340 \mu\text{m}$ ,  $L_{opt} = 0.5 \mu\text{m}$ 。



(a)  $f = 1 \text{ MHz}$ ,  $L = 0.5, 1.0, 1.5, 2.0 \mu\text{m}$  时噪声基底和沟道宽度的关系



(b)  $f = 1 \text{ MHz}$ ,  $L = 0.5 \mu\text{m}$  时噪声基底和沟道宽度的关系

图 2 优化结果

## 2 功耗优化

图 3 为多级斩波放大器优化结构图, 假设总增益  $G = G_1 G_2 \cdots G_N$ , 并且每一级的  $BW_{3-dB} = Mf_H$  ( $M \gg 1$ ), 只有一个主极点, 则每级的传递函数为:

$$H_{i-stage}(s) = \frac{G_i}{1 + s/2\pi Mf_H}, \quad 1 \leq i \leq N \quad (5)$$

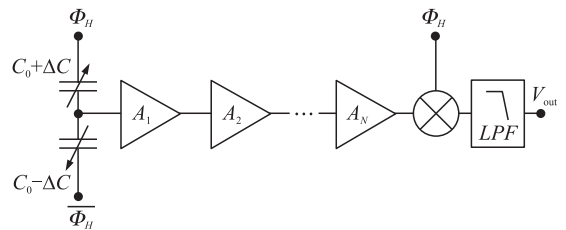


图 3 多级开环斩波放大器优化结构图

对各级功耗求和可得总功耗为:

$$P_{multi-stage} = \sum_{i=1}^N 2\pi G_i \cdot Mf_H \cdot C_{L,i} (V_{gs,i} - V_{TH}) \cdot V_{DD} \quad (6)$$

使  $C_{L,1} = C_{L,2} = \cdots = C_{L,N}$ ,  $V_{gs,1} = V_{gs,2} = \cdots = V_{gs,N}$  可得:

$$P_{multi-stage-min} = 2\pi Mf_H \cdot C_{L1} (V_{gs,1} - V_{TH}) \cdot G_N^{1/N} \cdot N \quad (7)$$

当且仅当  $G_1 = G_2 = \cdots = G_N$  时等号成立。由于多级

情况会导致过大的相位延时,从而降低响应速度,因此要对级数进行优化:

$$\frac{P_{\text{multi-stage-min}}}{P_{\text{single-stage}}} = \frac{C_{L1} \cdot (V_{gs,1} - V_{TH})}{C_L \cdot (V_{gs} - V_{TH})} \cdot G^{\left(\frac{1}{N}-1\right)} \cdot N \approx G^{\left(\frac{1}{N}-1\right)} \cdot N \quad (8)$$

可得总相位延时、功耗延时积分别为:

$$|\Phi|_{\text{multi-stage}} = N \cdot \arctan \frac{f}{Mf_H} \quad (9)$$

$$f(N) = \frac{P_{\text{multi-stage-min}}}{P_{\text{single-stage}}} \cdot |\Phi|_{\text{multi-stage}} = \arctan \frac{f}{Mf_H} \cdot G^{\left(\frac{1}{N}-1\right)} \cdot N^2 \quad (10)$$

一般  $G$  在 100 ~ 200 之间,从上式可得当  $N = 2$  时,  $f(N)$  最小,即采用两级结构功耗最小。

### 3 电路结构

图 4 为一个开环两级的连续时间斩波稳定读出电路。采用全差分全桥电路输入结构不仅可提高共模输入抑制比和动态范围,而且降低了电路的复杂度。检测电容  $C_0 = 220 \text{ fF}$ ,  $V_{m+}$  和  $V_{m-}$  是幅值为 1 V、相位相反的两个方波信号,用二极管连接的 PMOS 管提供稳定的偏置,放大器增益为 22 dB,  $C_p$  是用于消除直流失调的耦合电容。尽管引入  $C_p$  一定程度上会降低灵敏度,但可用带增益的低通滤波器补偿,由检测电容失配带来的交流失调可通过校准消除。另外用互补开关实现对信号的解调,不仅降低了由电荷注入带来的失调,而且不消耗额外的功耗。

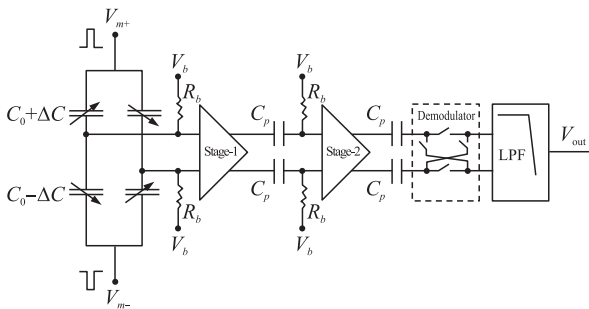
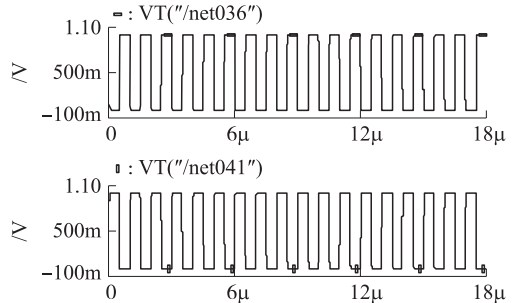


图 4 斩波稳定读出电路结构

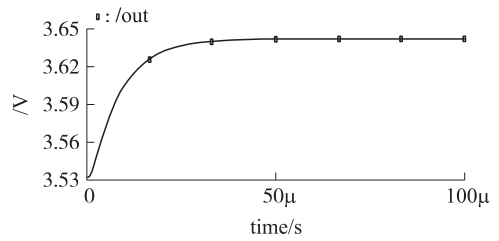
### 4 仿真结果

采用 CSMC 0.5  $\mu\text{m}$  CMOS 工艺,用 Cadence Spectre 对两级斩波电路进行仿真,结果示于图 5。其中图 5(a)是生成的幅值为 1 V、相位相反的载波信号,图 5(b)为  $\Delta C = 100 \text{ aF}$  时的输出曲线,对应的  $\Delta V = 110.161 \text{ mV}$ ,延迟时间为 6.29  $\mu\text{s}$ 。可以看出,输出电压曲线稳定后还存在一些纹波,主要与滤波器的非理想性有关。图 6 表明  $\Delta C$  与  $\Delta V$  呈很好的

线性关系,灵敏度近似为 1.1 mV/aF,输出失调电压为 38.9  $\mu\text{V}$ 。另外,微加工工艺误差带来的检测电容失配,以交流失调的形式出现,可通过校准来消除,此处不再详述。具体的性能参数列于表 1。



(a)载波信号曲线



(b) $\Delta C = 100 \text{ aF}$ 时的输出曲线

图 5 仿真结果

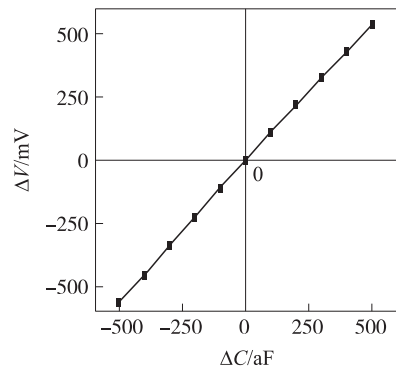


图 6  $\Delta C$  与  $\Delta V$  关系曲线

表 1 电容性加速度计读出电路的性能指标

参数	数值	参数	数值
检测电容	220 fF	电源电压	5 V
调制频率	1 MHz	功耗	2.5 mW
输出延时	6.29 $\mu\text{s}$	灵敏度	1.1 mV/aF
输出失调电压	38.9 $\mu\text{V}$	等效输入噪声	17 nV/Hz <sup>1/2</sup>

### 5 结论

利用斩波稳定原理,用电容匹配技术和多级优化方法分别对微传感器读出电路的噪声性能和功耗进行了优化。当采用两级斩波稳定电路,输入管宽长比为 340/0.5 时性能最佳;其中斩波频率为 1 MHz,并通

过耦合电容消除器件失配产生的直流失调。在 CSMC 0.5  $\mu\text{m}$  CMOS 工艺下的仿真表明, 等效输入电压为 17  $\text{nV}/\text{Hz}^{1/2}$ , 在 5 V 电源电压下功耗仅为 2.5 mW, 在低功耗性能上比类似工作有所提高<sup>[4,13]</sup>。本文的优化推导在一定程度上给低噪声低功耗微电容读出电路的设计提供了理论基础, 为高精度微电容传感器的设计、制作提供了有益的参考。

#### 参考文献:

- [1] Yazdi N, Ayazi F, Najafi K. Micromachined Inertial Sensors[J]. Proceedings of the IEEE, 1998, 8(86): 1640 - 1659.
- [2] Maenaka K. MEMS Inertial Sensors and Their Applications[C]//2008, The 5<sup>th</sup> International Conference on Networked Sensing Systems (INSS2008). 2008: 17 - 19.
- [3] 王斌, 黄晓东, 秦明, 等. 一种微电容式传感器检测电路的分析与改进[J]. 传感技术学报, 2008, 21(2): 265 - 268.
- [4] Wu J F, Fedder G K, Richard C K. A Low-Noise Low-Offset Capacitive Sensing Amplifier for a 50 -  $\mu\text{g}/\sqrt{\text{Hz}}$  Monolithic CMOS MEMS Accelerometer[J]. IEEE Journal of Solid-State Circuits, 2004, 39(5): 722 - 730.
- [5] Lemkin M, Boser B E. A Three-Axis Micromachined Accelerometer with a CMOS Position-Sense Interface and Digital Offset-Trim Electronics[J]. IEEE Journal of Solid-State Circuits, 1999, 34(4): 456 - 468.
- [6] 王一桦, 李晓莹, 蒋庆华. 电容式微加速度计的噪声分析[J]. 传感技术学报, 2008, 21(4): 648 - 651.
- [7] Sadat A, Qu H W, Yu C Z, et al. Low-Power CMOS Wireless MEMS Motion Sensor for Physiological Activity Monitoring[J]. IEEE Transactions on Circuits and Systems, 2005, 52(12): 2539 - 2550.
- [8] Yazdi N, Najafi K. An Interface IC for Capacitive Silicon  $\mu\text{g}$  Accelerometer[C]//1999, IEEE International Solid-State Circuits Conference. 1999: 132 - 133.
- [9] Geen J A, Sherman S J, Chagn J F, et al. Single Chip Surface Micromachined Integrated Gyroscope with 50°/hour Allan Variance[J]. IEEE Journal of Solid-State Circuits, 2002, 37(12): 1860 - 1866.
- [10] Enz C C, Temes G C. Circuit Techniques for Reducing the Effects of Op-amp Imperfections: Autozeroing, Correlated Double Sampling, and Chopper Stabilization[J]. Proceedings of the IEEE, 1996, 84(11): 1584 - 1614.
- [11] Qu H W, Fang D Y, Xie H K. A Monolithic CMOS-MEMS 3 - Axis Accelerometer with a Low-Noise Low-Power Dual-Chopper Amplifier[J]. IEEE Journal of Sensors, 2008, 8(9): 1511 - 1518.
- [12] Vanderziel A. Noise in Solid State Devices and Circuits[M]. New York: Wiley Publishing Inc, 1986.
- [13] Kùlah H, Chae J, Yazdi N, et al. Noise Analysis and Characterization of a Sigma-Delta Capacitive Microaccelerometer[J]. IEEE Journal of Solid-State Circuits, 2006, 41(2): 352 - 360.



柴旭朝(1982 - ) 男, 江南大学信息工程学院微电子与固体电子学硕士研究生, 研究方向为集成集成电路设计, chaixuzhao@163.com;



顾晓峰(1971 - ) 男, 约翰-霍普金斯大学博士, 江南大学教授、博士生导师, 研究方向为半导体器件物理、集成电路设计。