

基于 FPGA 的数字相敏检波算法实现

Implementation of FPGA-based Digital Phase Sensitive Detection Algorithm

梁世盛 乔凤斌 张 燕

(上海航天设备制造总厂,上海 200245)

摘要: 数字相敏检波(DPSD)算法是一种有效的信号检测方法。针对某些高速采样系统采用现有 DSP 芯片控制模数转换和进行 DPSD 算法运算所出现的控制精度不高和运算速度慢等问题,详细分析了 DPSD 算法,设计了基于 FPGA 的数字相敏检波算法。该算法解决了控制信号精度不高等问题,满足高速采样系统对运算速度的要求。试验结果表明,基于 FPGA 的数字相敏检测算法在测试系统中能有较好的检测效果。

关键词: 数字相敏检波(DPSD) FPGA ADC DSP 测试系统 高速采样系统

中图分类号: TP316+.2 **文献标志码:** A

Abstract: For test systems, digital phase sensitive detection (DPSD) algorithm is an important method to detect signals. In some of the high speed sampling systems, the DSP chip is used to control ADC and operate DPSD algorithm, but the control accuracy is low and operation speed is slow. Through analysing DPSD algorithm in detail, the FPDA-based digital phase sensitive detection algorithm is implemented. This method solves the problem of low accuracy of control signal, and meets the requirement of operation speed for high speed sampling system. The experimental result indicates that the FPDA-based algorithm offers better detecting effects in test systems.

Keywords: Digital phase sensitive detection (DPSD) Field programmable gate array (FPGA) Analog to digital converter (ADC) Digital signal processor (DSP) Test system High-speed sampling system

0 引言

在实际工程测量中,被测信号常常会被强噪声所干扰或淹没,而数字相敏检波(digital phase-sensitive detection, DPSD)算法能很好地对淹没于噪声中的信号进行提取。因此,该方法被广泛应用于现有检测系统。

现有检测系统大多采用 DSP 芯片实现 DPSD 算法和 A/D 采样控制。但随着时间推移,检测的环境变得更加恶劣,检测需求也越来越多,尤其如石油测井系统和航天系统逐步向深海和深空发展,其对高速采样的控制精度、电路板面积、运算速度等的要求都变得非常苛刻,使得现有采用 DSP 作为核心芯片的检测系统已经不能满足要求。

本文通过对数字相敏检波算法的详细分析,并结合 A/D 采样芯片控制信号的要求,将数字相敏检波算法和 A/D 采样控制信号模块相结合,并基于 FPGA 实现数字相敏检波算法。该算法解决了 DSP 芯片采样控制精度不足和运算速度不够等问题。

修改稿收到日期:2013-01-10。

第一作者梁世盛(1985-),男,2012年毕业于电子科技大学测试计量技术及仪器专业,获硕士学位,助理工程师;主要从事电子测量与控制的研究。

1 数字相敏检波

1.1 数字相敏检波的优点

模拟相敏检波主要是利用三极管的开关特性实现相敏检波功能,包括乘法和检波等。模拟相敏检波算法原理比较简单且易于实现,但测量过程中因三极管的压降等因素所造成的影响与被测信号相比是不可忽略的;此外,三极管自身也会引入一定的其他噪声,致使无用和有用的信号分离不够彻底,这些因素严重影响了仪器的分辨率和测量精度^[1-2]。数字相敏检波(DPSD)主要采用高速 ADC 采集模拟正弦信号,并与参考的数字正弦信号相作用,以数字方式实现相敏检波。根据文献[3]所述,DPSD 算法对谐波信号和有源器件引起的随机噪声具有很强的抑制能力、更大的灵活性、更高的精度和更好的线性度等优点^[4],更适合微弱信号的检测。

1.2 数字相敏检波测量原理

令被测正弦波信号 $x(n)$ 的表达式为:

$$x(n) = A \sin(2\pi n/N + \varphi) \quad (1)$$

在实际的测量过程中,被测信号伴随着各种噪声。这些噪声主要包括有源器件带来的高斯噪声、谐波噪声和外界环境的随机噪声等,统一表示为 $u(n)$,所以实际被测信号表示为:

$$\bar{x}(n) = A \sin(2\pi n/N + \varphi) + u(n) \quad (2)$$

式中: A 为幅度; φ 为相位; $N = f_0/f_s$; $u(n)$ 为有源器件带来的高斯噪声、谐波噪声及外部与被测信号不相关的随机噪声。

参考信号的数字表达式为:

$$s(n) = \cos(\omega n) + j \sin(\omega n) \quad (3)$$

将式(2)和式(3)进行互相关运算,得到:

$$R_{xs}(m) = \frac{1}{N} \sum_{n=0}^{N-1} \bar{x}(n) s(n+m) = \frac{1}{N} \sum_{n=0}^{N-1} [x(n) + u(n)] \times [s(n+m)] = \frac{A}{2} [\sin(\omega m - \varphi) - j \cos(\omega m - \varphi)] + R_{us}(m)$$

由于噪声 $u(n)$ 和正弦波信号不相关,所以 $R_{us}(m) = 0$,从而可以将上式简化为:

$$R_{xs}(m) = \frac{A}{2} [\sin(\omega m - \varphi) - j \cos(\omega m - \varphi)] \quad (4)$$

由式(4)可知,同相分量 $I = -\frac{A}{2} \cos(\varphi)$ 、正交分量 $Q = \frac{A}{2} \sin(\varphi)$ 。通过这两个分量,可以准确得出被测信号的幅值和相位,即 $A = 2\sqrt{I^2 + Q^2}$ 、 $\varphi = -\arctan \frac{Q}{I}$ 。

由此可知,数字相敏检波对谐波和随机噪声等有很强的抑制作用,在信噪比不高的情况下也能很好地分离出信号的幅度和相位。

数字相敏检波测量原理如图 1 所示。

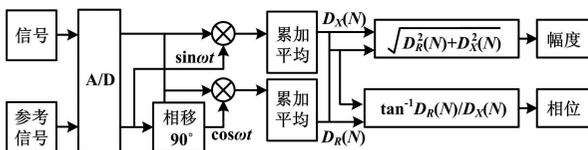


图 1 数字相敏检波原理图

Fig. 1 Principle of DPSD

2 DPSD 硬件逻辑实现

在设计过程中,采用 24 MHz 外部晶振作为系统时钟,以 256 kHz 采样频率对 2 kHz 的正弦信号进行采样,即一周期采样 128 个点。

FPGA 实现该算法的内部逻辑框图如图 2 所示。FPGA 内部逻辑主要由数据采集控制模块、数据处理模块和时钟管理模块 3 个模块组成。整体的工作流程为:上位机通过控制信号对数据采集控制模块进行采样使能控制;采集控制模块对 A/D 芯片进行采样控制,并对采样的数据进行读取和转换;然后将数据送入数据处理模块进行各种处理;最后将结果送至上位

机中。

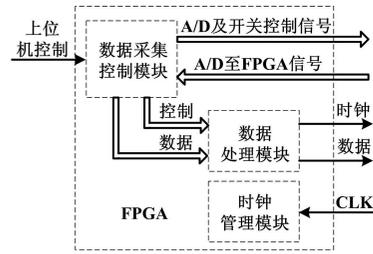


图 2 数字相敏检波硬件逻辑框图

Fig. 2 Hardware logic of DPSD

2.1 数据采集控制模块设计

数据采集控制模块主要负责数模转换芯片的控制,数据的读取、转换和其他模块信号的产生等。其中,信号 AD_CNVST_N 为 A/D 转换芯片的转换触发信号。为了确保信号的精确性和稳定性,采用状态机来产生该信号。

采样信号 AD_CNVST_N 状态机流程图如图 3 所示。

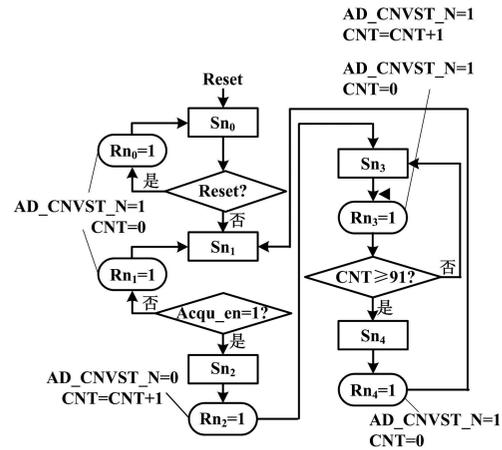


图 3 AD_CNVST_N 状态机流程图

Fig. 3 Flowchart of state machine AD_CNVST_N

A/D 芯片读数门控信号 CS_SCLK、数据转移完成信号 CS_DSC 信号状态机流程图如图 4 所示。该状态机总共有 6 个状态,分别为 S_0 、 S_1 、 S_2 、 S_3 、 S_4 和 S_5 。各个状态之间的转换流程和图 3 中的状态机流程类似,这里不做详细介绍。图 4 所示状态机主要是产生两个信号,即 CS_SCLK 和 CS_DSC。CS_SCLK 主要是在 A/D 转换完数据后产生一个设定时间长度的高电平,并结合 clk_pll 信号产生 16 个脉冲信号作为 ADC 读取数据时钟。CS_DSC 信号的每个下降沿在 CS_SCLK 的下降沿后出现,两者相隔 3 个 clk_pll 时钟长度。在 CS_DSC 信号的下降沿,将数据转移到另外一个寄存器中,保证采样的数据不被覆盖。

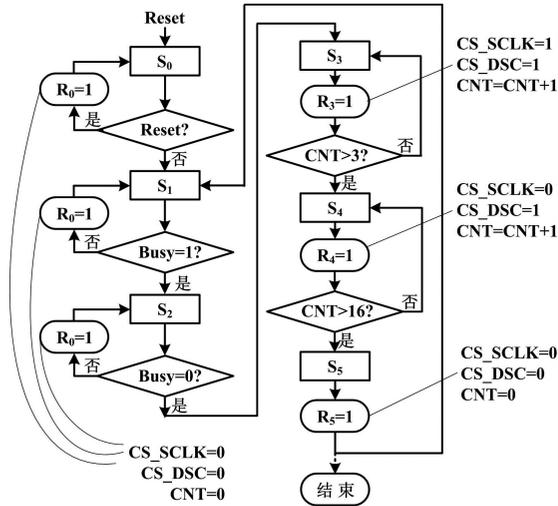


图4 信号状态机流程图

Fig. 4 Flowcharts of state machines

2.2 数据处理模块逻辑设计

数据处理模块是数字相敏检波实现的核心部分,包括 multi_acc 模块、table 模块、address 模块、actan 模块、square 模块和 outmod 模块共 6 个模块。数据处理模块主要负责采样数据和标准正弦余弦相乘累加;然后进行反正切等一系列运算;最后将幅度和相位的结果传送到输出模块中进行合并,并串转换后输出。

数据处理模块逻辑框图如图 5 所示。

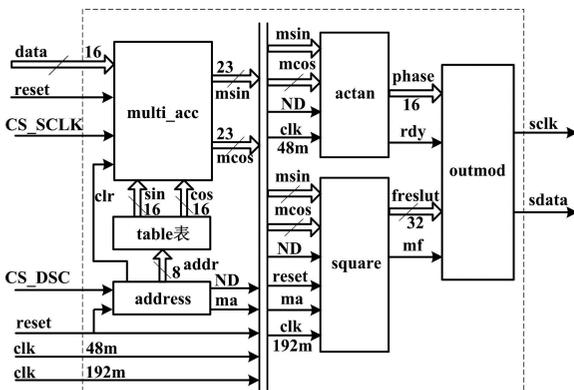


图5 数据处理模块逻辑框图

Fig. 5 Logical block diagram of data processing module

图 5 中, address 模块主要负责采样个数的计数,其输出作为 table 表模块的地址。table 表利用地址 (address 模块的输出值), 对应输出标准正余弦数据。采样数据和正余弦数据在 multi_acc 模块中进行相乘和累加, 累加结果在 actan 模块中进行反正切运算, 在 square 模块中进行平方后相加再开方的运算; 再将数据输出至 outmod 模块进行合并, 最后将并行数据转换成串行输出。

multi_acc 模块使用 2 个乘法器 IP 核和 2 个累加器 IP 核。乘法器和累加器模块由 CS_SCLK 进行控制, 在其上升沿时进行乘法运算, 在其下降沿时进行累加运算。在累加完一个周期后 (128 个数据) 输出累加结果, 接着用 clr 信号对累加器进行清零操作。由于乘法结果为 32 位有符号补码形式数据, 累加器在累加一个周期 (128 个数据) 后得到结果是 40 位, 所以在累加前将每个乘法结果扩展成 40 位的数据 (补码加减法规则), 有效防止累加结果溢出。

在数据处理模块设计中, 采用多种方法和措施来减少资源的使用量, 具体介绍如下。

① 利用 Matlab 构造标准的、幅度为 1 V 的正弦余弦波, 并以实际采样速度对其进行采样, 再将数据转换成 16 位二进制补码形式, 作为正弦余弦表数据。在已知所要提取的波形频率的情况下, 该方法可减少一路采样电路, 从而简化 FPGA 逻辑设计的复杂程度。

② 设计中采样一个周期采样的点数为 128 个, 采样数据 16 位和正弦余弦数据 16 位相乘后为 32 位, 一个周期内乘法结果累加所得结果至少为 40 位才能保证结果不会溢出。由于在幅度结果转换成实际幅度表示时需经过处理 (除以 32 767, 这是由于正弦余弦数据转换成 16 位二进制是乘以 32 767), 所以截取 39 位数据中的高 23 位, 这样可大大减少模块的资源耗费。

③ 由于在 FPGA 中进行除法运算将消耗大量资源, 因此, 在设计中将数字相敏检波原理图中累加平均的求平均步骤去除, 在累加完后直接送至后面的模块; 最后输出结果除以一周期采样次数, 所得的结果并不受求平均步骤顺序调换的影响 (在该设计中一周采样次数为 128 次, 所以可以通过右移 8 位代替除法, 这样可以更加节省资源)。

④ 开方模块采用非冗余开方算法。该算法相比 IP 核不仅具有相同的计算精确^[4-5], 而且可以大大减少资源的使用。这两种开方算法对比如表 1 所示^[6]。

表 1 两种开方算法对比

Tab. 1 Contrast of two evolution algorithms

算法	位数	时钟周期	Slice/个	余数	其他
非冗余	16	16	29	有	无需乘法器, 计算准确
	32	32	54		
	64	64	100		
IP_core	16	1(可调)	67	有	无需乘法器, 计算准确
	32	1(可调)	210		
	64	1(可调)	768		

本文将 msin 和 mcos 数据平方后相加, 所得数据

是 47 位,因此需将其扩展成 2 的 N 次方位,这里扩展成 64 位。将这 64 位数据表示为 $D = D_{63}D_{62} \cdots D_1D_0$,每 2 位数据开方后的整数部分可以由 1 位数据表示,所以 64 位数据开方根为 32 位,表示为 $Q = Q_{31}Q_{30} \cdots Q_0$,余数为 $R = D - Q^2$,最多有 33 位, $R = R_{32}R_{31} \cdots R_0$ 。以下是具体的原理步骤。

① 令 $q_{32} = 0, r_{32} = 0, k_{31} \rightarrow 0$ 。

② 如果 $r_{k+1} \geq 0, r_k = r_{k+1}D_{2k+1}D_{2k} - q_{k+1}01$; 否则 $r_k = r_{k+1}D_{2k+1}D_{2k} - q_{k+1}11$;

③ 如果 $r_k \geq 0, q_k = q_{k+1}1$; 否则 $q_k = q_{k+1}0$ 。

④ 重复步骤②和③直到 $k = 0$, 如果 $r_0 < 0$, 则 $r_0 = r_0 + q_01$ 。

需要注意的是, $r_{k+1}D_{2k+1}D_{2k}$ 代表 $r_{k+1} \times 4 + D_{2k+1} \times 2 + D_{2k}$, 对于 n 位的二进制数, 需要 $n/2$ 次迭代操作, 每次迭代需要 2 个时钟周期, 所以整个计算过程需要 n 个时钟周期。从上面的步骤可以看出, 这个算法不需要乘法和加法运算, 只需通过移位和拼接就能实现, 非常适合在 FPGA 中实现。

3 试验验证和数据分析

本设计中的 FPGA 选用的是 XILINX 公司的 XA3S500E-4VQ250Q。该芯片共有 50 万个系统门、10 476 个逻辑单元、1 164 个可配置逻辑块 (configurable logic block, CLB)、360 kbits RAM 和 190 个用户 I/O 口, 能够满足设计要求。模数转换芯片使用的是 Analog Devices 公司的电荷重分配 SAR 型数模转换芯片 AD7671。该芯片提供最高 1 MS/s 的采样速率, 非线性积分最大误差为 ± 2.5 最低有效位 (LSB)。单片机芯片采用 Microchip 公司的 PIC16F1933。设计中对 FPGA 中的每个模块进行调试验证, 且搭建测试模型对整体电路进行了测试, 以验证该算法的正确性和准确性。

3.1 FPGA 逻辑模块验证

对 FPGA 逻辑正确性的验证, 主要是通过对一些重要信号的测试和观察, 并通过不断地调试和修改逻辑程序, 将每个逻辑信号修改至满足要求。

设计中主要的信号包括数据读取信号 AD_SCLK、数据读取门控信号 CS_SCLK、采样触发信号 AD_CNVST_N 和采样芯片忙信号 AD_BUSY 等, 本文通过示波器观察这些信号的周期、占空比大小、多个信号边沿出现顺序是否

正确等。另外需确保 FPGA 对 A/D 采样数据读取的正确性。

3.2 试验和数据分析

试验中使用信号源产生带有噪声的、幅度为 0.4 V、相位为 89° 的正弦波。信噪比为 4 dB 的信号的测试结果如表 2 所示。

表 2 信噪比 4 dB 信号的测试结果
Tab. 2 Test result of 4 dB (SNR) signal

序号	幅度		相位	
	数据	对应幅度/V	数据(16 进制)	对应相位/ $^\circ$
1	836 128	0.199 4	h31a4	88.881 2
2	845 106	0.201 5	h31b0	88.965 1
3	822 354	0.196 0	h3159	88.356 7
4	845 808	0.201 7	h31c3	89.098 0
5	838 561	0.199 9	h318f	88.734 3
6	845 410	0.201 6	h31b2	88.979 1

4 结束语

本文主要对数字相敏检波算法的原理进行了分析, 并根据该理论采取了各种方法和措施, 将该算法转化为符合硬件逻辑设计的要求, 从而在 FPGA 中加以实现; 最后对该算法程序进行了仿真、验证和实际测试, 试验结果证明该算法在 FPGA 中实现具有较好的效果。本文将采集控制信号的产生和数据的处理集成于 FPGA 中, 同时通过减少一路采样电路来减少电路的复杂性和电路板空间使用; 此外, 采用多种方法和措施来减少 FPGA 内部资源的使用, 使其能适用于多数 FPGA。基于 FPGA 的 DPSD 算法的实现, 将对以后测试系统的发展起到巨大的促进作用。

参考文献

- [1] 刘升虎, 邢亚敏, 胡启月. 数字相敏检波在随钻电阻率测井仪中的应用[J]. 国外测井技术, 2007, 22(4): 17.
- [2] 苏日建, 孔力, 石军. 测井仪器中数字相敏检波算法的设计与实现[J]. 石油机械, 2009, 37(11): 61.
- [3] 王晓俊, 周杏鹏, 王毅. 精密阻抗分析仪中数字相敏检波技术研究及实现[J]. 仪器仪表学报, 2006, 27(6): 592-595.
- [4] 鞠康, 何为, 何传红, 等. 基于数字相敏检波的恒流源输出阻抗检测及补偿技术实现[J]. 医疗卫生装备, 2009, 30(10): 5-6.
- [5] Li Yamin, Chu Wanming. Implementation of single precision floating point square root on FPGAs[C]// The 5th IEEE Symposium on FPGA-based Custom Computing Machines, 1997: 226-232.

《自动化仪表》 邮发代号: 4-304, 2014 年定价: 15.00 元, 全年价: 180.00 元; 国外代号: M 721

欢迎赐稿, 欢迎订阅, 欢迎宝贵建议, 欢迎惠刊各类广告