

文章编号: 1007-2780(2010)06-0831-05

# 嵌入式多路视频采集显示系统设计

胡健生, 臧晓昱

(武警工程学院 通信工程系, 陕西 西安 710086, E-mail: hujiansheng121@163.com)

**摘 要:** 针对当前嵌入式领域中多路视频采集显示系统的问题, 提出了一种基于 FPGA 的新方案。给出了系统的组成结构, 详细分析了设计原理和关键性问题。使用状态转移机实现了 I<sup>2</sup>C 总线协议和 TFT-LCD 控制时序信号的产生, 基于分时复用技术实现了对多路视频信号采集的同步, 利用双 SRAM 切换技术解决了读写显示缓存的冲突问题, 采用组帧技术完成了隔行扫描到逐行扫描的变换。经工程化验证, 系统具有采集显示效果好、成本小、功耗低等优点。

**关 键 词:** 多路视频采集显示; 状态转移机; 分时复用技术; 双 SRAM 切换; 组帧技术

中图分类号: TP941 文献标识码: A

## Design of Embedded Multi-Channel Video Acquisition and Display System

HU Jian-sheng, ZANG Xiao-yu

(Department of Communication Engineering, Engineering Institute of CAPF, Xi'an 710086, China, E-mail: hujiansheng121@163.com)

**Abstract:** Aimed at the problem of the embedded multi-channel video acquisition and display system, a new one based on FPGA is put forward. The configuration of the system is given. The principle and key issue are analyzed. Using the status shift mechanism, the protocol of I<sup>2</sup>C is realized and the controlling time sequence signals of TFT-LCD are produced. The synchronization among multi-channel video acquisition is achieved by using time-division multiplexing technology. The problem of conflict between reading and writing frame cache is solved through the two SRAM switch. The frame composition technology is applied to accomplishing the change from interlaced scanning to progressive scanning. The result of project application shows the virtues of system, such as good effect of acquisition and display, low cost and low power consumption.

**Key words:** multi-channel video acquisition and display; status shift mechanism; time-division multiplexing technology; two SRAM switch; frame composition

## 1 引 言

在视频监控领域, 数字化、多路化、高分辨率化和小型化已经成为一种趋势, 实时动态视频采集和显示已经成为信息、计算机领域的研究热点。目前, 常见设计方案主要有 3 种:

(1) 基于专用的视频采集板卡的方案<sup>[1]</sup>

该方案的缺点是只能进行上层的应用软件开发, 不能对其硬件电路进行更改, 体积大, 成本高, 不适合嵌入式应用领域;

(2) 基于专用的多媒体嵌入式处理器的方案<sup>[2]</sup>

该方案的缺点是每路视频采集都需要独立的

收稿日期: 2010-05-19; 修订日期: 2010-06-29

基金项目: 武警工程学院基础研究基金项目(No. WJY202017)

作者简介: 胡健生(1984-), 男, 辽宁兴城人, 硕士, 从事军事通信学和嵌入式系统设计研究。

视频编解码芯片和处理器,进行多路采集时有局限性,且浪费了大量的处理器资源;

(3)基于 DSP 技术的方案<sup>[3-4]</sup>

该方案设计灵活,但是 DSP 设计复杂,开发周期长,成本高。

针对以上问题,本文提出一种基于 FPGA 的嵌入式多路视频采集显示系统<sup>[5-6]</sup>,可以同时实现对多路视频信号的采集和显示,也可以对某一路信号进行全屏放大显示。

## 2 系统的组成结构和设计原理

### 2.1 系统的总体结构

多路视频采集显示系统主要由中央控制单元、视频解码单元、显示缓存单元、显示输出单元、电源单元、配置电路和扩展单元组成,如图 1 所示。

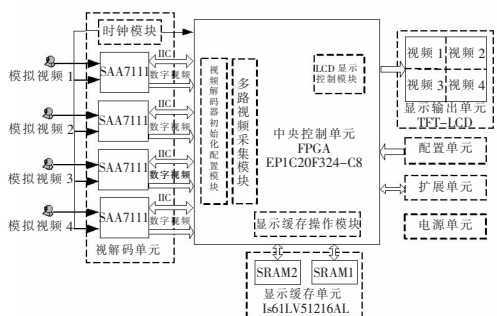


图 1 系统功能组成结构图

Fig. 1 Functional block diagram

其中,视频解码单元由 4 片 SAA7111 芯片及外围器件组成,SAA7111 视频解码芯片可实现对输入的 NTSC 和 PAL 制式的模拟视频信号进行解码,输出 YVU 或 RGB 格式的数字视频信号及相应的时序控制信号<sup>[7]</sup>。显示缓存单元由两片 SRAM 组成,可根据显示输出的分辨率选择合适的型号(这里选择 IS61LV51216AL),用于存储解码后的数字视频信号。显示输出单元是 TFT-LCD,分辨率最大可达到 1 024×768,(这里以 640×480 为例)。配置单元提供两种配置方式:AS 和 JTAG,用于系统上电后对 FPGA 进行程序加载。扩展单元可以为外部系统提供各种控制信号接口。电源单元为系统提供 1.5,2.5,3.3 V 电压。中央控制单元是整个系统的核心,由一片 FPGA(EP1C20F324)芯片及外围器件组成,主要完成以下 4 个主要功能:对 4 片 SAA7111 进行初始化配置;对解码后的 4 路视频信号进行采集和

整合;对显示缓存进行读写操作;对 TFT-LCD 进行显示控制。

### 2.2 系统的设计原理

根据 FPGA 要实现的 4 个功能,对系统的核心 FPGA,采用层次化、模块化设计,使用 Verilog 硬件编程语言。在软件设计上,分成 4 个模块即视频解码芯片初始化配置模块、多路视频采集模块、显示缓存读写操作模块和 LCD 显示控制模块组成。

在视频解码芯片初始化配置模块中,使用状态转移机实现了 I<sup>2</sup>C 总线协议。在多路视频采集模块中,利用分时复用解决了多路视频信号的同步问题,通过设置的多个标识位和计数器,实现了对所需像素的提取。在显示缓存读写操作模块中,采用双 SRAM 切换技术解决了读写显示缓存冲突的问题,使用组帧技术实现了由隔行扫描到逐行扫描的转换。在 LCD 显示控制模块中,使用状态转移机生成了 TFT-LCD 控制时序信号。

与一路视频信号的全屏放大显示比较而言,同时对 4 路视频信号进行采集与显示更为复杂。由于篇幅有限,这里只对后者的实现进行分析。

## 3 关键问题的解决

### 3.1 I<sup>2</sup>C 总线协议的实现

SAA7111 的工作模式、输入端口选择、色彩控制等图像采集的控制参数是由其内部的控制寄存器决定的,而控制寄存器是通过 I<sup>2</sup>C 总线进行初始化的。因此,系统的核心 FPGA 必须实现 I<sup>2</sup>C 总线协议。

I<sup>2</sup>C 总线信号包括开始信号、停止信号、位传输信号和判断应答信号,程序设计时,使用状态转移机,将 I<sup>2</sup>C 总线分为 6 个状态:IDLE(总线空闲)、START(总线起始)、XMIT(数据发送)、ACK(被控制器响应)、CAACK(响应检测)、STOP(总线终止)。总线控制流程如图 2 所示。

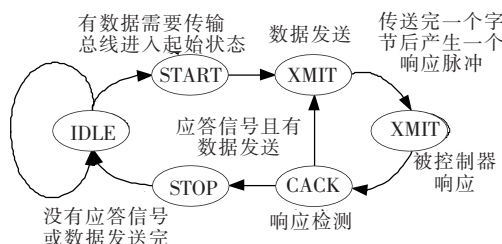


图 2 SAA7111 的配置流程

Fig. 2 Flow chart of configuration of SAA7111

### 3.2 多路视频信号的同步

由于 4 片 SAA7111 在工作时是不同步的,每次上电后输出的时钟和数据都具有不确定性,而最终采集到的 4 路视频数据要求存储在同一显示缓存中的相应位置处,所以为了保证正常的显示输出,必须要对它们进行同步处理。

利用 FPGA 内部的锁相环模块,对任意一路(这里不妨设成第 1 路)SAA7111 的输出像素时钟信号 LLC2(13.5 MHz)进行 4 倍频,生成采样时钟信号 sample\_clock(54 MHz),这样,在 4 个 sample\_clock 周期内刚好完成对每一路视频信号的一次采集和存储。以第一路 SAA7111 输出的帧同步信号(VREF1)为基准,当其输出第一个需要采集的像素点时,开始进行采样,这样可以在一个帧周期内,完成对 4 路视频信号中所有需要的像素点的采样。采集的同步时序如图 3 所示。

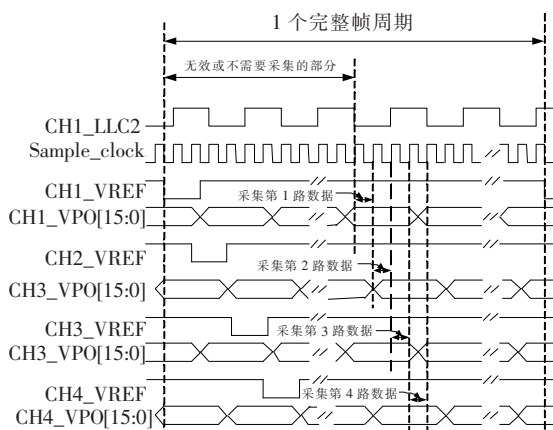


图 3 多路视频采集时序图

Fig. 3 Synchronized timing of multi-channel video acquisition

### 3.3 对有效像素的提取

系统要求输出的分辨率为  $640 \times 480$ ,每一路视频信号的分辨率为  $320 \times 240$ ;而经 SAA7111 解码后输出的视频信号的分辨率为  $864 \times 625$ ,其中有效视频数据为  $720 \times 576$ ,因此要对每片 SAA7111 输出的图像进行提取处理。

仅对每路 SAA7111 输出的满足如下条件的像素进行采集:位于每场(共 312.5 行)中间的 120 行(第 96 行~第 215 行),每行(共 864 个像素)中间的 320 个像素(第 272 个~第 591 个)。由于每帧中包含一个奇场和一个偶场,因此采集到的每路 SAA7111 输出的信号的分辨率为  $320 \times 240$ 。分别为每一路 SAA7111 输出的视频信号

设置奇偶场标识位(field\_ID1~field\_ID4)、行计数器(h\_counter1~h\_counter4)和像素计数器(p\_counter1~p\_counter4),初始值均为 0,三者结合使用,用于判断输出的像素是否是要被提取的像素。以对第 1 路的有效像素提取为例,设计流程如图 4 所示。

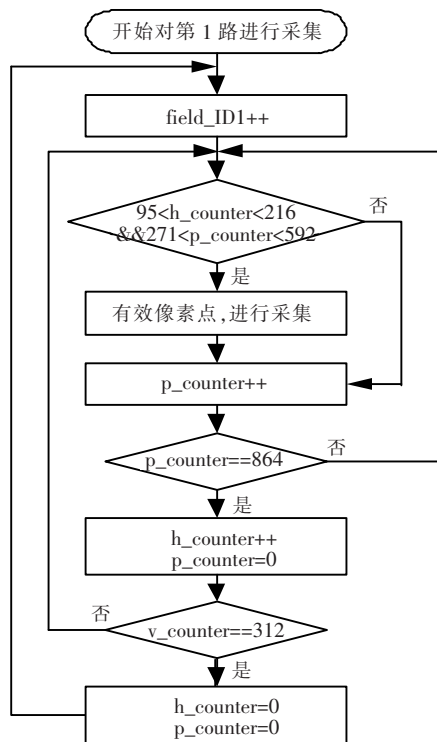


图 4 有效像素提取流程图

Fig. 4 Flow chart of valid pixel distillation

### 3.4 双 SRAM 切换和组帧技术的使用

为了保证视频信号能够实时地在 TFT-LCD 上进行显示,系统必须能够对显示缓存同时进行读写操作。但是,这样必然会存在读写冲突,本文采用两片 SRAM 切换的机制来解决这一问题。FPGA 内部提供两套独立的 SRAM 总线接口,可独立地对两片 SRAM 进行读写操作。当 FPGA 将 4 路 SAA7111 采集的数据写入到其中一片 SRAM 的同时,在 TFT-LCD 控制时序的作用下,会将另一片 SRAM 中的数据顺序读出送给 TFT-LCD,每经过 1 次完整的采样周期就进行一次切换。

由于 SAA7111 输出视频信号时采用隔行扫描的方式,即将一帧数据分成奇偶两场,交替在屏幕上显示,利用人眼的迟滞效应,还原成完整的图像。但是,由于系统的输出显示设备是逐行扫描



的各个子模块相对独立,便于进行软件升级。本系统的特点是采集图像清晰度高、无失真、成本低、体积小,可根据需要提高显示缓存的大小和系统的主时钟频率,同时对 8 路视频信号进行采集,

输出分辨率最大可支持 1 024×768。该系统目前已经在某纺织工厂监控系统中进行了试点应用,使用效果良好。

参 考 文 献:

[ 1 ] 雷刚勇. 多路视频远程监控系统(客户端)的设计与实现 [D]. 西安:电子科技大学,2006.

[ 2 ] 姚琳. 安防监控热门方案评介[J]. EDN 电子设计技术,2009,(4):87-95.

[ 3 ] 梁修如,严国萍. 嵌入式视频监控服务器系统典型方案及其性能分析[J]. 电视技术,2005,(10):93-96.

[ 4 ] 席鑫宁,潘宏侠. 基于 DSP 的 LCD 模块设计及其在设备状态监测系统中的应用 [J]. 液晶与显示, 2009, 24(1): 110-115.

[ 5 ] 胡小龙,冯彬. 基于 FPGA 的高分辨实时监控图像缩放设计[J]. 液晶与显示, 2009, 24(6):882-884.

[ 6 ] 程明,肖祖胜. 基于 FPGA 的 TFT-LCD 显示驱动设计[J]. 液晶与显示, 2009, 24(2):228-231.

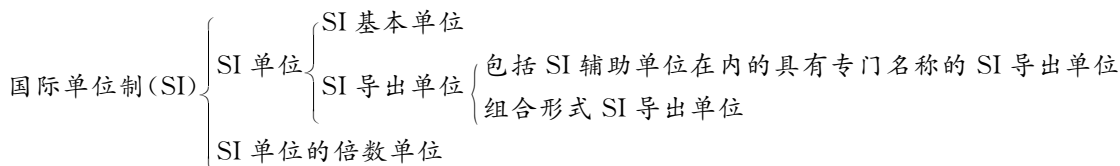
[ 7 ] NXP. SAA7111A enhanced video input processor data sheet[EB/OL]. [1998-05-18]. <http://www.nxp.com>.

[ 8 ] 李成奇. 基于 FPGA 技术的视频采集系统[D]. 哈尔滨:哈尔滨理工大学,2008.

[ 9 ] Samsung Electronics. User's manual S3C2410X 32-Bit RISC microprocessor data sheet[EB/OL]. [2003-03-20]. <http://www.samsung.com>.

### 国际单位制(SI)

在科技期刊和科技论文中,要求物理量和单位使用国际单位制(SI)和法定计量单位。国际单位制的构成是:



### 公差表示法

1. 参量与其公差单位相同时,单位可以只写 1 次。例如:“12.5 mm±0.2 mm”可写为“(12.5±0.2)mm”,但不得写作“12.5±0.2 mm”。公差用百分数表示时,例如:“λ=550 nm±2 %”这种表示是错误的,应为“λ=550×(1±0.02)nm”。

2. 参量的上、下公差相等但单位不同时,公差分别写在参量的右上、右下角,且单位只写一次,例如:10<sup>+0.1</sup><sub>-0.2</sub>g;当参量与公差单位不同时,要分别写出,例:30 cm<sup>+5</sup><sub>-3</sub> mm。

3. 参量上、下公差的有效数字应全部写出。例如:18<sup>+0.200</sup><sub>-0.255</sub> mg。

4. 参量的上或下公差为“0”时,“0”前面的符号应省略。例如:273<sup>+1</sup> K。

5. 表示 2 个绝对值相等、公差相同的量值范围时,范围号不能省略。例如:(-7.0±0.5)~(7.0±0.5)°C。

6. 表示带百分数公差的中心值时,百分号只需写 1 次,且“%”前的中心值与公差应用括号括起来。例如:(65±0.5)%。