

文章编号: 1007-2780(2011)02-0178-05

多晶硅薄膜晶体管的栅电容模型

邓婉玲

(暨南大学 信息科学技术学院 电子工程系, 广东 广州 510630, E-mail: dwanl@126.com)

摘 要: 多晶硅薄膜晶体管具有独特的栅电容特性, 即泄漏区中栅源电容的反常增大和饱和区中栅漏电容由于 kink 效应的增大。基于 Meyer 模型, 考虑了泄漏产生效应和 kink 效应, 对多晶硅薄膜晶体管的栅漏电容和栅源电容特性进行了建模研究。对实验数据进行拟合发现, 提出的模型与实验数据符合得较好, 能准确地预测多晶硅薄膜晶体管的栅电容特性。

关 键 词: 多晶硅薄膜晶体管; 栅漏电容; 栅源电容; 模型

中图分类号: TN 321⁺.5

文献标识码: A

DOI: 10.3788/YJYXS20112602.0178

Gate Capacitance Model of Polysilicon Thin Film Transistors

DENG Wan-ling

(Department of Electronic Engineering, Jinan University, Guangzhou 510630, China, E-mail: dwanl@126.com)

Abstract: Polysilicon thin film transistors have unique gate capacitance features, that is, the anomalous increase of gate-to-source capacitance in leakage region and gate-to-drain capacitance in kink region. Based on the Meyer model, taking leakage generation effect and kink effect into account, gate-to-source capacitance and gate-to-drain capacitance characteristics are modeled. The good agreement between simulated model results and experimental data confirms the accuracy and efficiency of this model.

Key words: polysilicon thin film transistors; gate-to-drain capacitance; gate-to-source capacitance; model

1 引 言

有源显示器件和固体图像传感器等的发展促进了多晶硅薄膜晶体管 (poly-Si TFTs) 的研究。Poly-Si TFTs 电路的仿真需要一个能准确描述栅电容行为的模型。

MOSFET 器件与 poly-Si TFTs 结构较为相近。MOSFET 的制备和物理研究比较成熟, 目前已经提出了很多关于 MOSFET 本征电容的准静态模型, 其中 Meyer 提出的长沟器件模型^[1]被许多电路模拟软件广泛采用。MOSFET 器件的电

容模型对 poly-Si TFTs 的电容模型产生了较为重要的影响。RPI 模型中包括的电容模型^[2]是基于 Meyer 模型的、较为完整的 poly-Si TFTs 动态模型。Bindra 等人^[3]基于薄层电荷理论分析了 poly-Si TFTs 的栅电容, 不过他们在文献中没有解决表面势计算的问题。另外, Chen 等人^[4]基于 Meyer 模型, 考虑了 kink 效应后, 推导了 poly-Si TFTs 的电容模型。大部分现存的 poly-Si TFTs 的电容模型^[2-7]都没有十分令人满意的成果。同时这些模型也不完整, 没有同时考虑到泄漏区和 kink 区的电容。

收稿日期: 2010-08-20; 修订日期: 2010-09-07

基金项目: 广东高校优秀青年创新人才培养计划(育苗工程)(No. LYM10032)

作者简介: 邓婉玲(1980-), 女, 广东佛山人, 博士, 讲师, 主要研究方向为器件建模与仿真验证工具的研究与开发。

Poly-Si TFTs 栅电容有两个重要特点^[8]:一是在泄漏区栅源电容 C_{gs} 随着反向栅压的增大而快速地增大;二是在 kink 区栅漏电容 C_{gd} 随着漏压的增大而快速地增大。此结果显示 poly-Si TFTs 有独特的栅电容行为,而这些特性必须在电容模型中描述。

本文基于 Meyer 模型对 poly-Si TFTs 进行栅电容建模,同时考虑了 kink 区和泄漏区的栅电容行为。最后此模型计算得到的栅源电容和栅漏电容与实验数据进行了对比验证。

2 电容模型

2.1 基本电容模型

同时适用于线性区、饱和区和亚阈值区的 Meyer 模型描述如下^[2, 9]:

$$C_{gs0} = C_{\min} + \frac{2}{3} C_{OXs} \left[1 - \left(\frac{V_{dsat} - V_{dse}}{2V_{dsat} - V_{dse}} \right)^2 \right] \quad (1)$$

$$C_{gd0} = C_{\min} + \frac{2}{3} C_{OXd} \left[1 - \left(\frac{V_{dsat}}{2V_{dsat} - V_{dse}} \right)^2 \right] \quad (2)$$

其中 C_{\min} 是电容极小值,以及

$$C_{OXs} = \frac{WL\epsilon_{OX}/t_{OX}}{1 + \eta \exp\left(-\frac{V_{gs} - V_T}{\eta \phi_{th}}\right)} \quad (3)$$

$$C_{OXd} = \frac{WL\epsilon_{OX}/t_{OX}}{1 + (\eta + \eta_0 V_{dse}) \exp\left[-\frac{V_{gs} - V_T - V_{dse}}{(\eta + \eta_0 V_{dse}) \phi_{th}}\right]} \quad (4)$$

$$V_{dsat} = \alpha V_{gs} \quad (5)$$

$$V_{dse} = \frac{V_{ds}}{[1 + (V_{ds}/V_{dsat})^m]^{1/m}} \quad (6)$$

其中 V_{gs} 为栅源电压, V_{ds} 为漏源电压, V_{dse} 为有效漏源电压, ϵ_{OX} 为二氧化硅的介电常数, t_{OX} 为二氧化硅的厚度, ϕ_{th} 为热电压, W 和 L 为器件的沟宽和沟长, V_T 为阈值电压, η , η_0 , α 和 m 为拟合参数。

2.2 泄漏区的栅源电容模型

在反向栅偏压下, C_{gs} 随着偏压绝对值的增大反常地急剧上升, C_{gs} 与 V_{gs} 的变化关系类似于泄漏电流与 V_{gs} 的变化关系。 C_{gs} 快速增加的物理解释是:由于高电场存在于漏结附近和高密度陷阱的发射产生,漏结附近区域产生了大量的载流子,产生的电子被电场扫向漏极;而产生的空穴则在电场的作用下留在体内,并最后到达源极。值得注意的是:由于正向电势施加于漏极,漏与体之间

形成了反向偏置的 pn 结,而源和体之间形成正向偏置的 pn 结。因此,源和体之间的电阻电容耦合作用比漏与体之间的要强很多。于是,由于源端存在高浓度的空穴,源端的电容值增加。由于 C_{gs} 强烈依赖于泄漏发射率,泄漏区栅源电容的半经验模型如下:

$$C_{gsL} = C_{\min} + \left\{ \frac{1}{WL\epsilon_{OX}/t_{OX}} + \frac{1}{C_0 \exp[\alpha(F+b)]} \right\}^{-1} \quad (7)$$

其中式(7)中的指数项代表泄漏发射率, a , b 和 C_0 是拟合参数, F 是电场^[2]:

$$F = \frac{V_{ds}}{d_D} - \frac{V_{gs} - V_{fb}}{d_G} \quad (8)$$

其中 V_{fb} 是平带电压, d_D 和 d_G 为经验参数。

考虑了 C_{gs} 在泄漏区的特殊性质后,总的 C_{gs} 的表达式为:

$$C_{gs} = \frac{s \cdot C_{gs0}}{1 + l_1 \exp\left[\frac{-(V_{gs} - V_{fb})}{l_2}\right]} + \frac{s \cdot C_{gsL}}{1 + l_1 \exp\left[\frac{V_{gs} - V_{fb}}{l_2}\right]} \quad (9)$$

其中 s 调整 C_{gs} 的幅值, l_1 和 l_2 是光滑拟合参数,式(9)能光滑连接泄漏区和开启区。

2.3 Kink 效应

在过饱和区,多晶硅 TFT 的栅漏电容也表现出一个“kink”效应,即 C_{gd} 并不是等于零而是随着漏源电压的增加而增大。导致栅漏电容如此变化的原因是因为漏区附近形成高电场,在高电场的作用下碰撞电离产生大量的电子-空穴对,电子在高电场下快速地被漏极抽走,而空穴则离开漏结流向体内。由于 TFT 的衬底是悬空的,空穴在体内积累。因为存在大量的多余电荷,所以漏端又重新获得电荷的控制权。这是多晶硅 TFT 的一个特有现象。

另外,通过对比实验数据发现,在过饱和区, C_{gd} 开始上升时的漏源电压与漏电流由于 kink 效应而上升的开始漏源电压是一致的。

因此,当为栅电容建模时,考虑到 kink 效应,同样可以利用与碰撞离化倍增因子 $M^{[2]}$ 相似的表达式:

$$C_{kink} = A_i (V_{ds} - \lambda V_{dse}) \exp\left(\frac{-B_i}{V_{ds} - \lambda V_{dse}}\right) \quad (10)$$

其中 λ 是调整 C_{gd} kink 漏源电压的参数, A_i 和 B_i

是 kink 效应的拟合参数, A_i 与栅源电压有关。

在线性区碰撞电离产生的电子-空穴对非常少, 可以忽略不计, 式(10)趋近零; 然而在饱和区发生 kink 效应时, 式(10)随着 V_{ds} 的增大而增大。因此, 方程(10)无需额外增加光滑函数即可平滑过渡 C_{kink} 在线性区和饱和区的不同值, 增强了模型在电路仿真器中的鲁棒性。于是, 考虑 kink 效应后, C_{gd} 的模型为:

$$C_{gd} = s(C_{gd0} + C_{kink}) \quad (11)$$

3 结果与讨论

为了验证所建立的栅电容模型的适用性, 采用 MATLAB 软件模拟仿真了不同偏置下的多晶硅 TFT 的栅源电容和栅漏电容特性, 并与实验数据进行了比较。模型计算的参数见表 1。以下是模拟和验证的结果及分析。

表 1 模型仿真参数表

Table 1 Parameters of simulated models

符号(单位)	图 1	图 2	图 3	图 4	图 5
t_{OX} (nm)	100	76	100	40	—
W (μm)	50	20	50	100	—
L (μm)	10	5.3	50	100	—
C_{min} (F)	2×10^{-14}	0	0	2×10^{-13}	0
V_{fb} (V)	0	-3	0	0	0
s	0.75	1	1	0.95	1
C_0 (F)	4.4×10^{-19}	1.65×10^{-18}	—	—	—
a (m/V)	1.3564×10^{-7}	1.225×10^{-7}	—	—	—
b (V/m)	1×10^7	1.225×10^7	—	—	—
V_T (V)	0.5	—	0.5	1	1
α	0.8	—	1	0.7	0.6
m	2	—	2	6	6
η	10	—	15	10	30
η_0 (V^{-1})	0	—	3	2	0
d_D (m)	1×10^{-7}	2.5×10^{-7}	—	—	—
d_G (m)	4×10^{-7}	1.9×10^{-7}	—	—	—
l_1	1	—	—	—	—
l_2 (V)	0.4	—	—	—	—
λ	—	—	—	0.8	0.8
A_i (F/V)	—	—	—	$7 \times 10^{-16} V_{gs}^3$	$5 \times 10^{-18} V_{gs}^2$
B_i (V)	—	—	—	10	10

第一组数据是广栅压范围下的 C_{gs} - V_{gs} 特性^[8], 包括泄漏区、亚阈值区和强反型区, 如图 1 所示。由图 1 可见, 仿真结果与实验数据有较好的一致性, 但在负偏压较大时存在一定的偏差。这是因为引起泄漏效应的机制有多种, 而且在不同的偏压和温度条件下, 泄漏的产生机制就不同, 而式(7)没有考虑全部的泄漏产生机制。从图中可清楚地看到, 器件工作于深线性区时 C_{gs} 的值趋

近 $0.5WL\epsilon_{OX}/t_{OX}$ 。另外, 在泄漏区由于源端具有高浓度的空穴, C_{gs} 随着 $|V_{gs}|$ 的增加快速上升。

第二组数据是泄漏区的 C_{gs} - V_{gs} 特性^[7]。从图 2 可见, 在泄漏区, C_{gs} 的上升规律与泄漏电流的类似。拟合结果表明, 提出的模型对泄漏区的 C_{gs} 特性能较好地预测。

第三组数据是 C_{gd} - V_{gs} 的特性曲线^[8]。从图 3 可明显地看出, 本模型对 C_{gd} 特性的预测也是准

确的。

第四组数据是 $C_{gs}-V_{ds}$ 和 $C_{gd}-V_{ds}$ 特性^[5]。图 4 的仿真结果同实验数据符合较好,表明了该模型的有效性。当器件达到饱和条件后, C_{gd} 并没有等于零,而是随着 V_{ds} 的增加向上增加,原因是 kink 效应的影响。 C_{gd} 的这种行为是 poly-Si TFTs 独

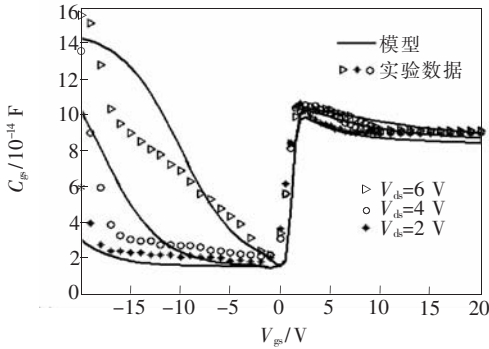


图 1 $C_{gs}-V_{gs}$ 特性的模型结果与实验结果^[8] 的比较

Fig. 1 Comparison of the $C_{gs}-V_{gs}$ characteristics between model results and experimental data^[8].

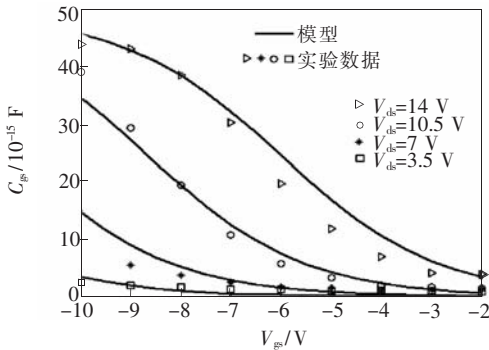


图 2 泄漏区 $C_{gs}-V_{gs}$ 特性的模型结果与实验结果^[7] 的比较

Fig. 2 Comparison of the $C_{gs}-V_{gs}$ characteristics in leakage region between model results and experimental data^[7]

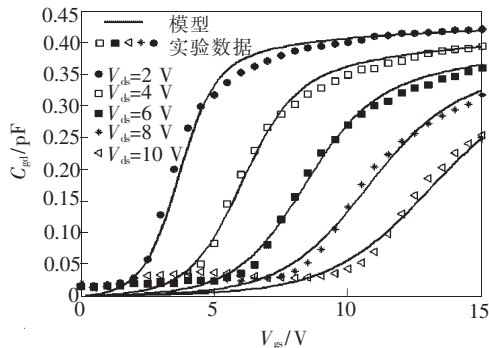


图 3 $C_{gd}-V_{gs}$ 特性的模型结果与实验结果^[8] 的比较

Fig. 3 Comparison of the $C_{gd}-V_{gs}$ characteristics between model results and experimental data^[8]

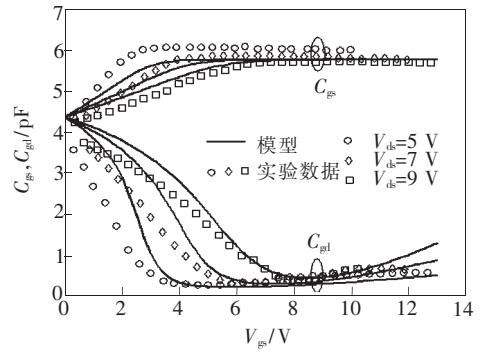


图 4 $C_{gs}-V_{ds}$ 和 $C_{gd}-V_{ds}$ 特性的模型结果与实验结果^[5] 的比较

Fig. 4 Comparison of the $C_{gs}-V_{ds}$ and $C_{gd}-V_{ds}$ characteristics between model results and experimental data^[5]

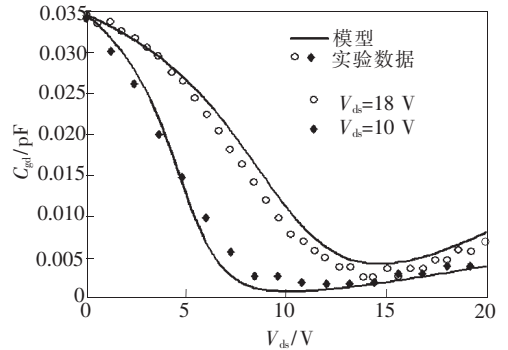


图 5 $C_{gd}-V_{ds}$ 特性的模型结果与实验结果^[6] 的比较

Fig. 5 Comparison of the $C_{gd}-V_{ds}$ characteristics between model results and experimental data^[6]

有的,它也凸显了 kink 效应对器件特性的影响。

第五组数据是 $C_{gd}-V_{ds}$ 特性^[6],如图 5 所示,仿真中的 $WL\epsilon_{ox}/t_{ox}$ 值由图中深线性区 $V_{ds} \approx 0$ 时的实验数据提取,此时 C_{gd} 的值为 $0.5WL\epsilon_{ox}/t_{ox}$ 。可见,由于 kink 效应,器件工作于饱和区时, C_{gd} 随漏压的增加而上升。

从图 1~5 可以清楚地看到,本文所提出的模型能较准确地预测 poly-Si TFTs 栅电容随偏压的变化关系,从而也证明了提出模型的有效性。

4 结 论

建立了多晶硅 TFT 的栅电容模型,该模型适用于器件的所有工作区间。在泄漏区 C_{gs} 的快速上升和在饱和区 C_{gd} 的快速上升都是 poly-Si TFTs 的特性。所提出的模型能准确地预测这些行为。仿真实验结果表明,该栅电容模型简单方便、物理意义明确,非常适用于器件特性的预测。

参 考 文 献:

- [1] Meyer J. MOS models and circuit simulation [J]. *RCA Review*, 1971, 32:42-63.
- [2] Jacunski M D. Characterization and modeling of short-channel polysilicon thin-film transistors [D]. Charlottesville, Univ. of Virginia, 1997.
- [3] Bindra S, Haldar S, Gupta R S. Gate capacitance characteristics of a poly-Si thin film transistor [J]. *Solid-State Electron.*, 2004, 48(5):675-681.
- [4] Chen S S, Shone F C, Kuo J B. A closed-form inversion-type polysilicon thin-film transistor dc/ac model considering the kink effect [J]. *J. Appl. Phys.*, 1995, 77(4):1776-1784.
- [5] Yang G Y, Hur S H, Han C H. A physical-based analytical turn-on model of polysilicon thin-film transistors for circuit simulation [J]. *IEEE Trans. Electron Devices*, 1999, 46(1):165-172.
- [6] Chung S S, Chen D C, Cheng C T, *et al.* A physically-based built-in spice poly-Si TFT model for circuit simulation and reliability evaluation [C]//*Proceedings of the 1996 IEEE International Electron Devices Meeting*, Piscataway: IEEE, 1996:139-142.
- [7] Li C C, Ikeda H, Inoue T, *et al.* A physical poly-Silicon thin film transistors model for circuit simulations [C]//*Proceedings of the 1993 IEEE International Electron Devices Meeting*, Piscataway: IEEE, 1993: 497-500.
- [8] Martin R A, Hack M, Shaw J G, *et al.* Intrinsic capacitance of amorphous silicon and polysilicon thin film transistors [C]//*IEEE International Electron Devices Meeting*, Piscataway: IEEE, 1989:361-364.
- [9] Cadence Design Systems, Inc. *Cadence Circuit Components and Device Models Manual* [M]. San Jose, USA: Cadence Design Systems, Inc., 2005:1365-1400.

《发 光 学 报》

——EI 核心期刊 (物理学类; 无线电电子学、电信技术类)

《发光学报》是中国物理学会发光分会与中国科学院长春光学精密机械与物理研究所共同主办的中国物理学会发光分会的学术会刊。该刊是以发光学、凝聚态物质中的激发过程为专业方向的综合性学术刊物。

《发光学报》于 1980 年创刊, 曾于 1992 年, 1996 年, 2000 年和 2004 年连续四次被《中文核心期刊要目总览》评为“物理学类核心期刊”, 并于 2000 年同时被评为“无线电电子学、电信技术类核心期刊”。2000 年获中国科学院优秀期刊二等奖。现已被《中国学术期刊(光盘版)》、《中国期刊网》和“万方数据资源系统”等列为源期刊。英国《科学文摘》(SA)自 1999 年; 美国《化学文摘》(CA)和俄罗斯《文摘杂志》(AJ)自 2000 年; 美国《剑桥科学文摘社网站》自 2002 年; 日本《科技文献速报》(CBST, JICST)自 2003 年已定期收录检索该刊论文; 2008 年被荷兰“Elsevier Bibliographic Databases”确定为源期刊; 2010 年被美国“EI”确定为源期刊。2001 年在国家科技部组织的“中国期刊方阵”的评定中, 《发光学报》被评为“双效期刊”。2002 年获中国科学院 2001~2002 年度科学出版基金“择重”资助。2004 年被选入《中国知识资源总库·中国科技精品库》。本刊内容丰富、信息量大, 主要反映本学科专业领域的科研和技术成就, 及时报道国内外的学术动态, 开展学术讨论和交流, 为提高我国该学科的学术水平服务。

《发光学报》自 2011 年改为月刊, A4 开本, 144 页, 国内外公开发行。国内定价: 40 元, 全年 480 元, 全国各地邮局均可订阅。《发光学报》欢迎广大作者、读者广为利用, 踊跃投稿。

地 址: 长春市东南湖大路 3888 号

《发光学报》编辑部

邮 编: 130033

电 话: (0431)86176862, 84613407

E-mail: fgxbt@126.com

国内统一刊号: CN 22-1116/O4

国际标准刊号: ISSN 1000-7032

国内邮发代号: 12-312

国外发行代号: 4863BM

http://www.fgxb.org