

文章编号: 1007-2780(2011)03-0344-06

LVDS 三线同步串口的传输速率

王 文 华, 何 斌, 任 建 岳*

(中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033, E-mail: wangwh900@yahoo.com.cn)

摘 要: 搭建了一个合理的试验平台, 利用 FPGA 产生 10 bit 数字自校图形, 经过 LVDS 同步串口传输, 在数据接收端处理串转并数据送入图像采集卡, 通过实时观察接收图形是否正常来判断该传输速率下的可靠性。分别研究了基于 FPGA 片内低压差分模块和专业差分转换芯片的两种应用方案。通过大量试验得出结论: 两种方案的最高传输速率, 前者约能达到 152 Mbit/s, 后者约为 125.2 Mbit/s。考虑到工程实际中可能面临的各种复杂应用环境, 推荐适当降额应用。

关 键 词: LVDS; 同步串口; 传输速率; 自校图形

中图分类号: TN791

文献标识码: A

DOI: 10.3788/YJYXS20112603.0344

Transmission Bandwidth of 3-Wire Synchronous Serial Port Based on LVDS

WANG Wen-hua, HE Bin, REN Jian-yue*

(Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences,

Changchun 130033, China, E-mail: wangwh900@yahoo.com.cn)

Abstract: This paper tries to exam the transmission bandwidth by establishing a scientific test-platform. The paper provides a test pattern formed by 10 bit raw image data which is generated by FPGA as transmitter. The receiver performs data conversion serial-to-parallel and then sends image data as well as clock and enable signals to the image grabber. The transmission reliability is estimated by checking the real-time received test pattern through the 3-wire LVDS serial port. From abundant experiments, the paper gets two results: when LVDS is implemented by imbedding modules in FPGA, transmission bandwidth is approx 152 Mbit/s; when LVDS is implemented by special LVDS devices, transmission bandwidth is approx 125.2 Mbit/s. In practical application cases, bandwidth derating is advised.

Key words: LVDS; synchronous serial port; data bandwidth; test pattern

1 引 言

LVDS (Low Voltage Differential Signaling) 是一种低摆幅的差分信号技术, 它使得信号能在差分 PCB 线对或平衡电缆上高速传输。一般来说, LVDS 驱动器由一个驱动差分线对的电流源组成, 具有很高的输入阻抗, 驱动器输出的电流大

部分都流过终端匹配电阻, 并在接收器的输入端产生大约 350 mV 的电压。当驱动器翻转时, 它改变流经电阻的电流方向, 因此产生有效的逻辑状态。这种恒流源模式低摆幅和低电流驱动输出实现了低噪声和低功耗, 因而被广泛应用^[1]。

串行外围设备接口 (Serial Peripheral Interface, SPI) 是 Motorola 公司推出的一种同步串行

收稿日期: 2010-12-05; 修订日期: 2011-01-11

作者简介: 王 文 华 (1982-), 男, 山东泰安人, 博士, 主要从事光电成像与图像处理方面的工作。

* 通讯联系人, E-mail: renjy@ciomp.ac.cn

接口技术,主要用于扩展外设和进行数据交换。三线同步串行接口是SPI接口的单向传输应用,典型的应用时序包括传输使能SEN、同步时钟SCLK和数据SDATA3个信号。由于软硬件实现简单易行,因而被广泛应用于很多数字处理设备的外围通信中^[2]。为了实现高速、可靠、易行的数据传输,将LVDS电平接口与三线同步串口传输时序相结合,配以相应的数据收发协议,便可构成高速的数据传输通道。这种LVDS三线同步串口在数字成像系统中被用来传送图像数据^[3]。目前大部分数字芯片的IO电平接口是TTL或者LVTTL,这就提出了一个问题:基于TTL-LVDS-TTL电平传输的三线同步串口传输速率最高能达到多少?

首先,单纯的LVDS传输线技术理论上能够达到655 Mbit/s^[4],然而这只是针对单个信号的点对点传输。童子权认为实际LVDS点对点的传输速率要在155 Mbit/s^[3],但未涉及多个信号同步传输。其次,三线同步串口在很多芯片的参数配置接口中的应用速率不高,一般在20 Mbit/s以下^[5],增强型的高速SPI接口的时钟频率约为60 MHz^[6]。

为了适应不断增长的图像传输速率要求,需要搭建一个合理的试验平台,在三线同步串口的传输线上实现数据的发送和接收,并尽可能准确地获得传输接口的最大速率。本文以10 bit并行数据的串行传输为例,探索研究了三线同步串口的最大传输速率。

2 试验平台设计

试验平台的设计思想如图1所示,主要围绕三线同步串口的传输功能展开,其中不可或缺的试验功能有:

- (1)简单易行的硬件电路;
- (2)传输速率连续可调;
- (3)合适的测试数据与协议;
- (4)可靠的数据接收单元设计。



图1 试验最小系统组成框图

Fig. 1 Basic test platform

下面就以上问题分别研究。

2.1 硬件电路选择

数据发送和接收的数据处理采用现场可编程的FPGA芯片来完成。FPGA具有丰富的IO引脚定义、灵活的编程配置方式以及功能强大的内嵌时钟资源,可使试验硬件简单,软件调整方便。

综合考虑,FPGA芯片选用Xilinx公司生产的Virtex-II系列XC2V1000^[7],它不仅具有上述FPGA的优点,还可以在其IO管脚上直接输出LVDS差分信号,更加便于开展LVDS传输特性的研究。

2.2 传输速率连续可调

一般来讲,数字处理系统离不开一个稳定的时钟源。本文为了研究三线同步串口的最高传输速率,要用FPGA来实现数据传输,就要考虑工作频率的连续可变,以便于检测到数据稳定传输速率极限。

有两种思路来改变数据处理器的的工作频率:一是改变外部时钟源;二是在外部时钟基础上在FPGA内部实现变频。

第一种思路最简单的方法是直接更换时钟晶振,这种方法固然能够起到调整传输频率的作用,但是操作非常麻烦,而且器件成本增加,更重要的是时钟频率调整间隔大,连续性较差。

第二种思路是利用FPGA芯片实现时钟调整功能。前面我们已经选择了XC2V1000芯片作为数据处理器,该芯片内置了DCM时钟管理模块,其中CLKFX可自定义输出一定频率范围的时钟信号 f_{req} ,如式(1)所示。

$$f_{req} = \frac{M}{D} \times f_0 \quad (1)$$

式中 f_0 为参考频率, M 和 D 分别是表示倍频和分频的1~32的整数^[7]。然而DCM的时钟调整仍然具有较大的离散性。

最终选择的方案是在第一种思路基础上,外接信号发生器作为时钟源。利用Tektronix的AFG3102信号发生器输出频率精准的方波信号作为FPGA的工作频率,如图2所示。首先根据工程经验估计,信号的上升沿和下降沿共占3 ns,数据保持时间为2 ns,则该信号最小周期为5 ns,即最高频率为200 MHz。首先试验200 Mbit/s的串行传输,先期试验表明无法进行可靠传输,因此,自200 MHz开始降频试验。

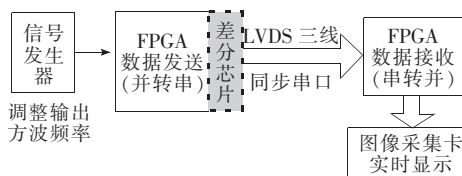


图 2 时钟连续可调的传输试验系统

Fig. 2 Test platform with agile frequency clock

由于信号发生器输出频率最高为 50 MHz，因此发送单元的 FPGA 对来自信号发生器的参考时钟进行四倍频后作为传输时钟。调整信号发生器的输出频率，从 50 MHz 开始以 100 kHz 为步长逐步调整。每次调整信号发生器的方波输出频率后，都要复位数据发送单元的 FPGA，以重新发起传输过程。

2.3 传输测试数据与传输协议

为了便于测试 LVDS 传输的正确性，设计采用自校图形数据作为信息载体。首先由数据发送模块中的 FPGA 来产生 10 bit 测试图形数据，经过并转串处理后输送到传输线上。数据接收端在串转并后送入图像采集卡，通过实时显示的自校图形判断传输是否正常。

图 3 所示的图形是线阵 CCD 成像系统中常用的自校图形，其特点是图像细节丰富，横向和纵向均有灰度渐变，尤其是宽度可调的黑白竖条纹可对逐个像元数据进行检验^[8]。

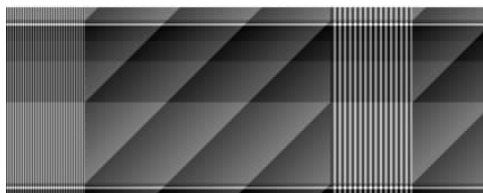


图 3 一种自校图形

Fig. 3 A kind of test pattern

另外，图形测试方式可以简易评估误码率。以每行 4 096 pixel × 10 bit 的逐行扫描图像为例，当串行传输速率为 100 Mbit/s 时（此时像素时钟为 10 MHz），如果监视器收到的自校图形保持正常 5 min，则认为测试系统的误码率 $p_e < 10^{-10}$ 。此方法可以作为数据传输链路工作正常的判断依据。图 4 所示为传输异常时接收到的自校图形，由于传输数据的不连续性，图像信号时断时续。

三线同步串口的传输协议可由用户自定义，

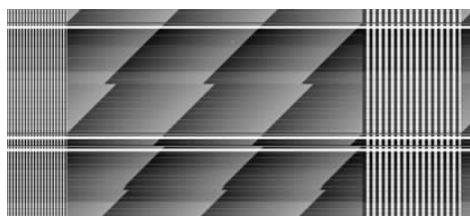


图 4 传输异常的自校图形

Fig. 4 Abnormal received test pattern

本文采用图 5 所示的传输协议时序，对 10 bit 的图像数据进行并转串，约定高位在前，低位在后，时钟下降沿锁存数据。实现该协议的 FPGA 程序代码如下：

```

signal i ;integer range 0 to 9;
signal SLEN_2,Sdout ;std_logic:= '0';
begin
    process(EN,clk)begin
        if EN='0' then
            Sdout<='0';
            i<=9;
        elsif rising_edge(clk) then
            Sdout<=Qdata(i);--并转串
            if i>0 then i<=i-1; --高位在前
            else i<=9; end if;
        end if; end process;
    -----
    process(clk)begin
        if rising_edge(clk) then
            SLEN_2<=EN; --调整时序
            SLEN<=SLEN_2;
            SDATA <=Sdout;
        end if;end process;
    SCLK<=CLK;

```

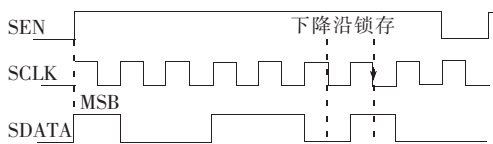


图 5 三线同步串口传输协议时序关系

Fig. 5 Timing of 3-wire synchronous serial port

2.4 数据接收单元设计

三线同步信号经过 LVDS 传输后，需要在数据接收单元首先被转换为可被 FPGA 直接接收

的 LVTTTL 电平, 再被送入 FPGA 进行数据串转并处理。串转并后的并行数据传至图像采集卡以图像形式显示, 必须要注意数据处理的实时性, 因此数据串转并后不做任何缓存, 经过简单的延时处理后直接送到图像采集卡, 以避免数据接收单元的带宽成为整个测试系统的瓶颈。

接收处理过程如图 6 所示, LVDS 传输信号进入数据接收单元, 若有多个传输通道进入 FPGA, 需要在多路选择开关控制下输出一个通道的三线同步串口信号。根据图 5 所示的传输时序和协议, 在同步时钟信号的下降沿锁存数据, 经过串转并处理输出并行数据和同步信号, 然后对并行采样时钟和传输使能进行适当的延时处理, 最后输送到图像采集卡显示自校图形。

其中串转并的关键 FPGA 代码如下:

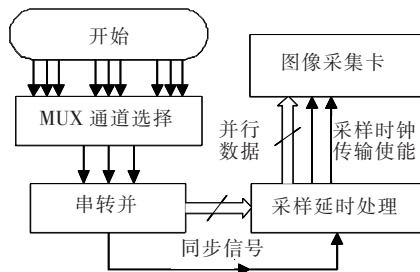


图 6 FPGA 串转并处理流程

Fig. 6 Flow chart of serial-to-parallel

```

process(SCLK)
variable count :integer range 0 to 15;
begin
if falling_edge(SCLK) then
if SLEN = '1' then
shift_regs(9 downto 0) <= shift_regs(8
downto 0) &. SDATA ; --移位寄存器串转并
if count=9 then
count:=0; over <= '1';
else
--over 为串转并结束采样并行数据的信号
over <= '0'; count:=count+1;
end if;
else
shift_regs <= (others=>'0');
count:=0;over <= '0';
end if;end if;end process;
process(SCLK) begin
if falling_edge(SCLK) then
Sample_1 <= over;
Sample_2 <= Sample_1;
Sample_3 <= Sample_2;
Sample <= Sample_3;
end if; end process;
    
```

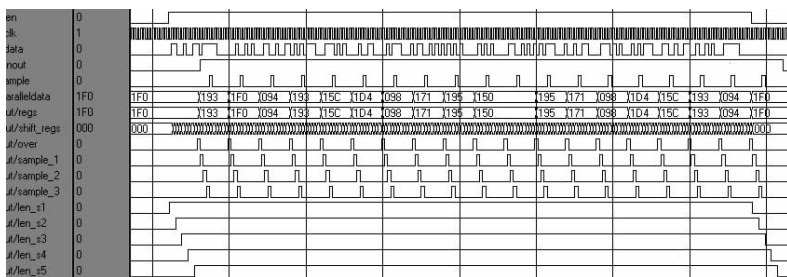


图 7 FPGA 串转并信号时序仿真

Fig. 7 Simulation of serial-to-parallel signals

为了使串转并输出的并行数据与采样时钟以及传输使能满足稳定的建立保持时间要求, 需要利用同步时钟信号进行锁存延时, 串转并转换过程的时序仿真如图 7 所示。

为了减少数据的处理环节, 采用 Dalsa 公司的 X64-LVDS 图像采集卡^[9], 这样可以直接将并行数据、采样时钟和传输使能信号送入采集卡接口, 该试验系统的硬件实物图如图 8 所示。

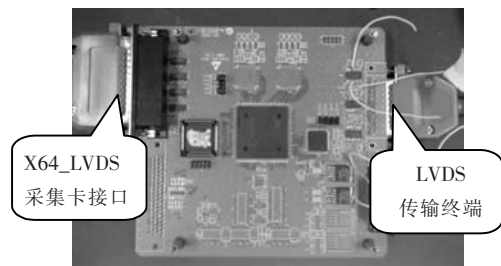


图 8 试验平台电路板实物图

Fig. 8 Hardware of test platform

3 试验结果与工程使用分析

尽管单纯的 LVDS 传输速率理论上能够达到 655 Mbit/s^[4], 然而实际工程应用中, 由于数字芯片本身的延时以及 PCB 板的特性参数等影响, 使得信号的跳变沿可能仅占几个纳秒的时间。针对工程实际, 本文探讨了两种数据传输方案: 基于 FPGA 片内 LVDS 输出模块的传输方案和基于专用差分转换芯片的传输方案。

利用 Virtex-II 系列 FPGA 芯片内部的 LVDS 差分模块可节省由 LVTTTL 转换为 LVDS 这一环节, 避免了外部电路的各种干扰。试验结果显示, 该方案三线同步串口的最高传输速率约为 152 Mbit/s。

而当使用专用差分转换芯片(如 DS90LV031LV 等芯片)输出 LVDS 传输电平时, 大量试验结果显示, 此时三线同步串口的传输速率只能达到 125.2 Mbit/s。分析其原因, FPGA 首先输出 LVTTTL 电平, 然后经过 PCB 走线进入差分转换芯片, 噪声干扰使得这部分的传输路径增加了信号不完整的风险。

用示波器在差分数据接收端测量的波形如图 9 所示, 左图为使能 SEN 信号, 右图为 SEN 和

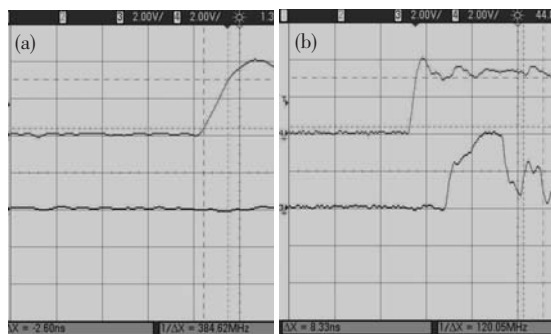


图 9 传输速率为 125 Mbit/s 时, 接收端的 LVTTTL 电平波形。(a) SEN 使能信号; (b) SEN 和 SDATA 信号。

Fig. 9 Waveform of receiver when the transmission bandwidth is 125 Mbit/s. (a) SEN signal; (b) SEN & SDATA signals.

SDATA 信号。由图中可以粗略地看到, 信号的上升沿约为 2.6 ns, 有效数据脉冲宽度仅为 8 ns 左右。

试验中 LVDS 的传输介质均为屏蔽双绞线, 试验传输距离约为 6 m, 距离更短时传输性能几乎不变。当然, 由于实际试验条件的限制, 试验中还存在一些不可避免的干扰因素, 对最终的试验数据有一定的影响。通过改善试验条件、消除干扰因素, 传输速率还能进一步提高, 但是对于 LVTTTL-LVDS 电气接口的三线同步串口传输来讲, 改善的裕量不大。

要想实现更高的串行传输速率, 一方面必须摒弃这种 LVTTTL-LVDS 的电气传输方式, 改用 CML 交流耦合或者光纤传输等更高级的传输方式^[10-11]; 另一方面, 由于同步时钟信号与数据信号必须满足建立保持时间的要求, 而速度越快时钟脉冲的采样沿与信号边沿的限制越严格, 出错的机率就越高, 因此必须去掉时钟线, 改用时钟与数据融合编码才有可能提高串行传输速率, 例如曼彻斯特编码、8B/10B 平衡编码等。

实际工程应用中的环境条件要比实验室条件更加复杂, 考虑到实际工程中的降额使用, 推荐在上述试验结果基础上至少降额 10 Mbit/s 使用, 即采用 FPGA 内置差分功能时, 最高速率为 142 Mbit/s; 采用专用 LVDS 差分转换芯片时, 最高速率为 115 Mbit/s。

4 结 论

通过一系列试验研究了 LVDS 三线同步串口稳定传输下的最大传输速率。当使用 FPGA 内置 LVDS 模块时, 传输速率能够达到 152 Mbit/s; 而当使用专用的差分转换芯片时, 传输速率只能达到 125.2 Mbit/s。在实际工程应用时, 可根据不同需要采用适当的降额方案在适当速率下进行传输。而要突破传输速率的限制, 则必须打破这种传输方式, 采用更好的电气接口和编码方案。

参 考 文 献:

- [1] 李娜, 丁亚林, 冷雪, 等. 线阵 CCD 相机模拟器的分析与设计[J]. 液晶与显示, 2009, 24(6): 922-926.
- [2] 贾伟, 邵左文, 张玉猛. 基于 SPI 总线的高速串行数据采集系统设计[J]. 国外电子测量技术, 2007, 26(4): 37-39.
- [3] 童子权, 白锦玲. LVDS 传输技术在高速数据采集系统中的应用[J]. 国外电子测量技术, 2009, 28(2): 59-61.

- [4] National Semiconductor. LVDS owner's manual[R]. 3rd edition. California,USA;Nortional Semiconductor,2004.
- [5] Texas Instruments. VSP2566 CCD analog front-end for digital cameras [R]. Texas, USA;Texas Instrument,2008.
- [6] 陈肖华,任德志,徐丽萍,等. 基于增强型 SPI 接口的大容量 Flash 扩展实现[J]. 国外电子元器件,2006,10:19-22.
- [7] XILINX Inc. Virtex-II platform FPGAs'. Complete datasheet [R]. California,USA;XI LINX Inc., 2005.
- [8] 王文华,何斌,任建岳. 线阵 CCD 成像系统自校图形设计[J]. 光学精密工程,2009,17(8): 2011-2016.
- [9] Dalsa Coreco Image Inc. X64-LVDS User's Manual [R]. Waterloo, Canada;Dalsa Coreco Image Inc., 2004.
- [10] Texas Instruments. Tlk2711 1.6 to 2.7Gbps transceiver datasheet [R]. Waterloo, Canada;Dalsa Coreco Image Inc.,2001.

《光机电信息》征稿启事

本刊由中国光学学会、中国科学院长春光学精密机械与物理研究所主办,科学出版社出版。

本刊征集光学和应用光学、光电子学和激光、微纳科技、材料科学、电磁学和电子学、机械、信息科学和技术等几大领域如下形式的文章:

1. 研究信息快报

本栏目主要报道最新研究成果、阶段新结果、片段新结果的介绍或说明,不要求是纯学术论文。目的是为那些尚未能形成正式研究论文,但希望把已有的最新研究成果、阶段或片断新结果抢先发表的科研工作者提供一个平台,保护广大科研人员的知识产权。主要内容包括研究背景简介、研究过程或实验过程简述、观察到的结果、数据及相关信息说明、评论等,附图表数据等,也可附参考文献(一般不要求)。本栏目发表的论文数据不影响在正式发表论文时使用。

本栏目出版周期:收稿日期为每月5日之后、25日之前收到,下月即出版发表。如为当月5号之前收到,当月发表。

2. 研究快报

本栏目主要征集研究新成果的快速报道,要求同其他刊物的研究快报。要求具有如下内容:摘要、关键词、研究背景(引言)、研究过程或实验过程、研究结果、参考文献。

3. 研究评论

主要是对当前最新研究结果或研究动态的评论或展望,也可是基于他人研究结果的二次开发或更深层次的研究结果报道。

4. 综述文章

(1)综述本领域或本学科的研究成果和进展、发展动态和趋势;(2)作者本研究群体的研究工作综述。

5. 研究论文

征集研究新结果的学术论文。

6. 应用开发类论文

接受各类大学、研究所、企业自主研发的新产品性能报道和新应用报道;新型器件在系统应用结果方面的报道等。是反映企业研发创新和对自身产品的再认识的能力、并能够让用户更好地了解产品性能、拓展应用范围的手段。本栏目论文具有产品推广广告作用。

7. 成果信息和研发信息

本栏目主要为大学、研究所等研发部门发布研究成果信息或项目工程研发信息;企业需要开发或攻关的项目信息等。目的是为研发部门和企业之间架起沟通桥梁。

8. 各类形式的企业宣传、广告,具体来电来函商谈,本刊做各类宣传、广告,费用低廉。

“好酒也怕巷子深”——您的产品多一份广告就会多一份收益,低廉的费用可以节约一个推销员的出差费用,而效果和范围则要比一个销售人员大得多。

在我们这里刊登的广告哪怕只为您带来一个客户——您就收回了广告成本,同时也给您带来了久远的影响和效益。

纸版的广告+电子版的广告——更值得客户信赖,更能为您培养潜在的中、远期客户。

网上投稿:Email: gjdxxw@gmail.com xxfw@ciomp.ac.cn