

文章编号: 1007-2780(2011)03-0339-05

以嵌入式 8051 IP 核为时序控制核心的 TFT-LCD 实时显示控制器

丁 昊, 宋 杰, 关 键

(海军航空工程学院 信息融合技术研究所, 山东 烟台 264001, E-mail: hao3431@tom.com)

摘 要: 针对便携式仪器仪表对彩屏液晶显示器件依赖性逐渐增强的现状, 设计并研制了以 Xilinx 公司生产的型号为 XC3S400 的 FPGA 芯片为硬件核心, 以嵌入式 8051 IP 核为时序控制核心的 TFT-LCD 实时显示控制器。采用 FPGA 内部的 Block RAM 资源对内核需要的存储器模块进行初始化配置, 采用异步 FIFO 实现 FPGA 采集到的高速数据流与 IP 核处理速度之间的速率匹配。控制器具有较强的通用性, 可以适用于多种型号液晶的控制, 应用空间广阔。

关 键 词: 8051 IP 核; 异步 FIFO; FPGA; TFT-LCD 控制器

中图分类号: TN27

文献标识码: A

DOI: 10.3788/YJYXS20112603.0339

TFT-LCD Real-Time Display Controller Based on Embedded 8051 IP Core

DING Hao, SONG Jie, GUAN Jian

(Research Institute of Information Fusion, Naval Aeronautical and Astronautical University,
Yantai 264001, China, E-mail: hao3431@tom.com)

Abstract: According to the fact that portable instrument has more and more reliance on colored LCD displaying devices, a TFT-LCD real-time display controller is designed in this paper. The controller adopts FPGA chips as its hardware core, which is a product XC3S400 of Xilinx Corporation, and embedded 8051 IP core is used as its time control kernel. Internal block RAM resource of FPGA is introduced to initially configure the memory modules needed by IP core. Asynchronous FIFO is applied to realize the speed matching between high speed data flow acquired by FPGA and the slow processing speed of IP core. The controller has a wide range of application, and it can be applied to a variety of LCD, so it has a broad space of usage.

Key words: 8051 IP core; asynchronous FIFO; FPGA; TFT-LCD controller

1 引 言

随着信息技术以及元器件生产工艺的进步, 便携式仪器仪表的设计取得了快速的发展。液晶显示器(LCD)以其显示质量高、体积小、重量轻、功耗小等优点, 成为便携式仪器中的主流显示设

备^[1-3]; 然而, LCD 的显示控制时序复杂, 且不同型号产品的初始化过程差异很大, 给实际工程应用带来了诸多不便。嵌入式 8051 IP 核(以下简称 51 内核)是随着现代 EDA (Electronic Design Automation)技术的发展和大规模 FPGA 器件的推出而出现的^[4]。51 内核既克服了 51 系列

收稿日期: 2010-09-09; 修订日期: 2010-11-24

基金项目: 国家自然科学基金资助项目(No. 61002045); 航空科学基金项目(No. 20095184004)

作者简介: 丁昊(1988-), 男, 河南西平人, 硕士研究生, 主要研究方向为可编程器件的应用、信号采集与处理等。

单片机固有的弊端,如低速、PC的“跑飞”等,又能提高最大时钟频率和指令执行效率,因此得到了广泛的应用。

为了有效提高 TFT-LCD 控制器的通用性,本文设计了以 FPGA 器件为硬件核心,以 51 内核为时序控制核心的 TFT-LCD 实时显示控制器。通过高速 A/D 获取实时采集数据,经过相关处理,将有效信息动态显示出来。该控制器适用于 ILI9320、ILI9325 及 ILI9328 等系列驱动的液晶显示器,并同时集成了数据采集、处理、缓存、传输和实时显示的功能,具有结构简单、控制灵活的优点。以该控制器为平台设计的示波器达到了理想的显示效果。

2 系统组成与设计原理

2.1 系统组成

系统主要由 FPGA 核心板模块、高速 A/D 采集模块、异步 FIFO 模块、TFT-LCD 显示模块、电源模块以及相应的接口模块组成。采用 Oregano 公司开发的 51 内核,搭建合理的系统硬件平台,以 Xilinx 公司的 FPGA 为核心处理芯片,综合使用单片机 C 语言和 VHDL 语言,完成 TFT-LCD 实时显示控制器的设计。系统组成框图如图 1 所示。



图 1 系统组成框图

Fig. 1 Block diagram of the system

FPGA 核心板模块是液晶控制系统的核心,依据其并行处理的优点可以实现高速的数据采集与处理,在数据缓存模块的配合下实现实时采集数据的动态显示。根据需要设计出 FPGA 最小系统板以及相关的 A/D 电路。其中,FPGA 最小系统板采用 Spartan3 系列的 XC3S400-PQ208 型 40 万门芯片,其配置芯片为 Xilinx 公司的专用配置 PROM 芯片 XCF02S,以实现加电自动配置。核心板采用 5 V 电源输入,板上有两块 LM317 电源芯片分别输出 3.3 V 和 2.5 V 电压。板上采用 40 MHz 有源晶振,满足高速设计要求。A/D 为 ADI 公司高速模/数转换芯片 AD9224,具有 12

位精度,且功耗较低。

51 内核采用完全同步的设计方案,在统一的时钟信号下控制每一个存储单元的时钟输入^[5]。根据内核处理速度的要求,设计中使用 20 MHz 的时钟,时钟信号通过系统总时钟的分频得到。

2.2 设计原理

系统的工作原理框图如图 2 所示,在系统时钟和触发信号的控制下实现 TFT-LCD 的实时显示。图中虚线框部分由 FPGA 实现,具体又可以分为 3 个模块:模块 1 实现数据的采集、缓存和参数测量;模块 2 实现 FPGA 内部数据流的传输控制;模块 3 即为 51 内核部分,一方面完成 LCD 的初始化,另一方面接收数据并对数据进行译码显示。

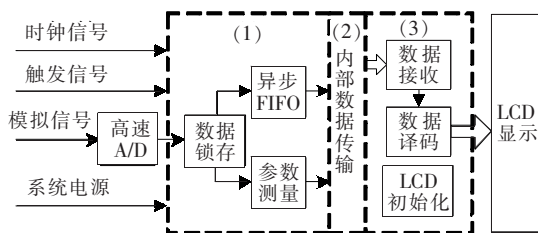


图 2 系统工作原理

Fig. 2 Working principle of the system

设计中首先在 Keil 编程环境中编译 C 语言代码,编译后的 .hex 文件经相应的格式转换,生成 FPGA 的 ROM 资源可加载的 .coe 文件类型^[6]。通过 Xilinx 提供的 Core Generator 工具,对 IP 核使用的 DATA、XDATA 和 CODE 3 种存储区以及异步 FIFO 模块进行初始化配置,并在 ROM 中载入生成的 .coe 文件。经综合 (Synthesize)、翻译 (Translate)、映射 (Map)、布局布线 (Place&Route) 和生成编程文件 (Generate Programming File),完成 51 内核的设计过程。

3 系统软件设计

3.1 异步 FIFO 设计

液晶的显示内容来自于外围 A/D 采样得到的数据。由于采集数据率很高,为保证 51 内核读取数据的有效性和可靠性,系统中使用异步 FIFO 对数据进行缓存。FIFO 的设计是通过配置 FPGA 内部的 Block RAM 资源实现的^[7-10]。为了实现边采集边显示的目的,配置两块相同的 FIFO,在读写时钟的控制下,通过读使能和写使

能信号的设置,使得在同一时刻始终有一块 FIFO 在进行写操作,而另一块 FIFO 将写满的数据读出。对于同一块 FIFO 不允许读写信号同时有效,这样接收 A/D 数据和读取数据并交给 51 内核处理可以同时进行,从而保证数据传输的连续性。

3.2 FPGA 内部数据传输的实现

FPGA 与 51 内核之间有效的数据传输是保证 LCD 正确显示的重要前提,本系统中通过数据总线、地址总线和控制总线将两个模块联系起来。在 FPGA 中,将不同类型的数据存放到不同的地址中,内核通过地址总线对 FPGA 的内存进行访问,对读取的数据做出相关的译码处理,并将处理结果实时显示在液晶屏幕上。

控制总线包括读使能和写使能信号,分别控制异步 FIFO 的读写操作。当其中一块 FIFO 中存够指定数量的采样数据以后,读使能信号有效,内核开始接收数据,此时另一块 FIFO 开始写入采集数据。当数据接收完毕后,内核向 FPGA 发出写使能信号,此时两块 FIFO 交换功能,内核控制 LCD 将数据实时显示出来,并以此循环交替工作。这种总线握手协议的设计,使得内核与 FIFO 之间的读写协调工作,大大提高了数据传输的可靠性。

3.3 LCD 寄存器操作

在该系统中,液晶模块采用 ILI9320 片上系统(SoC)驱动器,它支持 26 万色显示,分辨率为 240RGB×320^[11]。ILI9320 的数据总线(DB)、读/写数据寄存器(RDR/WDR)及 GRAM 中的数据宽度均为 18 位,其中后两者的数据位一一对应,指令寄存器(D)的数据宽度为 16 位。当采用不同的系统总线结构时,数据总线与各寄存器之间数据传输的格式是不同的。本文中 51 内核具有 8 位总线宽度,因此通过程序设定液晶驱动器中相应寄存器的初始值(对于 ILI9320,应该将 IM[3:0]设定为“0011”),选择 8 位液晶驱动器总线接口,在这种模式下数据总线只使用高 8 位(DB17~DB10)进行数据传输。向指令寄存器中写入数据时,将 16 位数据分为高 8 位和低 8 位,其中高字节先传输,数据传输格式如图 3 所示。读/写数据寄存器中的显示数据同样被分为高字节和低字节并按照高字节优先的次序进行传输,数据写入寄存器后自动扩展为 18 位,然后再写入 GRAM 中。数据总线中没有使用的低位数据,

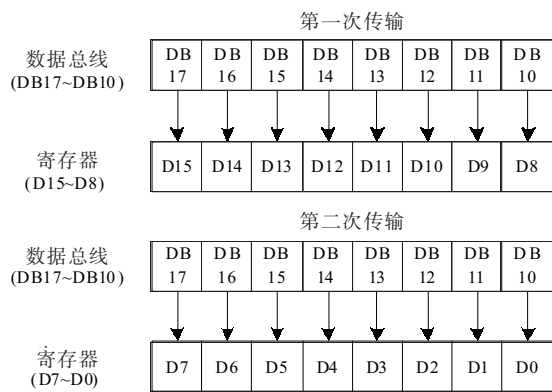


图 3 寄存器数据传输格式

Fig. 3 Data transfer format of the registers

(DB9~DB0)应进行接地处理。

为保证寄存器操作的正确性,需要对系统中的信号通信接口进行合理设计。系统接口在硬件上的直观表现为 LCD 与 FPGA 模块之间的连接,但实际上这包括两部分内容。首先是 FPGA 模块与 51 内核间的端口例化。为实现 FPGA 采集数据的实时传输和显示,在接口设计中除了数据总线以外,还需要地址总线(addr)和控制总线(wr_en 和 rd_en),按照程序设定的通信协议将数据传输给 51 内核。其次是 51 内核与 LCD 间的信号连接,系统中 LCD 采用 i80 总线进行控制,通过读使能(RDB)和写使能(WRB)两条控制线进行读写操作,数据线的宽度为 8 位,CS 为片选信号,RS 为数据/寄存器命令选择信号,当 RS 为低电平时,表示对 LCD 内部的寄存器操作,为高电平时对 GRAM 中的数据进行操作,RESET 为复位信号。液晶模块中的控制信号和数据信号均为标准的 TTL 电平,应用时直接与 FPGA 的 I/O 接口相连。系统接口模块的连接方式如图 4 所示。

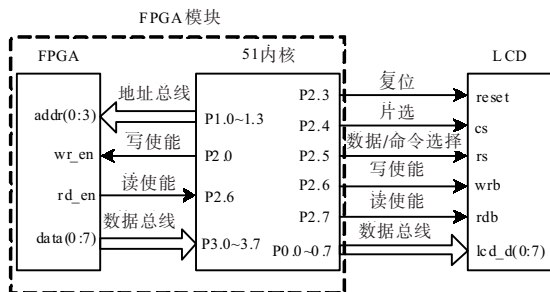


图 4 系统接口模块的连接方式

Fig. 4 Connection of the interface module

3.4 LCD 的显示时序控制

显示时序控制程序是 LCD 实时显示控制器中的核心环节,根据设计需要,将相应的初始化命令字分别写入到 36 个具有不同功能的控制寄存器中,完成一个完整的初始化周期。显示时序控制的软件设计流程图如图 5 所示。

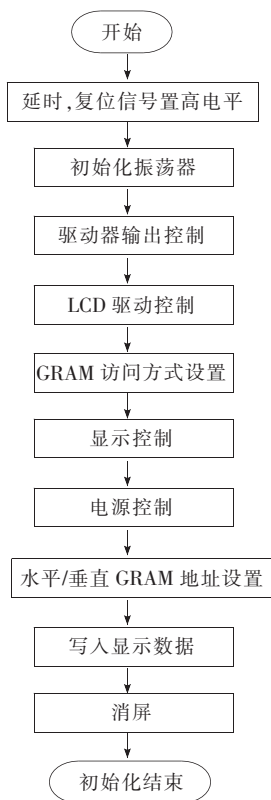


图 5 软件设计流程

Fig. 5 Flow of software design

时序控制程序主要由 4 种核心函数组成,下面结合设计过程进行详细的介绍。

3.4.1 write_command 函数

函数原型为 `write_command(uchar addr1, uchar addr2)`,负责向 DRIVE IC 寄存器中写入地址。在进行显示控制时,要对不同功能的寄存器分别初始化,比如访问方式、电源控制、水平和垂直 GRAM 区的地址设置,水平地址开始和结束位置寄存器,这些寄存器分别对应一个地址,地址的格式是 16 位的二进制,将这些二进制地址分成高 8 位和低 8 位两部分,作为该命令的两个参数写入。其中,uchar 表示 unsigned char(无符号字符型数据)。

3.4.2 write_para 函数

该函数原型为 `write_para(uchar para1,`

`uchar para2)`,用于向 DRIVE IC 寄存器中写命令。根据 `write_command` 函数的参数所指向的寄存器地址,写入对应的控制命令,对不同的寄存器进行初始化。该函数要和 `write_command` 函数配合调用,先给出一个寄存器的地址,然后写入控制字到该寄存器。下面给出这两个函数结合使用的部分程序段:

```

write_command(0x00,0xe5); //初始化振荡器
write_para(0x80,0x00);
write_command(0x00,0x00); //初始化振荡器
write_para(0x00,0x01);
write_command(0x00,0x01); //驱动器输出控制
write_para(0x01,0x00);
write_command(0x00,0x02); //LCD 驱动控制

```

3.4.3 write_data 函数

函数原型: `write_data(uchar data_1, uchar data_2)`,用于在 DRIVE IC 的 GRAM 中写显示数据。调用该函数时先执行 `write_command(0x00,0x22)` 指令,这个地址对应的寄存器功能为写入数据到显示存储区,即将 `data_1` 和 `data_2` 两个数据在液晶屏幕上显示出来,在屏幕上对应为一个像素点的位置。

3.4.4 Set_ramaddr 函数

函数原型: `Set_ramaddr(unsigned char x, unsigned int y)`,设置数据显示位置,`x` 为水平位置(0~239),`y` 为垂直位置(0~319)。这个函数用于克服 `write_data` 的不足,可以控制液晶屏在任意位置显示数据,而 `write_data` 函数是按照初始化的扫描方式满屏显示。`Set_ramaddr` 函数的具体形式如下:

```

void Set_ramaddr(unsigned char x,unsigned int y)
{
    write_command(0x00,0x20);
    write_para(0x00,x);
    //设定 x 轴起始坐标
    write_command(0x00,0x21);
    write_para(y>>8,y);
    //设定 y 轴起始坐标
}

```

4 系统调试和测试

在完成了系统的硬件设计和软件设计以后,需要进行综合调试和测试。以该控制器为平台进

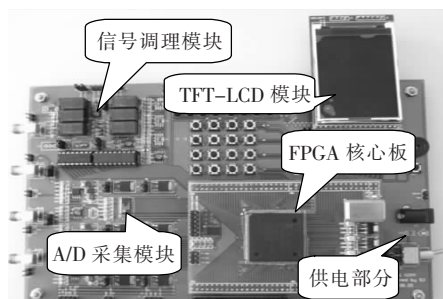


图6 系统实物照片

Fig. 6 Real picture of the system

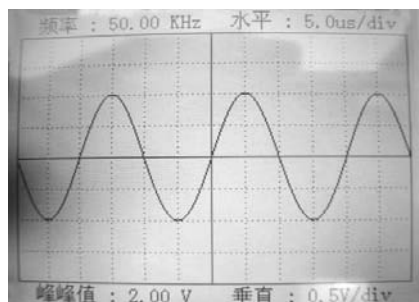


图7 LCD 显示画面

Fig. 7 Displaying interface of LCD

行了数字示波器的设计^[12],在未加电状态下系统的实物照片如图6所示,加电测试时,LCD显示界面如图7所示。可以看出,LCD可以实时显示A/D采集得到的信号数据,包括信号波形、频率以及幅度等信息,显示界面友好,数据测量精度高,实时性强。同时该控制器还具有较强的通用性,经测试,当改用ILI9325驱动器的液晶时,仅对初始化程序中的控制字进行调整,就可以实现同样的显示效果。

5 结 论

研究了51内核在TFT-LCD实时显示控制器中的具体应用方案,并设计出了控制器实物。采用C语言代码完成LCD的初始化时序控制,通过异步FIFO对FPGA采集到的高速数据流进行缓存,采用三总线结构保证了FPGA与内核模块之间的有效数据传输。控制器结构简单,应用灵活,可以方便地实现字符和波形曲线等信息的实时动态显示,具有刷新率高、通用性强的优点,适用于多种型号的TFT-LCD。

参 考 文 献:

- [1] 程明,肖祖胜. 基于FPGA的TFT-LCD显示驱动设计[J]. 液晶与显示, 2009,24(2):228-231.
- [2] 苏维嘉,张澎. 基于FPGA的TFT-LCD控制器的设计和实现[J]. 液晶与显示, 2010, 25(1):75-78.
- [3] 高恭娴,胡国兵. 基于SOPC的彩色液晶显示控制器的设计[J]. 液晶与显示, 2010,25(1):79-84.
- [4] 翟呈祥. 基于FPGA的8051单片机IP核设计及应用[D]. 太原:太原理工大学硕士学位论文, 2007:34-67.
- [5] Oregano Systems. MC8051 IP core synthesizable VHDL microcontroller IP-Core user guide [R]. Boston, USA: Oregano Systems, 2006:1-11.
- [6] 徐慧,王金海,王巍. 基于FPGA的8051IP核的设计与实现[J]. 计算机技术与发展, 2009,19(3): 42-45.
- [7] 丁昊,宋杰,关键. 基于TFT彩屏液晶的便携数字存储示波器[J]. 现代电子技术, 2010, 33(18): 166-169.
- [8] 唐清善,费玮玮,蔡惠智,等. 基于FPGA的高速异步FIFO的设计与实现[J]. 微计算机信息, 2009, 10(2): 6-8.
- [9] 褚改霞,潘卫,王栋. 基于FPGA的多路数字信号分接器的设计[J]. 电子技术应用, 2009, 27(5): 50-53.
- [10] 胡健生,臧晓昱. 嵌入式多路视频采集显示系统设计[J]. 液晶与显示, 2010,25(6):831-835.
- [11] ILI Technology Corp. A-Si TFT LCD single chip driver 240RGBx320 Resolution and 262K color datasheet preliminary [R]. Taiwan, China:ILI Technology Corp., 2007:25-86.
- [12] 石明江,张禾,河道清. 手持式数字存储示波器显示驱动设计[J]. 液晶与显示, 2010,25(5):738-742.