

文章编号: 1007-2780(2013)03-0403-05

基于 FPGA 的图形点阵液晶显示系统设计与实现

郑争兵

(陕西理工学院 物理与电信工程学院, 陕西 汉中 723001, E-mail: snutdevotion@163.com)

摘 要: 为了适应高性能电子仪器仪表前端显示的应用需要, 提出了一种高速 FPGA 处理器控制低速液晶显示模块的实现方案。阐述了内置 T6963C 液晶显示模块的特性, 给出了 FPGA 与液晶显示屏 TG240128A 的硬件接口电路。依据图形显示编址方式和命令设置方法, 利用 Verilog HDL 硬件语言完成了液晶显示驱动模块设计, 实现了图像数据的图形显示。仿真测试结果表明: 基于 FPGA 的显示驱动电路能够产生正确的时序, 发送数据符合 T6963C 控制器指令顺序, 完成图像数据的显示。该系统能够有效解决高速 FPGA 对低速 LCD 的驱动及显示问题, 在可视化设计中具有一定应用参考价值。

关 键 词: FPGA; 图形显示; 液晶控制器

中图分类号: TN873

文献标识码: A

DOI: 10.3788/YJYXS20132803.0403

Design and Implementation of Graphics Dot Matrix LCD Based on FPGA

ZHENG Zheng-bing

(School of Physics and Telecommunication Engineering, Shaanxi University of Technology,
Hanzhong 723003, China, E-mail: snutdevotion@163.com)

Abstract: In order to meet the application needs of the front display of the high-performance electronic instrumentation, the scheme that a high-speed FPGA processor controlled low-speed LCD module was proposed. The characteristics of the LCD display module built-in T6963C was elaborated and the hardware interface circuit between FPGA and LCD TG240128A was given. According to the graphical display addressing mode and command setting method, the design of the LCD driver module was completed by using the Verilog HDL hardware language and the graphics display of the image data. The simulation test results show that the display driving circuit based on FPGA can generate the correct timing, send data according with T6963C controller instruction sequence and complete the image data display. The system can effectively solve the problems of the driver and display between high speed FPGA and low speed LCD, and has a certain applications reference value in the visual interface design.

Key words: FPGA; graphic display; LCD controller

收稿日期: 2013-01-10; 修订日期: 2013-01-26

基金项目: 陕西理工学院科研计划资助项目(No. SLGKY12-21); 陕西省教育厅科研计划项目(2013JK1059)

作者简介: 郑争兵(1980-), 男, 湖北黄冈人, 硕士, 讲师, 主要研究领域为嵌入式系统设计及应用。

1 引 言

现场可编程门阵列 (Field Programmable Gate Array, FPGA) 拥有丰富的硬件资源, 具有较强的可重配置能力, 已经成为嵌入式系统设计的主流硬件平台之一^[1-2]。与数字信号处理器 (Digital Signal Processor, DSP) 相比, 能够实现数字信号处理算法硬件流水或复杂的数字控制, 可以满足高速数字控制和硬件系统高度集成化的需求。因此, FPGA 已广泛应用于高性能的电子仪器仪表实时控制系统。液晶显示器由于具有小体积、低功耗、高稳定性等诸多优点, 在智能仪器仪表领域主要用于人机交互信息。LCD 液晶显示器使用字符、汉字和图片显示测量结果和控制信息。通常, 功能较为复杂, 带汉字字库的 LCD 价格较昂贵, 采用图形点阵式液晶显示模块在降低开发成本的同时, 完全可以满足显示不太复杂的便携式应用领域。此外, 作为嵌入式处理器的外围慢速设备, 需要占用嵌入式处理器的时间资源, 降低了整个系统的实时性能^[3-5]。因此, 提出一种基于 FPGA 的图形点阵显示方案, 能够充分利用 FPGA 硬件的并行性特点, 实现图形数据的快速显示。

2 液晶显示系统硬件方案

2.1 整体结构设计

为了简化系统的设计, 采用内置了液晶显示控制器 T6963C 的图形点阵式液晶显示模块^[6-7]。该模块具有硬件初始化设置功能, 即系统上电后通过引脚完成相应的设置。外部处理器 FPGA 选用 Altera 公司的 Cyclone 系列 EP3C55F484C8 器件, 采用主动配置方式完成软件代码下载。系统整体结构如图 1 所示。由时钟模块提供系统时钟, 在显示驱动模块的控制下, 完成存储模块内存存储数据的 LCD 显示。FPGA 模块通过控制总线 and 数据总线完成与 T6963C 控制芯片的信息交互,

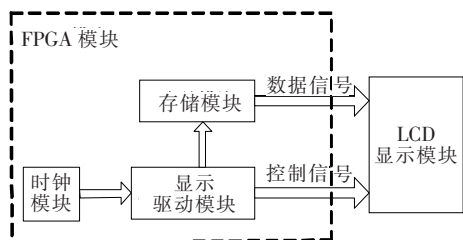


图 1 系统整体结构框图

Fig. 1 Block diagram of the overall system structure

T6963C 控制芯片实现 LCD 显示屏的行、列驱动。

2.2 LCD 与 FPGA 的硬件接口电路设计

本文采用的内置 T6963C 的图形点阵式液晶显示模块 TG240128A 分辨率为 240×128 个点, 可显示 16 行 8×8 点阵西文字符或者 8 行 16×16 点阵汉字。由于 FPGA 可以灵活实现数字控制点, 因此使用通用的 IO 引脚产生控制信号和数据信号, 完成命令, 数据的传输, 其硬件连接接口电路如图 2 所示。

FPGA 的管脚信号 LCD_LIGHT 通过三极管控制 TG240128A 模块的背光灯, 高电平时背光灯亮; 管脚信号 D0~D7 通过电阻与液晶显示模块的数据接口相连; 管脚信号 LCD_EN 与 \overline{CE} 相连, 实现模块的片选; 管脚信号 A1 与 C/D 相连, 高电平为命令, 低电平为数据; 管脚信号 nOE、nWE 实现液晶显示模块的读、写控制。Vo 信号通过电阻分压实现对对比度控制^[8]。

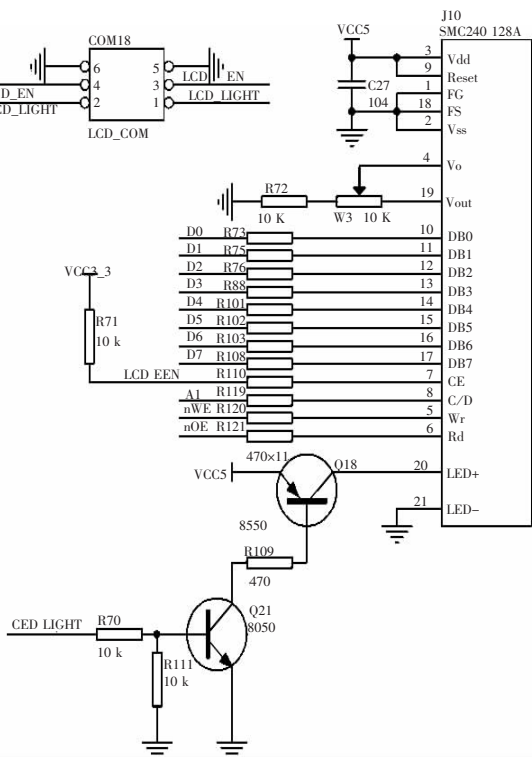


图 2 FPGA 与液晶显示模块 TG240128A 接口电路
Fig. 2 Interface circuit between FPGA and the LCD module TG240128A

3 软件设计

3.1 图形显示编址方式

图形液晶显示器主要有基于图形属性显示和

基于文本属性显示两种显示方法,本文讨论基于图形属性显示方法的实现。液晶显示模块 TG240128A 内部有 64 KB 显示缓冲区,用于存储数据。通常情况下,图形数据放在显示缓冲区内,因此实现图形显示的关键是确定显示缓冲区单元与液晶显示屏的对应关系,即图形显示的编址方式。在图形属性显示模式下,图形显示区的首地址与显示屏左上角字节位对应,占据显示屏

上一个字节^[9]。图形显示的编址方式如表 1 所示。表中 GH 是显示缓冲区中图形显示区首地址,GA 是图形显示区在显示屏上的显示宽度,即显示屏显示一行占用图形显示缓冲区的字节数, $m-1$ 是显示屏显示行数。依据该编码方式,液晶显示模块 TG240128A 显示宽度最大可以为 30,显示行数 128。图形数据单元地址从左到右递增,下一行起始地址与上一行结束地址对接。

表 1 图形显示的编址方式

Table 1 Addressing mode of graphical display

| | | | | |
|--------|----------|-------|-----------|-----------|
| GH | GH+1 | | GH+ GA-2 | GH+ GA-1 |
| GH+ GA | GH+ GA+1 | | GH+ 2GA-2 | GH+ 2GA-1 |
| | | | | |
| GH+mGA | GH+mGA+1 | | GH+mGA-2 | GH+mGA-1 |

3.2 图形显示方式设置

系统利用 FPGA 对 T6963C 控制器进行图形属性显示方式设置,采用主要设置命令如表 2 所示。数据地址指针主要是确定图形数据显示区的起始位置,用于将图形数据写入到外挂的显示 RAM 内;控制字确定图形在显示屏的位置;模式设置确定图形显示与文本显示模式选择;显示方式确定只显示图形;数据自动读/写控制实现 FPGA 与 T6963C 控制器进行数据的传输,通过一定顺序将图形数据写入图形显示缓冲区即可显示图形。

表 2 图形显示方式设置命令

Table 2 Commands of graphical display mode

| 命令 | 命令代码 | 功能 |
|-------|------|------------|
| 寄存器设置 | 0x24 | 设置数据地址指针 |
| 控制字设置 | 0x42 | 图形区起始地址 |
| | 0x43 | 图形区显示宽度 |
| 模式设置 | 0x80 | 图形和文本“或”模式 |
| 显示方式 | 0x98 | 图形显示,文本关闭 |
| 数据自动 | 0xB0 | 数字自动写 |
| 读/写控制 | 0xB1 | 数字自动读 |

3.3 图形显示数据编程实现

FPGA 芯片主要完成外部图像数据的采集和控制图形数据的液晶显示。由于图形数据量较大,利用高性能 FPGA 可配置的 ROM 模块作为

存储区。另外为了简单验证图形数据的液晶显示,将图像数据需要通过图像取模软件对图像进行取模,然后把取模得到的数据以后缀 .MIF 文件的形式赋给 ROM。FPGA 只需要通过显示驱动模块对 ROM 进行读取操作,将图形数据通过 T6963C 控制器命令写入液晶显示模块 TG240128A 的图形显示区内,T6963C 控制器利用图形显示的编址方式完成数据的液晶显示。因此,显示驱动模块的设计是实现液晶显示的关键。该模块的功能是实现 ROM 内数据写入 TG240128A 的外挂 64 KB RAM,具体图形数据写入流程图如图 3 所示。

图形数据写入采取数据自动写模式,设定好数据图形显示区的首地址后,从图形数据 ROM

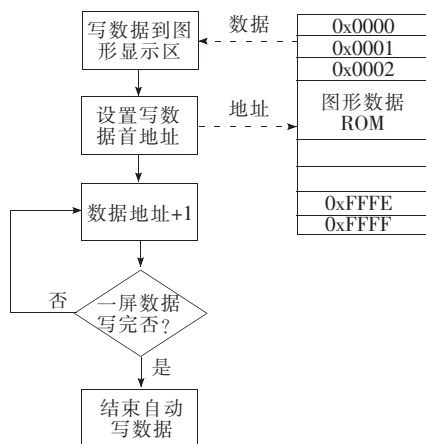


图 3 图形数据写入流程图

Fig. 3 Flow chart of writing graphics data

中读一个字节数据,并且自动实现地址递增,当一屏数据写完后结束自动写模式。液晶显示模块 TG240128A 由 240×128 个显示单元组成,因此每行由 30 个字节,屏上可以显示 128×30 个显示单元与图形显示区 3 840 个字节相对应。为了实现 T6963C 控制器命令的配置,必须按照先发送命令代码再发送命令数据的顺序进行,以下是图形数据自动写入 LCD 显存区的关键 Verilog HDL 代码:

```
//设置图形缓冲区首地址:0x0000
LCD_ADR1: //发送地址低 8 位
begin next_state <= LCD_ADR2;
  data <= 8'h00; nce <= 1'b0; nwe <= 1'b0;
end
LCD_ADR2:
begin next_state <= LCD_ADR3;
  data <= 8'h00;
end
LCD_ADR3: //发送地址高 8 位
begin next_state <= LCD_ADR4;
  data <= 8'h00; nce <= 1'b0; nwe <= 1'b0;
end
LCD_ADR4:
begin next_state <= LCD_ADR5;
  data <= 8'h00;
end
LCD_ADR5: //发送 0x24 地址命令
begin next_state <= LCD_ADR6; data <= 8'h24;
  nce <= 1'b0; nwe <= 1'b0; c_d <= 1'b1;
end
LCD_ADR6:
begin next_state <= AUT_WR1;
  data <= 8'h24; c_d <= 1'b1;
end
//设置数据自动写模式,发送 0xb0 命令
AUT_WR1:
begin next_state <= AUT_WR2; data <= 8'hb0;
  nce <= 1'b0; nwe <= 1'b0; c_d <= 1'b1;
```

```
end
AUT_WR2:
begin next_state <= WR_DAT1;
  data <= 8'hb0; c_d <= 1'b1; cnt_rst <= 1'b1;
end
//写数据到图形显示区
WR_DAT1:
begin next_state <= WR_DAT2;
  data <= showdata; nce <= 1'b0; nwe <= 1'b0;
end
WR_DAT2:
begin data <= showdata;
  if (frame_done)//判断写完一屏数据(3840 个)
    next_state <= AUT_END1;
  else
    next_state <= WR_DAT1;
  end
end
//设置数据自动写结束,发送 0xb2 命令
AUT_END1:
begin next_state <= AUT_END2;
  data <= 8'hb2; nce <= 1'b0; nwe <= 1'b0; c_d <= 1'b1;
end
AUT_END2:
begin next_state <= IDLE;
  data <= 8'hb2; c_d <= 1'b1;
end
```

4 时序仿真与验证

本文采用 FPGA 芯片驱动液晶显示模块 TG240128A。FPGA 芯片选择 Altera 公司的 Cyclone III 系列 EP3C55F484C8 器件,使用 Verilog HDL 硬件描述语言^[10],在 Quartus II 9.0 环境下设计液晶显示驱动模块并进行了相应的时序仿真。显示驱动模块的时序仿真图如图 4、图 5 所示。

Clock 是系统时钟信号分频后的驱动模块时钟;c_d 是液晶显示模块的数据、命令区分信号;nce、noe、new 分别是液晶显示模块的片选信号、输出使能信号、写使能信号;rst_n 是驱动模块的

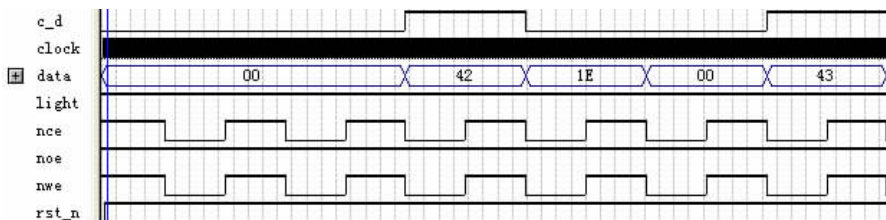


图4 显示驱动模块时序仿真图形

Fig.4 Timing simulation graphics of display driving module

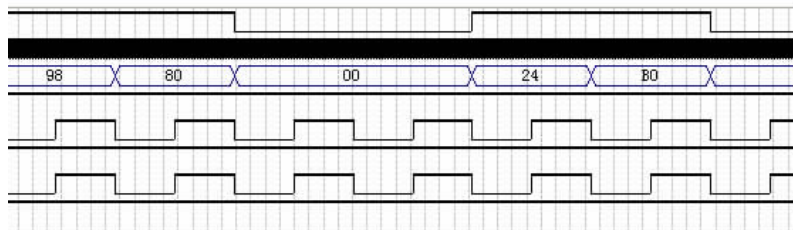


图5 显示驱动模块时序仿真图形

Fig.5 Timing simulation graphics of display driving module

复位信号;data是并行的8位数据信号。由图4和图5可知:显示驱动模块按照T6963C控制器时序和命令要求完成图形数据的写入:①初始化LCD,设置图形方式RAM起始地址为0x0000,先发送低8位地址“00”,高8位地址“00”,接着发送地址设置命令“42”;②设置图形方式显示行宽度,发送低8位宽度参数“1E”,高8位“00”和设置显示每行字节数命令“43”;③设置显示模式为“或”模式,发送显示数据参数“98”和显示模式命令“80”;④设置图形显示区首地址,发送低8位地址为“00”,高8位地址为“00”和命令设置数据地址指针“24”;⑤设置地址自增模式,发送命令“B0”,最后图形数据将自动写入液晶显示模块TG240128A的显示区,实现图形的液晶显示。仿

真结果表明:显示驱动模块能够产生符合T6963C控制器的时序要求和命令要求,TG240128A能够正确显示图形数据。

5 结 论

以TG240128A图形液晶显示器为例,结合FPGA芯片控制,阐述了一种基于FPGA驱动液晶显示模块的图形显示方法。由于TG240128A内置T6963C控制器,液晶显示控制较为简单,只需要设置合适的命令即可实现图形显示。另外,FPGA具有可重配置性和丰富的片内资源,编程大大简化,且基于FPGA开发的显示驱动模块具有一定通用性,可应用于FPGA驱动的所有图形点阵显示系统。

参 考 文 献:

- [1] 郑争兵.一种基于FPGA的UART电路设计[J].国外电子测量技术,2010,29(7):85-87.
- [2] 郑争兵.基于FPGA的FSK调制解调系统设计[J].陕西理工学院学报(自然科学版),2012,28(5):20-21.
- [3] 王鸣浩,吴小霞.基于FPGA的通用液晶显示控制器的设计和实现[J].液晶与显示,2012,27(1):87-88.
- [4] 刘瑞友,王智勇,陶涛,等.一种基于FPGA伪彩液晶显示系统的设计[J].液晶与显示,2007,22(1):83-84.
- [5] 熊文彬,蒋泉,曲建军,等.基于FPGA实现的视频显示系统[J].液晶与显示,2011,26(1):92-93.
- [6] 宋俊杰,原冬梅,金海龙,等.基于MSP430的内置T6963C液晶显示模块控制技术[J].液晶与显示,2010,25(1):110-111.
- [7] 朱清慧,王志奎.基于T6963C的液晶绘图系统设计与实现[J].液晶与显示,2011,26(4):510-511.
- [8] 李银华,姬光锋.T6963C点阵式液晶显示模块的应用研究与编程[J].液晶与显示,2008,23(5):560-561.
- [9] 王立文.智能仪器中液晶显示器的汉字显示方法[J].液晶与显示,2011,26(6):786-787.
- [10] 郑争兵.基于FPGA的高速采样缓存系统的设计与实现[J].计算机应用,2012,32(11):3259-3261.