

文章编号: 1007-2780(2013)03-0424-05

视频图像运动补偿系统的设计与实现

张永祥, 卢 岩, 栾 中, 张伟功

(首都师范大学 信息工程学院, 北京 100037, E-mail: cnudianzixi@163.com)

摘 要: 以电子稳像为背景, 为解决难以实时根据偏移量对视频图像进行补偿的问题, 设计了基于 FPGA 的运动补偿系统。对视频进行采集后提取出了灰度分量便于处理; 用乒乓存储解决去隔行处理中视频数据量大、硬件资源有限的问题; 用片外 SRAM 作为帧缓存, 通过操作读写地址和控制 VGA 时序实现了图像的平移显示, 同时满足实时性的要求。最终实现了对视频图像的实时平移, 并最终在 VGA 上显示。系统全部由硬件编程实现, 实验结果表明可以满足功能需求, 显示效果良好且扩展性强。

关 键 词: FPGA; 视频采集; 视频存储; 运动补偿

中图分类号: TP391 **文献标识码:** A **DOI:** 10.3788/YJYXS20132803.0424

Design and Implementation of Motion Compensation System Based on FPGA

ZHANG Yong-xiang, LU Yan, LUAN Zhong, ZHANG Wei-gong

(Information Engineering College of Capital Normal University, Beijing 100037, China, E-mail: cnudianzixi@163.com)

Abstract: With the background of electronic image stabilization, FPGA-based motion compensation system is proposed to deal with the difficulty in compensating the offset of video and image in real-time. The gray-scale component is extracted to facilitate the post-processing. Ping-pang store is used to solve the problem of large amount of data in de-interlacing with limited hardware resources. To realizes the algorithm of translation, motion compensation using chip SRAM as the frame buffer, realizes translation of the image display through manipulating read/write address and controlling VGA timing while meeting the real-time requirements. The system is all finished by hardware programming. The result shows that the system can satisfy function demand with positive effect and strong expansibility.

Key words: FPGA; video capture; video storage; motion compensation

1 引 言

随着数字图像处理技术的发展, 人们对高质量的视频实时显示的要求越来越高。由于视频图像的高数据量传输以及动态连续性, 使传统的在 PC 机上对图像作采集和处理或者其他只针对静

态图片作算法验证的系统, 都难以在实际中得到广泛应用。而采用高性能、高处理速度的 FPGA 技术则开始成为视频处理的重要解决方案。运动补偿常用在电子稳像领域, 电子稳像也是近年来视频处理技术中的一大热点和难点, 当采集到视频数据并通过一定的算法计算出视频图像的帧间

收稿日期: 2012-09-26; 修订日期: 2012-12-24

基金项目: 北京市教委科技发展计划面上项目 (No. KM200910028019)

作者简介: 张永祥 (1975—), 男, 河南郑州人, 博士, 讲师, 研究方向为嵌入式系统设计、视频处理、总线通信。

偏移量后,如何能够有效地对图像进行实时的运动补偿和显示是电子稳像系统的关键技术之一^[1]。本文采用 FPGA 作为解决方案,提出了一种实时运动补偿系统,整个系统全部由硬件实现,所以易于实现并行处理和实现一定的算法,并能有效地缩短开发周期,提高处理效率。该设计可以完成视频数据的采集和存储,并能根据需要实时的对每一帧图像进行平移和显示。

2 系统总体设计

图 1 为整个系统的整体设计框架图,主要有视频采集与解码、灰度分量提取、去隔行处理、视频存储、运动矢量检测、运动补偿以及 VGA 显示 7 部分。

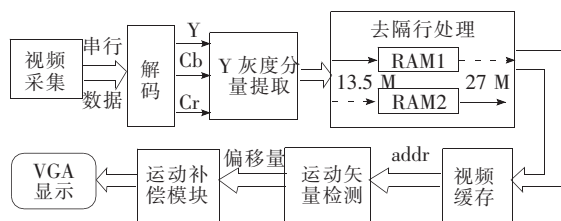


图 1 系统总体设计框图

Fig. 1 Overall design diagram of system

摄像头采集视频数据后先经过视频解码芯片 ADV7181B 进行 A/D 转换,利用 Altera 的 FPGA Cyclone III EP3C25 作为主控芯片对视频采集过程进行控制。由于灰度分量已经包含了物体的绝大部分特征信息,一般的稳像算法只需要针对图像数据灰度分量作处理,因此系统单独提取出了 Y 灰度分量,方便添加运动估计处理模块。

提取出来的灰度分量视频数据存储在片外 SRAM 存储芯片 IS61LV25616AL 中,最后经过运动补偿算法处理后通过芯片 ADV7125 完成 D/A 转换并在 VGA 上显示。

3 视频实时采集与处理

视频的采集与去隔行处理是后端进行图像数据处理的前提,系统的并行处理能力使采集数据的帧频得到保证^[2]。本文采用 PAL 制式 Y Cb Cr 4 : 2 : 2 色彩编码^[3],系统时钟为 27 MHz,采集速率达到 60 帧/s。

3.1 视频采集与灰度分量提取

解码芯片 ADV7181B 上具有 I²C 总线控制

端口,I²C 总线由串行数据总线 SDA 和串行时钟总线 SCL 组成,且都为双向总线^[4]。FPGA 产生启动信号 START 条件和结束信号 STOP 条件,来控制总线上数据的传输。系统上电后,I²C 总线对 A/D 芯片内部寄存器进行配置,完成对芯片的初始化。对于解码芯片传送过来的 YUV 串行视频数据流首先要进行识别,然后转化成三路并行的 8 位数据 Y、Cb、Cr,最后从中提取出灰度分量。本文通过移位寄存器检测起始信号位 SAV 来启动信号的分配,由 XY^[5]的相应值来判断奇偶场,利用像素和时钟计数来完成串转并的过程。

系统采集的视频图像大小为 720 pix × 576 pix,为 24 位彩色图像。一帧数据中 YUV 每个分量大小各为:720 × 576 × 8 bit = 405 KB。一行有效的视频数据中,Y 分量处于色度分量 Cb、Cr 之间,因此提取 Y 分量时可以将时钟进行二分频,当开始分配时,从视频序列 Cb0、Y0、Cr0、Y1... 得到 Y 分量序列 Y0、Y0、Y1、Y1...。若硬件资源允许,也可以提取出色度分量,使得最终输出彩色视频^[6]。

3.2 去隔行处理

隔行扫描是将一帧图像按行分成奇偶两场并交替显示,随着对视频质量的需求,必须对传统的隔行扫描进行视频源的去隔行处理。设计采用从 FPGA 片内开辟两片 ram 进行乒乓操作的方案实现到逐行的转换,不仅处理速度快而且占用资源少,只需要存储两行的数据量。

VGA 输出两行所占时间为 1 728 个时钟周期,因此可以将一行 Y 分量的 720 个有效像素读取两遍。写 ram 时钟为 13.5 MHz,读 ram 的时钟用 27 MHz,这样每行的数据读了两遍,从后端来看,即用奇行代替偶行,从而达到去隔行。用 Verilog 语言^[6]实现如下:

```
wire wr1_n = F; //ram1 写使能,F 为场同步
wire wr2_n = ~F; //ram2 写使能
wire [9:0]ram1_addr = (F == 1) ? cnt:cnt_x2;
wire [9:0]ram2_addr = (F == 0) ? cnt:cnt_x2;
wire clk1_to_ram = (F == 1) ? ~Y_clk : ~Y_clk_x2; // Y_clk 为 13.5 MHz 的时钟
wire clk2_to_ram = (F == 0) ? ~Y_clk : ~Y_clk_x2; // Y_clk_x2 为 27 MHz 的时钟
wire [7:0] data = (F == 0) ? data_1 : data_2;
```

3.3 视频帧缓存

完成去隔行处理的视频数据流需要进行帧缓存以方便后续处理。搭载系统的平台上有两片 SRAM 和两片 SDRAM, 两片 SRAM 的数据线和地址线与 SDRAM、FLASH 及其他外设复用, 由于地址线和数据线不独立, 因此不能做乒乓操作。SDRAM 虽然容量大, 但需单独设计刷新电路, 操作起来不方便, 后续做补偿时也相对复杂。本文采用 SRAM 作为外部帧存储器, 其读写根据场同步信号来控制, 由于不能进行乒乓存储, 只能采用分时读写, 因此设计在奇场的时间里往 SRAM 里写视频数据, 偶场的时间里往外读, 由于 SRAM 数据线是双向口, 读的时候需要将 SRAM 双端口数据线赋高阻态。SRAM 的读写时序控制相对简单, 这里不多加赘述。

4 运动补偿

电子稳像算法中一般会在当前帧图像输出之前计算出当前帧与参考帧的帧间偏移量, 补偿模块要求在输出时根据偏移量对当前帧图像进行反

向偏移。

本文通过对读写 SRAM 的地址进行变换以及对读写的时序进行控制来实现视频图像的偏移。数据存入 SRAM 时的写地址通过像素个数计数, 不断累加, 直到切换成读状态。读数据时, 读地址需要根据偏移量来计算开始和最终读取的数据地址, 此外还要对不需要显示的数据进行消隐处理, 并满足后端 VGA 控制时序^[7]。本文只研究图像的平移, 可分解为上下左右移动的组合。特殊场合中会涉及对图像的旋转以及视频图像的缩放等的补偿, 则需要单独的设计算法。设计中, 关键处一是要达到实时性, 二要保证移动后图像的正确显示, 三要保证移动的精度。

下文论述上下左右移动的实现过程, 对于 90° 的整数倍的旋转通过简单修改也容易实现, 而对于其他角度的旋转则需要另外设计算法, 程序流程图如图 2 所示, 整个处理时间经实时仿真在 40 ms 以内。

下移图像时, 如要求下移 $X1$ 行, 可以先算出行计数 H_cnt , 这里需要引入水平、垂直同步信号

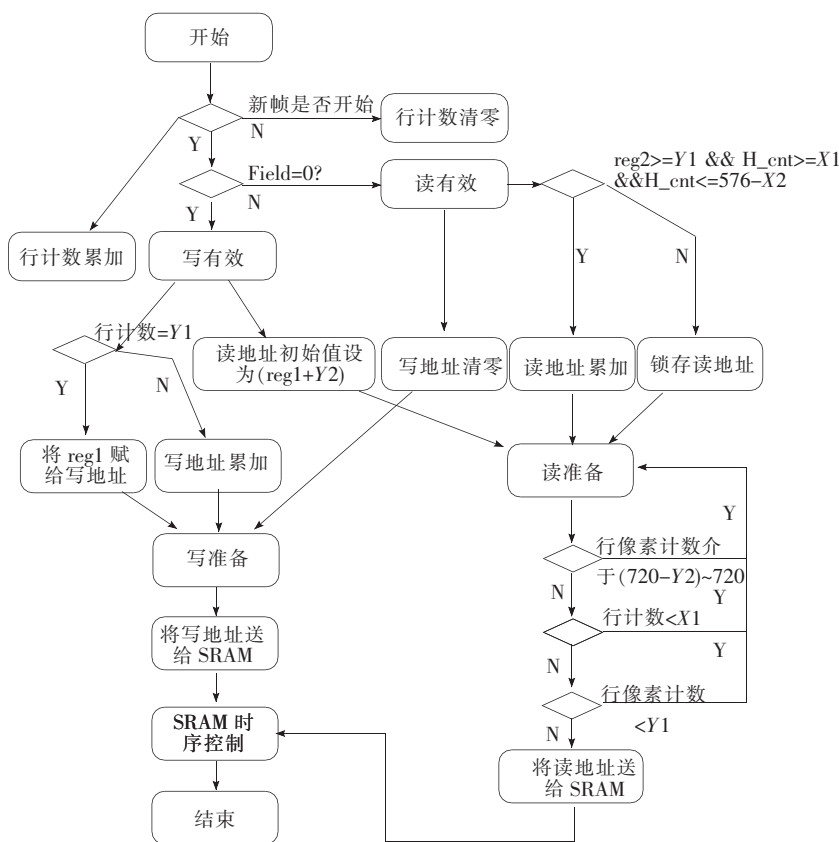


图 2 用 FPGA 实现平移算法流程图

Fig. 2 Flow chart of translation algorithm by FPGA

来得到行计数。开始读时,先不输出数据,当行计数达到 $X1$ 时,才从 SRAM 的第一个地址开始读数据。用场同步信号来控制读写切换可以有效的使输出到第 $(576-X1)$ 行后立即切换成写,避免再去读这一帧图像的后 $X1$ 行数据。

上移 $X2$ 行时,先计算出 $X2$ 行第一个像素的地址。在存储数据时,当行计数达到 $X2$ 行,就将当前地址锁存与寄存器 $reg1 [17:0]$ 中,在读 SRAM 时,先将 $reg1$ 赋给读地址,然后再累加,当输出 $(576-X2)$ 行后停止输出,即输出的行数为 $X2 \sim (576-X2)$ 行。在剩下的 $X2$ 行数据输出时间里输出消隐数据(即 $8'h10$),这样即实现了上移。

左右移动相对稍复杂,假设要右移 $Y1$ 列,就需要对每一行单独处理,让每行的像素都延迟 $Y1$ 个像素的时间后输出。本算法先计算出

一行的时钟计数 $cnt1$,即一行的像素计数,再针对每一行设置一个动态计数器 m ,每行结束后清零,由行同步信号控制。当 $reg2 \leq Y1$ 时,不读 SRAM,当 $reg2 > Y1$ 时,读地址开始累加,同时输出数据时让每列的前 $Y1$ 个像素的输出时间里都输出消隐数据,即可完成右移。如果要左移 $Y2$ 列,就要使每行开始都从第 $Y2$ 个像素开始输出。在开始读数据的时候先给读地址的初值加上 d ,然后将一行数据的总时钟计数锁存于寄存器 $cnt2$ 中,当 $cnt1$ 介于 $cnt2 - Y2$ 与 $cnt2$ 之间时输出消隐数据。

5 VGA 显示

在 VGA 显示时,系统采用 $640 \times 480 \times 60$ Hz 的显示模式,其工业标准的时钟频率是 25.175 MHz,为方便处理这里仍采用 27 MHz。

表 1 行扫描时序

Table 1 Timing sequence of horizontal scanning

Resolution/ Hz	Refresh rate/ us	Pix width/ line	Line period/ line	Sync pulse/ line	Back porch/ line	Active time/ line	Front porch/ line
640×480	60	0.039 68	800	96	45	646	13
640×480	72	0.032 10	832	40	125	646	21
720×400	70	0.035 35	900	108	51	726	15
800×600	72	0.020 05	1040	120	61	806	53

表 1 列举了几种常用模式的行扫描参数以作对比,列扫描类似。 $640 \times 480 \times 60$ Hz 模式下每场有 525 行,其中有效行数为 480 行,45 行为场消隐期,场消隐期包括 2 行场同步时间,13 行场消隐前沿,30 行场消隐后沿。每行有 800 个像素,其中 640 个为有效显示像素,另外 160 个为行消隐,包括 96 个行同步像素,19 个行消隐前沿,45 个行消隐后沿^[8]。

上述与表 1 有些许不同,这是因为在每个场扫描周期中有 4 行是过扫描边界行,每行也有 6 列为过扫描边界列。本文中作为消隐处理。

用 FPGA 实现时产生符合 VGA 时序的控制信号即可正确显示图像。在模拟视频数据中,HS 周期为 1 728 个 clk(时钟周期),VS 周期为 576 行;VGA 中,HS 周期为 800 个 clk,VS 周期为

525 行。

模拟信号中,1 728 减去 HSB、HSE 所占 2 个 clk 后平分 2 个周期,即 863 个 clk,再减去同步信号周期数,有效信号共有 756 个。这样在 VGA 中,有效信号的计数就在 $96 \sim 96+756$ 之间。本文通过硬件编程,并根据以上所述实现由模拟信号的同步信号到 VGA 的同步信号的转换,从而满足 VGA 的显示时序。

6 系统实验结果

图 3 为所拍摄系统实物图,(a)图为原始采集时的图像,其他为运动补偿后的图像并通过 VGA 显示,从图中可以看出系统可以很好的完成视频的采集以及补偿后的显示,显示效果良好。

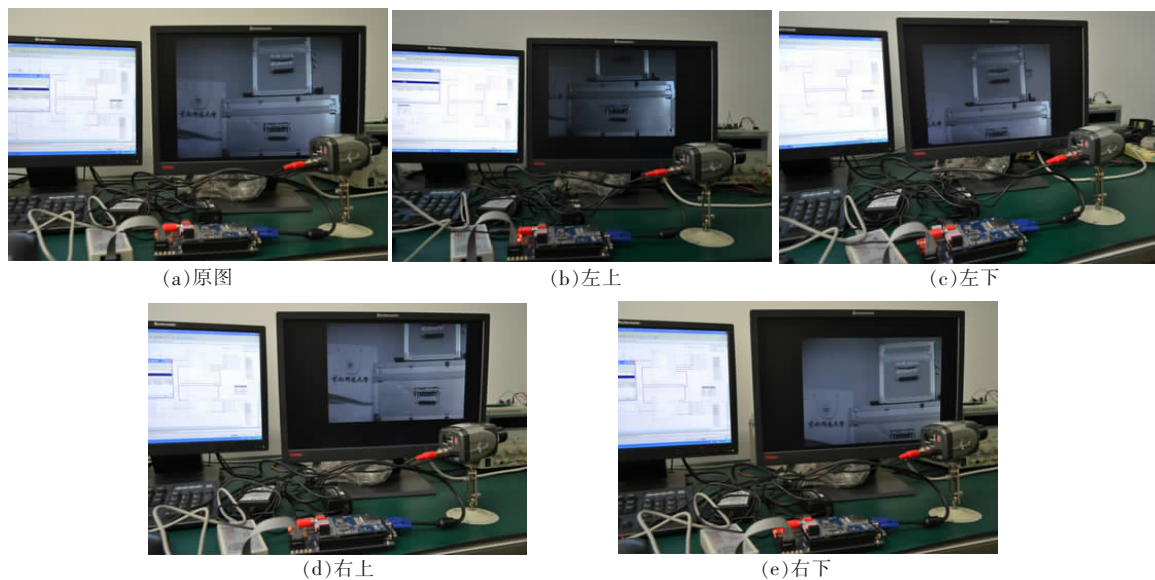


图 3 显示平移后的实物图

Fig. 3 Display of physical diagram after translation

7 结 论

系统中视频补偿的前提是通过稳像算法得到偏移量,根据偏移量实时的进行偏移和显示。本文在基于 FPGA 的系统平台上研究和实现了视频采集、存储、到处理、显示的原理及实现方法。由于视频图像数据流的连续性以及整个系统处理过程对

实时性的要求很高,因此采用 FPGA 并行处理,具有处理速度快以及处理效果好等优点,同时,系统不足之处是单帧存储不能实现视频数据流的无缝缓冲。若硬件平台资源进一步提升,可以采用双端口的大容量帧存储器以改进系统显示效果,同时可以结合稳像算法进一步实现稳像效果,也可以扩展其他功能,因此具有较好的应用价值。

参 考 文 献:

- [1] 孙辉,张葆,刘晶红,等. 航空光电成像电子稳像技术 [J]. 光学精密工程,2007,15(8):1280-1286.
- [2] 陈洪太,周渊平,邓昌明. 车载视频监控系统的研究与实现 [J]. 通信技术,2012,45(3):55-59.
- [3] 张倩,胡健生. RGB 格式数据向 BT. 656 视频标准转换的关键技术 [J]. 液晶与显示,2012,26(5):640-645.
- [4] 姚娅川. 嵌入式图像实时采集系统设计 [J]. 半导体技术,2010,35(7):719-722.
- [5] MICHAEL D CILETTI. *Advanced digital design with the verilog HDL* [M]. Beijing: Publishing House of Electronics Industry, 2006:45-93.
- [6] 熊文彬,蒋泉,曲建军,等. 基于 FPGA 实现的视频显示系统 [J]. 液晶与显示,2012,26(1):92-95.
- [7] 石俊霞,薛旭成,郭永飞. 卫星振动对 TDICCD 成像质量的影响及补偿方法 [J]. 光电工程,2010,37(12):11-16.
- [8] 王鸣浩,吴小霞. 基于 FPGA 的通用液晶显示控制器的设计与实现 [J]. 液晶与显示,2012,27(1):87-92.