

文章编号:1007-2780(2013)05-0736-06

## 用于 AM-OLED 驱动芯片的 MDDI 客端数据处理电路设计

李 勇, 魏廷存\*, 李 博, 夏佳佳

(西北工业大学 计算机学院, 陕西 西安 710072, E-mail: leeyg\_1224@yahoo.com.cn)

**摘 要:** 移动显示数字接口 (MDDI) 是一种高速串行数字接口标准, 具有连线数量少, 信号传输可靠性高, 低功耗和电路简单的特点, 广泛应用于移动显示终端领域。为满足更高分辨率的显示需求, 文章提出了一种单片集成 AM-OLED 驱动控制芯片的 MDDI Type2 客端数据处理电路的实现方案。该电路系统采用两级状态机控制, 前向链接和反向链接电路分离设计的方法以降低电路设计的复杂度, 并支持子屏幕模式。文章完成了 MDDI Type2 系统架构设计和 Verilog 编码。使用 Xilinx 工具综合的结果表明, 该数据处理电路能够支持 480- $\text{RGB} \times 320$ , 26 万色的 AM-OLED 显示屏, 输入数据的最高频率可达 180 MHz。

**关 键 词:** MDDI; 客端数据处理电路; AM-OLED 驱动芯片; 串行接口

中图分类号: TN27 文献标识码: A DOI: 10.3788/YJYXS20132805.0736

## Design of MDDI Client Data Processing Circuit Used for AM-OLED Driver IC

LI Yong, WEI Ting-cun\*, LI Bo, XIA Jia-jia

(School of Computer, Northwestern Polytechnical University, Xi'an 710072, China, E-mail: leeyg\_1224@yahoo.com.cn)

**Abstract:** Mobile Display Digital Interface (MDDI) is a high-speed serial digital interface standard, since it has many advantages such as less signal lines, higher signal transmission reliability, lower power consumption and the simpler circuits, it is widely used in the mobile display terminal. In order to meet the demand for higher resolution display, this paper proposes a novel design strategy for MDDI Type2 client data processing circuit which is used for the monolithic AM-OLED driver. In this design, the internal circuits are controlled with two-stage state machines, and the forward and the reverse link circuits are implemented separately which reduce the complexity of the circuit. And the circuit system supports sub panel control function. The paper completed the system architecture design and the Verilog coding. The synthesized results by Xilinx tools show that, this data processing circuit can support AM-OLED display with 480- $\text{RGB} \times 320$  resolution and 26k color image data, the maximum frequency of the input data is 180 MHz.

**Key words:** MDDI; client data processing circuit; AM-OLED driver IC; serial interface

收稿日期: 2013-01-28; 修订日期: 2013-04-22

基金项目: 陕西省科技统筹创新工程计划项目 (No. 2011KTCQ01-22)

作者简介: 李勇 (1987-), 男, 四川资县人, 硕士研究生, 从事模拟与混合信号 VLSI 的研究。

\* 通信联系人, E-mail: weitc@nwpu.edu.cn

# 1 引 言

有源-有机发光二极管 (Active Matrix-Organic Light Emitting Diode, AM-OLED), 具有响应速度快、自发光、高画质、低功耗、以及轻薄的特点, 被公认为下一代平板显示的主流技术<sup>[1-3]</sup>。近年来, 随着 AM-OLED 的制造工艺和量产技术的不断进步, AM-OLED 已成功应用于手机、数码相机、平板电视等消费类电子产品中。随着显示屏的尺寸、分辨率和颜色数的不断增加, 传统的基于并行传输方式的系统接口和 RGB 接口需要更高的数据传输速度和更多的数据传输线<sup>[4-10]</sup>。同时, 分辨率和色深的增加也带来了 FPC (Flexible Printed Circuit) 以及 EMI (Electro-Magnetic Interference) 设计和接口功耗问题。为此, 在手机等便携式显示产品中, 面向 VESA (Video Electronics Standards Association) 的高速串行接口 MDDI (Mobile Display Digital Interface) 得到了越来越广泛的应用<sup>[11]</sup>。

MDDI 作为一种新型的串行数据接口, 有效解决了上述问题。本文基于单片集成 AM-OLED 驱动控制芯片的设计需求, 设计了 MDDI 客端数据处理电路, 可作为 IP 核应用于 AM-OLED 驱动控制芯片中。该电路系统根据工作时钟将串行数据移位整理为字节, 然后通过数据分析模块将数据包解析为控制数据和图像数据。控制数据控制前向和反向链接模块的状态变化, 而图像数据经过数据处理模块传给驱动芯片的时序控制电路, 最终驱动 AM-OLED 显示屏。

# 2 AM-OLED 驱动控制电路

本文所设计的驱动控制电路用于 480-RGB×320 的 AM-OLED 显示屏, 支持 26 万色分辨率, 每个像素包含 18 bit 的 RGB 信息, 取帧频 60 Hz, 则显示数据的传输率为  $480 \times 320 \times 18 \text{ bit} \times 60 \text{ Hz} = 166 \text{ MHz}$ , 加上传输其他控制数据, 帧格式数据传输需要的最高传输率达到 180 MHz。

图 1 所示为单片集成 AM-OLED 驱动控制电路的系统框图, 由 MCU 模块、MDDI 接口模块和模拟驱动模块构成。MDDI 接口模块主要完成 MCU 与模拟驱动模块间的数据交换。

与 MDDI 相比, 直接使用 MCU 驱动需要更多的数据线和控制线, 且随着数据位宽的增加, 数

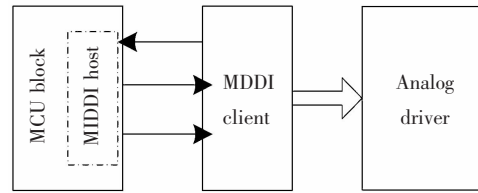


图 1 AM-OLED 驱动控制电路结构  
Fig. 1 Structure of AM-OLED driver

据线不断增多。而 MDDI 接口仅需要 2 对数据线就能达到数百个 Mbps, 大大减少了连线数量, 降低了电路复杂度。MDDI 采用 LVDS (Low-Voltage Differential Signaling) 技术有效解决了接口功耗和 EMI 问题。同时, MCU 模式无法应用于 QVGA 以上的大屏, MDDI 则无这个限制, 并能满足移动显示中低功耗的要求。

# 3 MDDI 概述

图 2 所示为 MDDI 连接的主端和客端示意图。数据由主端向客端发送为前向链接, 而由客端向主端发送为反向链接。MDDI 对数据传输的物理层和链接层都做了明确的规定。

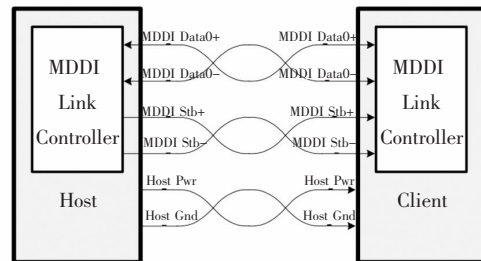


图 2 MDDI 连接的主端和客端示意图  
Fig. 2 Connection of host and client

物理层上, MDDI 采用 LVDS 技术, 提高了数据传输速率, 降低了 EMI 以及动态功耗。与 LVDS 接口不同的是, MDDI 在信号传输之前采用数据-触发编码对时钟进行编码, 在通道中实际传输的是数据 MDDI\_Data0 和经过数据-触发编码的 MDDI\_Stb 信号。客端将接收到的 MDDI\_Data0 与 MDDI\_Stb 信号进行异或操作以恢复出时钟信号。与 LVDS 接口中直接传输数据和时钟相比, MDDI 显著提高了高速数据传输时的抗干扰能力。

链接层上, MDDI 协议规定了 40 多种类型的数据包, 这些数据包用于实现显示屏的显示及其

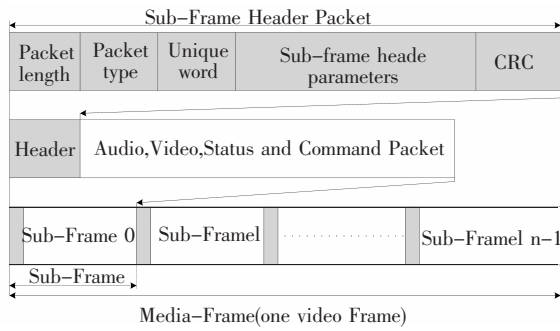


图 3 MDDI 的数据包和数据帧结构

Fig. 3 MDDI packet and frame structure

表 1 驱动控制电路支持的 9 种 MDDI 数据包

Table 1 Packets supported by the chip

数据包类型	作用描述
Sub-Frame Header Packet	前向链接中寻找同步状态
Filler Packet	无数据发送时做填充用
Video Stream Packet	图像数据包
Register Access Packet	控制寄存器读写操作
Round-Trip Delay Measurement Packet	测定环路延时
Client Capability Packet	反向传输, 包含客端容量等信息
Client Request and Status Packet	反向传输, 包含客端请求和状态信息
Shutdown Packet	关断链接, 表示将进入休眠状态
Reverse Link Encapsulation Packet	反向链接压缩包

与主机间的数据通信。MDDI 数据包由数据包长度、数据包类型、数据和 CRC 校验位 4 个部分组成。图 3 所示为数据包和帧结构的示意图。

根据 AM-OLED 显示驱动控制的需求, 本文设计的电路系统支持 5 种前向传输数据包与 4 种反向传输数据包, 表 1 所示为这 9 种数据包的名称与作用。

Video Stream Packet 用于传输 AM-OLED 的图像显示数据; Register Access Packet 用于传输 AM-OLED 初始化时的寄存器配置信息; Round-Trip Delay Measurement Packet 用于测量主端-客端-主端的环路传输延时, 为反向数据传输提供同步参数; Reverse Link Encapsulation Packet 用于反向数据的传输; Client Capability Packet 与 Client Request and Status Packet 则是客端发送给主端用于配置主客端链接的数据包。

#### 4 MDDI 客端数据处理电路的系统架构

本文设计的 MDDI 数据处理电路应用于 MDDI 的客端, 它根据 MDDI 协议将主端发来的串行数据恢复为各种控制信号和图像数据。图 4 所示为本文设计的 MDDI (Type2)。客端数据处理电路的系统框图。该系统主要由时钟恢复模块 (Clock Recovery)、数据并行模块 (Parallel Block)、包分析模块 (Packet Analyzer)、反向链接模块 (Reverse Link Block) 和数据处理模块 (Data Processing Block) 等构成。

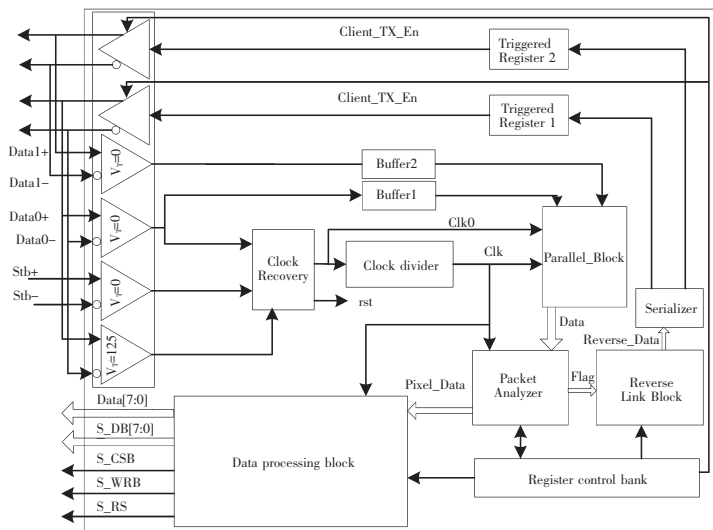


图 4 MDDI 客端数据处理电路结构

Fig. 4 Structure of MDDI client data processing circuit

Data0+、Data0-、Data1+及 Data1-是双向 LVDS 通道,而 Stb+和 Stb-是单向 LVDS 通道。主端通过 Data0 和 Data1 将数据发送给客端;含有时钟信息的脉冲编码信号则通过 Stb 通道发送给客端。时钟恢复模块中,Data0 信号和 Stb 信号进行异或操作恢复出时钟信号 Clk0, Clk0 经过两分频处理后控制数据并行模块输出 8 bit 数据。包分析模块则根据输入的并行数据产生 MDDI 控制信号,控制状态机的跳转操作,同时向数据处理模块传输像素数据或向反向链接模块传递反向标识信息。根据反向标识信息,反向链接模块生成反向传输数据,并发送给串行器。数据处理模块根据控制寄存器堆的配置信息对数据进行截断操作。若子屏幕配置位有效,则数据通过 S\_DB 通道发送给子屏幕。

## 5 MDDI 数据处理电路的关键模块设计

### 5.1 时钟恢复模块

为了消除 Data0 与 Stb 信号线上的偏斜,在该模块中采用 Buffer 作为一级缓存。MDDI 接口传输的是数据和经过编码的脉冲信号,根据协议在每个时钟周期 Data0 和 Stb 信号线上有且仅有一位发生变化,故时钟恢复模块将 Data0 和 Stb 进行异或操作即可将分布在信号线上的时钟信号恢复出来,其信号波形如图 5 所示。

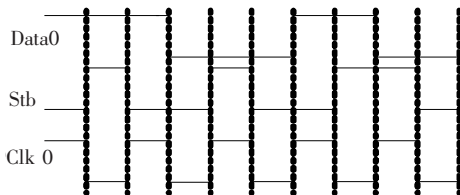


图 5 Data0 和 Stb 信号及恢复的时钟信号 Clk0  
Fig. 5 Data0, Stb and Clk0 signal.

### 5.2 包分析模块

包分析模块由状态机(FSM)、CRC 校验电路和计数器组成。为了降低设计的复杂度,本文将状态机分为主状态机和同步状态机两级实现。图 6 和表 2 分别表示包分析模块的主状态机及其跳转指令。客端电路在上电后默认状态为休眠态,即处于“*No Sync*”状态,这可以使内部电路充分复位并使客端的高速接收和发送电路进入稳定工作状态。当客端电路接收到的“*Packet Type*”和

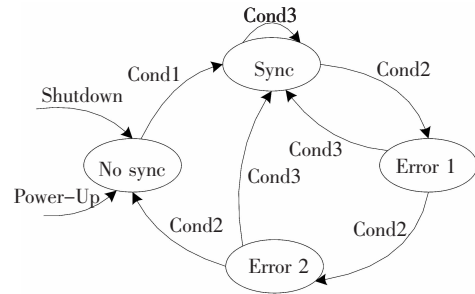


图 6 主状态机  
Fig. 6 Main FSM

表 2 主状态跳转命令  
Table 2 Inputs for main FSM

Inputs	Packet Type	UniqueWord	CRC Error
Cond1	0x3BFF	0x005A	No
Cond2	-	-	ERROR
Cond3	-	-	No

“*Unique Word*”满足 Cond1,并且没有 CRC 错误时,状态机进入“*Sync*”状态;若客端电路接收到的数据包存在 CRC 错误,则状态机跳转到 *Error1*。在 *Error1* 状态下,如果 CRC 校验电路无错,则状态机跳转到“*Sync*”状态,否则跳转到 *Error2* 状态。若一帧数据连续出现两个 CRC 错误,电路则跳转到“*No Sync*”状态,并等待下一帧数据的到来。

图 7 和表 3 分别是同步状态机及其跳转指令。当主状态机进入“*Sync*”状态时,客端根据接收到的“*Packet Type*”和“*uClient ID*”类型产生 MDDI 控制信号。若“*Packet Type*”和“*uClient ID*”满足 Cond4,则表明客端接收到“*Reverse Link Encapsulation Packet*”,客端通过反向链接模块向主端发送“*Client Capability Packet*”或“*Client Request and Status Packet*”。当数据包

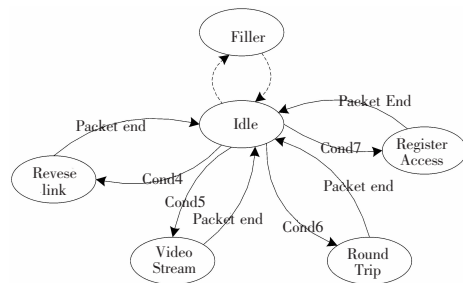


图 7 同步状态机  
Fig. 7 Sync FSM

表 3 同步状态跳转指令  
Table 3 Inputs for Sync FSM

Inputs	Packet Type	UniqueWord	CRC Error
Cond1	0x3BFF	0x005A	No
Cond2	-	-	ERROR
Cond3	-	-	No

发送结束后,状态机跳转到“IDLE”状态。若“Packet Type”和“uClient ID”满足 Cond5,则表明客户端接收到“Video Stream Packet”,这时状态机会提取 Video Stream Packet 的参数信息,并将图像数据传递给数据处理模块。当数据包发送结束,状态机跳转到“DLE”状态。同理,Register-Access 和 Round Trip 状态也是类似的处理方法。

为了检测下一个数据包,在包分析模块中设计了一个 12 bit 的字节计数器。字节计数器用于计数当前包的位置,当计数值等于当前包的“Packet Length”时,表明一个数据包发送结束。由于 Filler Packet 的数据长度具有较大的灵活性,因此本文删除 Filler 状态并停止计数器对 Filler Packet 的计数操作以减小系统功耗<sup>[12]</sup>。

### 5.3 数据处理模块

作为应用于 AM-OLED 驱动控制芯片的 MDDI 接口,其最基本的任务就是完成图像数据的传输,图 8 所示为 Video Stream Packet 的结构。每个 Video Stream Packet 包含 1 080 byte (480×18 bit) 的图像数据,即显示屏的一行像素所需要的数据。

Packet Length	Packet Type=16	b Client ID	Video Data Format Descriptor	Pixel data Attributes	X Left Edge	Y Top Edge	X Right Edge	Y Bottom Edge
2 Byte	2 Byte	2 Byte	2 Byte	2 Byte	2 Byte	2 Byte	2 Byte	2 Byte
X start	Y start	pixel count	Parameter CRC	pixel Data	pixel Data	pixel Data	pixel Data	pixel Data
2 Byte	2 Byte	2 Byte	2 Byte	Packet length=26 Byte			2 Byte	2 Byte

图 8 Video stream packet 结构  
Fig. 8 Structure of video stream packet

本文设计的数据处理电路支持子屏幕模式,输出信号 S\_CSB、S\_RS、S\_WRB 和 S\_DB 是子屏幕驱动 IC 的控制和数据输出信号,由数据包 Register Access Packet 的 Register Address 域控制。S\_CSB 为子屏幕片选信号,低电平时表示子屏幕可用;S\_RS 为子屏幕寄存器选择信号,低电平为指令寄存器,高电平为控制寄存器;S\_WRB 是子屏幕写选通信号。当 Register Address =

00000007H 时,随后的 Register Data List 被传递给子屏幕驱动模块,其控制时序如图 9 所示。

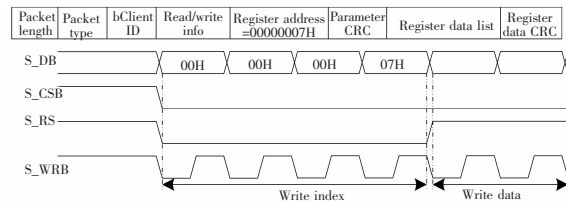


图 9 子屏幕控制时序  
Fig. 9 Sub panel control timing

每个子帧由 Sub-frame Header Packet、Reverse Link Encapsulation Packet、Round-Trip Delay Measurement Packet、Filler Packet、Video Stream Packet 和 Register Access Packet 构成,结构如图 10 所示,320 个子帧组成一帧,一帧数据即为显示一屏所需的数据。每个子帧中,Video Stream Packet 对应一列坐标,即从第一列到第 480 列数据,列地址随着子帧计数器的增加而增加。

Sub-frame header packet	Reverse link encapsulation packet	Round-trip delay measurement packet	Filler packet	Video stream packet	Filler packet	Register access packet	Filler packet
-------------------------	-----------------------------------	-------------------------------------	---------------	---------------------	---------------	------------------------	---------------

图 10 Sub-frame 结构  
Fig. 10 Structure of Sub-frame

## 6 整体仿真验证

为了验证本文设计的结果,采用 Xilinx 工具对所设计的 Verilog 编码进行了综合验证。验证时,采用 180 MHz 的工作时钟,加入符合 MDDI 协议的高速串行输入数据,然后观察内部节点和输出信号。通过对内部节点和输出信号的分析,证明电路系统能正确工作,且满足以上设计需求。

考虑到一帧数据量太大,本文使用一个子帧数据量对系统进行功能验证。其中,Video Stream Packet 中的像素数据为 1 080 个字节,Register Access Packet 中的像素数据位 16 字节,功能验证结果如图 11 所示。图中 Data 是主屏幕输出,S\_DB 是子屏幕输出,clk0 是 Data0 和 Stb 异或输出的系统时钟,clk 是 clk0 的 2 分频时钟信号。当 Data 输出有效时,S\_DB 为高阻态,S\_CSB、S\_RS 和 S\_WRB 为高;而 S\_DB 输出有效时,Data 为高阻态,S\_CSB 为低电平,S\_WRB 周期性跳转。

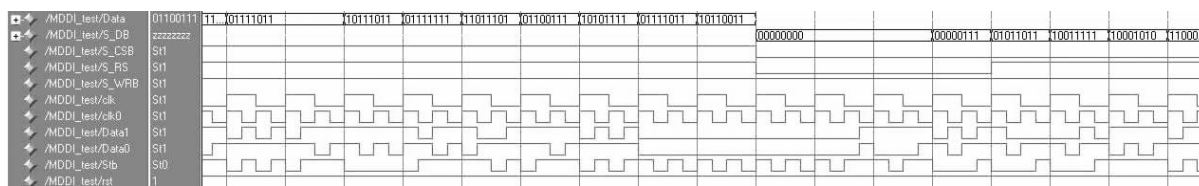


图 11 系统仿真验证  
Fig. 11 System simulation

## 7 结 论

根据 MDDI 协议,设计了一种用于单片集成 AM-OLED 驱动控制芯片的 MDDI(Type2)客端数据处理电路。该电路系统采用 4 个上升沿触发器和 4 个下降沿触发器将串行输入数据转为并行数据输出,将内部电路的数据处理时钟频率降为主时钟的 1/2,避免了高速数字电路中对延时、建立时间和保持时间的苛刻要求。在包分析模块中,将状态机分为主状态和同步状态,降低了电路

实现难度,保证了状态机的健壮性,有利于降低状态跳转中的功耗,同时通过控制计数器的关断有效的降低了电路功耗。本文采用前向和反向链接模块分离设计的架构,各模块共用字节计数器、校验电路和相关寄存器,最大限度地降低了硬件实现的代价,减小了电路面积。另外,该电路系统支持子屏幕模式。采用 Xilinx 工具的验证结果表明,本文设计的 MDDI 客端数据处理电路满足 MDDI 接口设计要求,可以支持 480-RGB×320、26 万色的 AM-OLED 显示屏。

## 参 考 文 献:

[ 1 ] 熊文彬. 基于 FPGA 的 OLED 显示系统 [D]. 成都: 电子科技大学, 2011.  
 [ 2 ] 赵湘源. AM-OLED 显示屏驱动芯片的研究与设计 [D]. 上海: 上海大学, 2011.  
 [ 3 ] 张雷, 吴华夏, 胡俊涛, 等. 一种基于 FPGA 的 OLED 显示系统 [J]. 液晶与显示, 2011, 26(4): 538-543.  
 [ 4 ] 李想, 郑喜凤, 陈宇. 基于 Linux 下的 OLED 显示模块设计 [J]. 液晶与显示, 2012, 27(1): 103-107.  
 [ 5 ] 尹盛, 江博, 李喜峰. 17.8 cm 彩色 AMOLED 驱动模块的研制 [J]. 液晶与显示, 2012, 27(3): 347-351.  
 [ 6 ] 环翔, 惠贵兴, 徐美华. 高灰度视频 OLED 显示控制系统设计与应用 [J]. 液晶与显示, 2012, 27(5): 622-627.  
 [ 7 ] 冉峰, 何林奇, 季渊. 无线 OLED 微显示器系统的设计与实现 [J]. 液晶与显示, 2012, 27(5): 633-637.  
 [ 8 ] 尹盛, 陈杰, 夏淑淳. 基于 FPGA 的 AMOLED 驱动方案 [J]. 液晶与显示, 2011, 26(2): 188-193.  
 [ 9 ] 尹盛, 夏淑淳, 陈杰. AMOLED 的图像缩放及时序控制方案 [J]. 液晶与显示, 2011, 26(3): 334-338.  
 [ 10 ] 李国强, 章坚武, 占志伟. AMOLED 驱动电路和 LINUX 下驱动程序设计 [J]. 液晶与显示, 2011, 26(4): 527-531.  
 [ 11 ] 李奇奋, 李妥, 陈志良. 用于 AM-OLED 显示屏控制的 MDDI 数据处理芯片设计 [J]. 液晶与显示, 2011(6): 801-807.  
 [ 12 ] Park J W, Kim S, Baek K H. A low-power MDDI-Client architecture using On-Off byte counter [J]. *IEEE Trans. Consumer Electron.*, 2010, 56(3): 1283-1287.