

文章编号:1007-2780(2013)06-0955-08

一种高帧频 CMOS 图像传感器系统设计

苏宛新

(中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033, E-mail: ccswx@163.com)

摘要: 利用 MT9M413C36STM、TMS320VC33PGE 研制了一种高帧频 CMOS 图像传感器成像、显示及数据处理系统。根据所用器件的特点,文章对图像传感器成像、显示及数据处理原理和时序进行了分析。给出了系统相关的硬件电路,介绍了设计重点。在 Quartus II 8.0 及 CC4.1 开发环境下,使用 VHDL、AHDL、C 语言进行了驱动程序编写和调试。结果表明,该系统在 $1\ 280 \times 1\ 024 @ 60\ \text{Hz}$ 逐行扫描模式下可以稳定地工作,已在重点课题中得到了批量应用。

关键词: 驱动程序;图像传感器;CMOS;MT9M413C36STM;TMS320VC33PGE

中图分类号: TP3 **文献标识码:** A **DOI:** 10.3788/JYX20132806.0955

Design of High Frame Frequency CMOS Image Sensor System

SU Wan-xin

(Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences,
Changchun 130033, China, E-mail: ccswx@163.com)

Abstract: Using MT9M413C36STM and TMS320VC33PGE, a high frame frequency CMOS image sensor imaging, display and processing system is developed. According to the characteristics of used component, this text analyzes the imaging, display and data processing principle and timing. Hardware circuit system is given, and the key of design is introduced. Under the development environment of the Quartus II 8.0 and CC4.1, the driving program is compiled and debugged with VHDL, AHDL, C language. Experimental results show that this system can stably work in the $1\ 280 \times 1\ 024 @ 60\ \text{Hz}$ line-by-line scan mode, and has already been used in an important item.

Key words: drive procedure; image sensor; CMOS; MT9M413C36STM; TMS320VC33PGE.

1 引言

在侦察、测绘、跟踪、姿态和变形测量中,迫切需要研制高分辨率、高速的数字相机来完成高清视频的实时摄像及测量任务。通过画面同步显示^[1]监测和图像数据实时处理,可以快速地进行目标的定位和测量。

Aptina 公司的 MT9M413C36STM 高帧频 CMOS 图像传感器,在 $1\ 280\ \text{H} \times 1\ 024\ \text{V}$ 分辨率下,帧频可达 $0 \sim 500\ \text{fps}$ 。它采用了一种所有像

元同时曝光的定格电子快门“TrueSNAP”高速摄像技术,声称“即使最快速的运动也具有水晶般清晰的精度”。

本文利用 MT9M413、FPGA、ADV7127 和 DSP 器件设计出一种高帧频的成像、显示及数据处理系统^[2-3] ($1\ 280 \times 1\ 024 @ 60\ \text{Hz}$)。

2 硬件电路设计

系统由物理尺寸为 $80\ \text{mm} \times 80\ \text{mm}$ 的图像接收器(AP1)、图像驱动器(AP2)和图像处理器

收稿日期: 2013-03-15; 修订日期: 2013-07-20

作者简介: 苏宛新(1962—),男,河南新野人,研究员,主要研究方向: 嵌入式系统及光电测控设备开发与设计。

(AP3)3个PCB电路板组成。AP1板由电压型8路10位数模转换器(LTC1660IGN)、CMOS图像传感器组成;AP2板由ADI公司10位高速视频DAC(ADV7127KRU140)、ALTER公司的FPGA(EPF10K50VRI240)、配置芯片(EPC2TI32)、108MHz时钟及电源芯片组成。AP3板由ALTERA公司的FPGA(EPF10K50VRI240)、配置芯片(EPC2TI32)、ST公司的512K×8位Flash(SST39VF040)、TI公司的DSP(TMS320VC33PGE-120)、4片Cypress公司的1M×16位静态存储器

SRAM(CY7C1061BV33-10ZI)、18.432MHz、12MHz时钟及电源芯片组成。3种晶振由Epson公司SG-8002CEPCM系列烧写而成。

除了AP1、AP2和AP3板子之间的连接插座外,另有X1~X5五个连接器。X1为SXGA显示器连接器;X2为大规模逻辑阵列D3下载连接器;X3为大规模逻辑阵列D7下载连接器;X4为DSP(D13)下载连接器;X5为DSP(D13)外部通讯连接器。使用了数字电压(3.3V)、模拟电压(3.3AV)、数字地、模拟地。如图1所示。

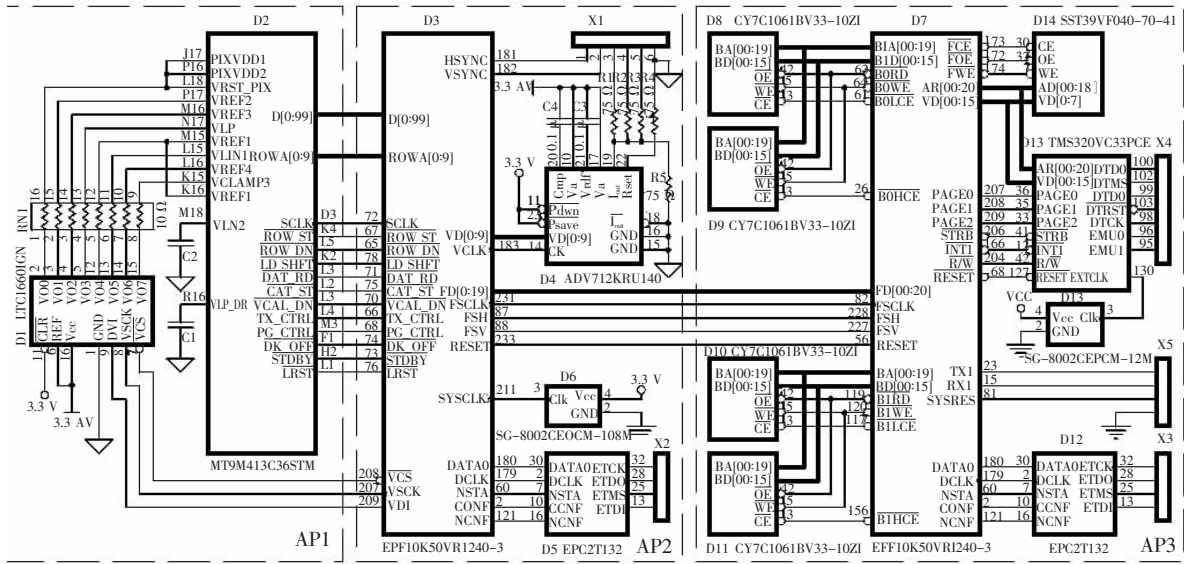


图 1 系统原理图

Fig. 1 System schematic diagram

108MHz晶振作为图像驱动器的外部时钟源(SYSCLK)。经FPGA(D3)分频后作为图像传感器(D1)时钟(SCLK)、高速视频DAC时钟(VCLK)和视频存储时钟(FSCLK)的基准时钟。12MHz晶振作为DSP(D13)的外部时钟。18.432MHz晶振作为FPGA(D7)嵌入的异步通讯模块的外部时钟。外部复位信号(SYSRET)经FPGA(D7)转换成系统器件所需要的复位信号(RESET,/RESET)。

FPGA(D3)将图像传感器(D2)输出的10×10位图像数据(D[0:99])转换成二路信号。一路1×10位数据(VD[0:9])经ADV7127显示;另一路2×10位数据(FD[0:19])输出到图像处理器^[4-5]进行视频“乒乓”存储。

2.1 显示驱动电路

本系统显示驱动电路采用高速视频数模转换

器ADV7127,它将10位的数字视频信号转换成SXGA显示器所需的模拟视频信号。视频数据VD[0:9]在视频DAC时钟VCLK的上升沿被锁存,并进行10位DAC转换。模拟视频信号为电流输出(I_{out}),经X1连接到显示器的15针插座。视频输出对地接1个75Ω的R₅电阻,并通过75Ω的R₁、R₂、R₃电阻分别连接VGA插座管脚1(RED)、2(GREEN)、3(BLUE);行同步信号(HSYNC)、帧同步信号(VSYNC)分别接入管脚13、14;模拟地接管脚5~8、10。

比例调节R₄电阻接比例控制端(R_{set})和模拟地之间,控制视频信号的幅值,其阻值为560Ω。I_{out}和R₄的关系可由式(1)给出:

$$I_{out} = 7\ 968 \times V_{ref} / R_4 \quad (1)$$

TSSOP封装的ADV7127通常在3.3V模拟电压和参考电压输入端(V_{ref})之间、3.3V模块

电压和内部放大器补偿端(COMP)之间分别连接一个 $0.1 \mu\text{F}$ 的陶瓷电容 C_3 、 C_4 。由于不使用差分形式的视频输出,将其负端(I_{out})直接接到模拟地;也不使用电源唤醒(/PSAVE)功能和掉电控制(/PDOWN)功能,将其相应管脚接 3.3 V 。

2.2 成像及驱动电路

MT9M413 传感器工作电压为 3.3 V ,像元尺寸为 $12.0 \mu\text{m} \times 12.0 \mu\text{m}$ 。具有同时输出 10 个像元 10 位数据输出接口(D[0:99])和 1 280 个列并行 10 位 ADC。允许访问片内的 ADC 时序、像元读出控制、校准、输出多路复用电路。完整的数字相机仍需要搭建外部的偏置、旁路和时序控制电路。

外部信号如下:10 位的行地址总线(ROWA[0:9]);像元时钟(SCLK)信号;光积分控制信号(TX_N、PG_N);行 ADC 转换开始(/ROW_ST)信号;行 ADC 转换完成回答(/ROW_DN)信号;ADC 完成的数据移位到输出寄存器(/LD_SHFT)信号;数据输出(/DAT_RD)使能信号;ADC 校准开始信号(/CAT_ST);ADC 校准完成信号(/CAL_DN);暗电平偏置使能信号(/DK_OFF);传感器低功耗使能信号(/STDBY);传感器逻辑复位信号(/LRST)。除了行地址总线和时钟(SCLK)信号外,只有光积分控制信号(TX_N、PG_N)为高有效,其余信号均为低有效信号。

偏置电压有 10 个,可以进行设置。VLN2 使用内偏置,通过 $0.1 \mu\text{F}$ 电容接模拟地;VLP_DRV 管脚直接接模拟地。

本系统采用 8 路 10 位 DAC 转换器 LTC1660 为图像传感器提供偏置电压。8 路电压输出端($V_{0.0} \sim V_{0.7}$)分别通过 10Ω 的匹配电阻连接到传感器的管脚 VRST_PIX、VREF2、VREF3、VLP、VREF1、VLIN1、VREF4、VCLAMP3 上。输出电压 V_o 和参考电压 V_{ref} 的关系可由式(2)给出:

$$V_o = k \times V_{\text{ref}} / 1024 \quad (2)$$

V_{ref} 取模拟电压 3.3 V , k 取 $0 \sim 1023$ 。通过 SPI (/VCS、VSCK、VDD)和 FPGA 连接。

2.3 “乒、乓”结构图像处理器电路

MT9M413 每个像元为 10 位数据,需要一个 16 位字(Word)存放,高 6 位赋零。分辨率为 $1280(\text{H}) \times 1024(\text{V})$,存放一帧图像需要 1.3M 个 16 位字,使用 2 片 $1\text{M} \times 16$ 位的 SRAM 作为

一个帧存储器。本系统采用 4 片 SRAM 构成了 2 个帧存储器^[6]。

“乒、乓”存储的控制逻辑在 D7 内完成,由视频输入地址发生器、DSP 地址译码器、“乒、乓”转换控制器组成。

视频输入地址发生器生成帧存储所需的信号。帧存储所需的地址总线、数据总线、片选、写信号由 2×10 位视频存储数据(FD[0:19])、存储时钟(FSCLK)、视频存储行同步信号(FSH)、视频存储帧同步信号(FSV)经地址发生器进行转换产生的。

DSP 地址译码器译码生成帧读出所需的信号。帧读出所需的地址总线、数据总线、片选、读信号由 DSP 的 4 个译码页中的 3 个(PAGE0、PAGE1、PAGE0)、24 位的地址线中的 21 位(AR[00:20])、片外访问选通信号(/STRB)经译码器译码产生。此外,DSP 地址译码器还译码产生 FLASH 和异步通讯模块所需的地址、片选、读、写信号。

“乒、乓”转换控制器将视频输入地址发生器产生的帧存储信号和 DSP 地址译码器产生的帧读出信号“乒、乓”切换成帧存储器所需的信号。当帧存储时,帧存储信号接通地址总线(B0A[00:19])、数据总线(B0D[00:15])、片选(/B0LCE、/B0HCE)、写信号(/B0WE);此时,帧读出信号接通地址总线(B1A[00:19])、数据总线(B1D[00:15])、片选(/B1LCE、/B1HCE)、写信号(/B1RD)。上述过程交替进行。

DSP 内部锁相环电路对 12 MHz 外部时钟(EXTCLK)进行 5 倍频后,作为其工作时钟。使用了 32 位 DSP 数据总线的低 16 位(VD[00:15]),高 16 位赋零。程序存储器外接 FLASH(SST39VF040, $512\text{K} \times 8$ 位),所需信号分别为数据总线(VD[0:7])、地址总线(AR[00:18])、片选(/FCE)、读(/FOE)、写(/FWE)信号。

3 成像及显示原理

3.1 显示工作原理

根据 VESA 显示器时序规格书描述,显示时序如图 2 所示。视频显示时序数据($1280 \times 1024 @60 \text{ Hz}$)如表 1 所示。

帧同步信号(VSYNC)表明新的 1 屏视频数据开始发送,每帧总行数为 1 066 行,有效行数为

1 024 行。行同步信号(HSYNC)脉冲表明新的 1 行视频数据开始发送,每行总像元数为 1 688 个,有效像元数为 1 280 个。行和帧同步信号保持一定的脉宽,分别为 112 个像元和 3 行。每个像元对应 1 个像元时钟。

帧同步及行同步的头尾留有回扫时间。帧同

步前回扫时间为 $3+38+0=41$ 行,后回扫时间为 $0+1=1$ 行,总的帧回扫时间为 42 行;行同步前回扫时间为 $112+248+0=360$ 个像元时钟,后回扫时间就是 $0+48=48$ 个像元时钟。总的行回扫时间为 408 个像元时钟。有效像元信号不会出现在回扫时间内。

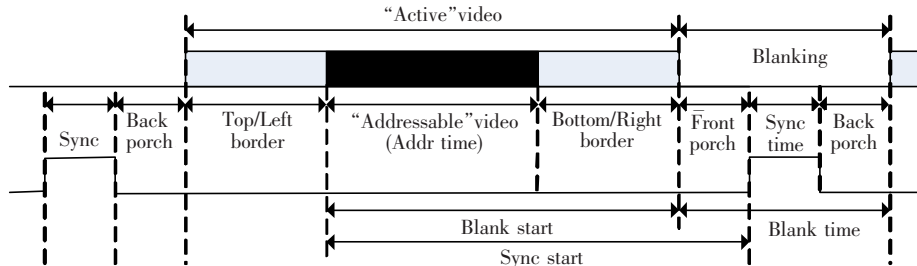


图 2 显示时序图

Fig. 2 Display timing diagram

表 1 视频显示时序数据

Table 1 Video display timing data

Parameters	Typ.	Unit
Pixel Clock	108	MHz
Hor Total Time	1 688	clock
Hor Sync Time	112	clock
H Back Porch	248	clock
H Left Border	0	clock
Hor Addr Time	1 280	clock
H Right Border	0	clock
H Front Porch	48	clock
Hor Blank Time	408	clock
Ver Total Time	1 066	line
Ver Sync Time	3	line
V Back Porch	38	line
V Top Border	0	line
Ver Addr Time	1 024	line
V Bottom Border	0	line
V Front Porch	1	line

帧同步、行同步信号为正极性。数据经 ADV7127 数/模转换后,在显示屏从左到右,从上到下依次排列图像像元。

3.2 成像原理

MT9M413 对所有像元同时进行光积分。当

PG_N 变低时,电荷放电、清除像元,在其上升沿开始新的光积分;当 TX_N 变低时,光积分电荷转移到像元存储器(每个像元都有一个存储器)中。TX_N、PG_N 这两个动作的时间差就是传感器的曝光时间。

传感器具有 1 280 个列并行 ADC 结构,在每个成像时钟(SCLK)周期内,能够对一整行像元同时进行模/数转换。行转换开始(ROW_ST)信号读取所选行的模拟像元进行 ADC 转换。10 位的行地址总线(ROWA[0:9])选择 1 024 行中的哪一行进行 ADC 转换和读出。数字化后的数据存储在 ADC 寄存器中,转换完成后回答(ROW_DN)信号。行地址在行处理时间的前半段时间内有效(ROW_ST 和 ROW_DN 之间的时间)。

转移信号(LD_SHFT)将 ADC 寄存器内的数据转移到输出寄存器,数据输出使能(DAT_RD)信号输出数据到端口。D[0:99]每次输出 10 个像元,1 280 个像元需 128 个 SCLK 时钟。新的行读出和转换周期在 DAT_RD 信号变低两个时钟后开始。总的行周期为 ROW_ST 下降沿到 ROW_DN 下降沿,加上 DAT_RD 和 LD_SHFT 有效后的两个时钟周期,共计 132 个 SCLK 时钟。详见文献[7]。

3.3 “乒乓”结构图像处理原理

输入和输出缓冲电路是为两种不同的视频存储时钟(FSCLK)与 DSP 图像处理时钟(EXT-CLK)提供合适的数据接口。缓冲电路一般有双

口 RAM、FIFO 和乒乓缓存 3 种结构形式。双口 RAM、FIFO 这两种缓冲结构存储容量相对较小,不特别适合高速图像处理系统,故本系统选用 SRAM 乒乓缓存结构。

四片 1M×16 位 SRAM 构成了 2 个具有“乒、乓”结构的帧存储器(B0、B1)。一帧存储器储存视频图像的同时,另一帧存储器可由 DSP 进行读取和处理。帧图像存储完成后,发出存储完毕信号;DSP 处理完一帧图像后,发出处理完毕信号;当这两个完毕信号都有效时,“乒、乓”切换(SEL)信号倒相,两个帧存储器进行“乒、乓”交换。当 SEL=0,视频输入数据存储在帧存储器(B0)内,同时 DSP 读出和处理帧存储器(B1)的图像数据。当 SEL=1,视频输入数据存储在帧存储器(B1)内,同时 DSP 读出和处理帧存储器(B0)的图像数据。重复上述过程,完成视频图像的存储与处理。

4 系统设计重点及编程

4.1 图像生成、显示、存储设计重点

(1) 成像偏置电压考虑

图像传感器的 10 个偏置电压影响到传感器的正常工作和成像质量。一般设置成标称值,也可以由实际场景微调以达到最佳的图像效果。传统偏置电路由电阻分压或电位器构成。电阻分压的是固定电压,不能进行调节;电位器分压虽然可以调节,但体积大,可靠性和精度低。本设计选用的 8 路 DACs 转换器 LTC1660 可以很好地解决这一问题。体积小,精度高,其输出电压可以进行 1 024 个阶梯进行调节。

当/VCS 保持低电平时,在时钟脉冲 VSCK 作用下 VDI 串行数据移位到片内的 16 位移位寄存器内。16 位寄存器数据格式为:A3~A0 D9~D0 X1 X0。从左到右输入 DAC 地址、输入代码和两位不用的信息 X1、X0。当 16 位数据完全转

移到移位寄存器后,/VCS 变高。由 A3~A0 的内容选中 8 个 DAC 所对应的 1 个 DAC,D9~D0 决定所对应的 DAC 输出 V_i。没选中的 DAC 保持原状态不变。

LTC1660 三线高速同步串行口 SPI 控制逻辑在大规模阵列 D3 内完成。设计了一个 11 位宽的计数器 Clkcnt 对时钟(SYSCLK)进行计数。同步串行时钟信号 VSCK<= Clkcnt(10) and Clkcnt(5) and not tDACstart;同步串行片选信号 VCS<= not Clkcnt(10) or tDACstart。设计了一个 3 位宽的计数器 reg_Cnt,16 位宽的串行数据发送器 DACsend。由于 LTC1660 内部没有 FLASH,数据在掉电后不能保存,每次上电、复位后,都要传送给 LTC1660 一次数据。上电、复位后,tDACstart 变低,reg_Cnt 置零。当 VCS 为高时,对 DACsend 赋值;当 VCS 为低时,由 16 个 VSCK 时钟的下降沿从高到底依次将 DACsend 内的 16 位数据发送到 VDI。上述过程重复进行,VDI 输出由 8 个 16 位宽的串行数据。当 Clkcnt(10)下降沿时,对 reg_Cnt 进行计数;当 reg_Cnt 等于 7 时,在下一个 Clkcnt(10)下降沿时,tDACstart 变高,SPI 通讯结束。SPI 数据如表 2 所示,仿真时序如图 3 所示。

表 2 SPI 数据设置

Table 2 SPI data setup

名称	reg_Cnt 计数器	串行数据	参考电压/V
VRST_PIX	0	0x1D0C	2.7
VREF2	1	0x23DC	0.8
VREF3	2	0x32E4	0.6
VLP	3	0x492C	1.9
VREF1	4	0x54D4	1.0
VLIN1	5	0x64D4	1.0
VREF4	6	0x7134	0.25
VCLAMP3	7	0x8000	0

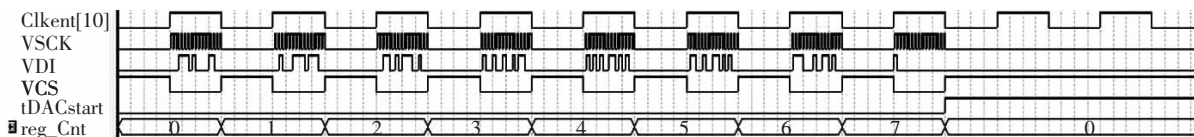


图 3 SPI 时序图

Fig. 3 SPI simulation timing diagram

(2) 显示、存储和成像时钟考虑

为了降低电路设计的复杂性,本系统使用了一个基准时钟(SYSCLK,108 Hz)来同时满足显示时钟(VCLK,1 280×1 024@60 Hz 格式)、存储时钟(FSCLK)和成像时钟(SCLK)的时序要求。

视频存储数据(2×10 位)需要在 D7 内进行合并为帧存储器(1×16 位)所需的格式。本设计中为了方便,令 FSCLK=SYSCLK。

VCLK、FSCLK、SCLK 按 1:1:10 的比率对基准时钟(SYSCLK)进行分频。

(3) 显示、存储和成像数据转换考虑

显示(VD[0:9])、存储(FD[0:19])、成像(D[0:99])数据分别为 1×10 位、2×10 位、10×10 位。设计了一个对 SYSCLK 进行计数的 10 分频

表 3 显示和存储数据转换

Table 3 Display and storage data change

S	显示数据 VD	存储数据 FD
0	VD[0:9]=D[0:9]	FD[0:19]=D[0:19]
1	VD[0:9]=D[10:19]	
2	VD[0:9]=D[20:29]	FD[0:19]=D[20:39]
3	VD[0:9]=D[30:39]	
4	VD[0:9]=D[40:49]	FD[0:19]=D[40:59]
5	VD[0:9]=D[50:59]	
6	VD[0:9]=D[60:69]	FD[0:19]=D[60:79]
7	VD[0:9]=D[70:79]	
8	VD[0:9]=D[80:89]	FD[0:19]=D[80:99]
9	VD[0:9]=D[90:99]	

计数器 Selcnt。其功能有两个:(a)为图像传感器提供 10 分频的成像时钟 VCLK;(b)为显示数据进行 10 路转换 1 路提供计数值。Selcnt 在行、帧同步信号为低(有效)时,对 SYSCLK 下降沿进行计数;行、帧同步信号为高(无效)时,计数器 Selcnt 清零。当行、帧同步信号为低(有效)时,在 SYSCLK 的下降沿进行 Selcnt 判断,计数器 Selcnt 为 0~4 时,VCLK 为低;Selcnt 为 5~9 时,VCLK 为高。多数据转换如表 3 所示。表中 S 为 Selcnt。

(4) 显示、存储和成像同步考虑

设计了一个行计数器(HCountb)和帧计数器(VCountb)。HCountb 计数每行的像元数,每行像元数为 1 688 个,每行有效像元数为 1 280 个;VCountb 计数每帧的行数,一帧为 1 066 行,有效像元行为 1 024 行。传感器行地址(ROWA)就等于有效 VCountb 计数值(1 280 个像元,1 024 行)。为了和显示时序保持一致,本设计中成像、显示和图像存储统一按 1 688 个像元,1 066 行计数。其中行回扫时间为 408 个像元时钟,帧回扫时间为 42 行。

在 1 024 个有效行中,ADC 转换开始信号(ROW_ST)在第 3 个 SCLK 上升沿时变低,(ROW_DN)在第 132 个 SCLK 上升沿时变高,每行的 ADC 转换需要 128 个 SCLK;转移信号(LD_SHIFT)和数据输出(DAT_RD)使能信号相等,在 1 个 SCLK 上升沿变低,在 132 个 SCLK 上升沿变高,共 132 个 SCLK。图 4 所示的相机行仿真时序图。帧时序类似。

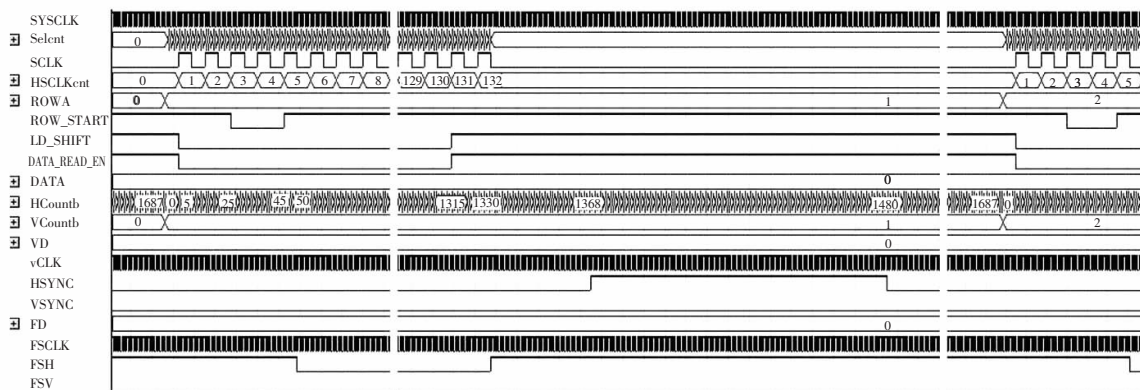


图 4 相机行仿真时序图

Fig. 4 Camera row simulation timing diagram

4.2 图像处理器设计的重点

(1) 视频输入地址发生器考虑

帧同步(FSV)、行同步(HSYNC)信号为正极性。在地址发生器中,设定1个21位的计数器QS。当FSV为高时,QS清零;当FSV为低有效和行同步信号为高时,计数器QS保持原状态。当FSV为低有效和同步信号为低时,在每个FS-CLK时钟的下降沿,计数器QS加1;当QS等于0x13ffff时,QS清零,1帧图像存储完成信号变高。在1帧1280×1024分辨率的图像中,只进行其有效行和有效像元的计算。回扫时间则保持QS不变。

(2) DSP 地址译码器考虑

DSP地址译码器译码地址如表4所示。译码器也将VC33的一条(R//W读为高,写为低)读写信号转换成所需要的形式。

表4 外设和接口地址

Table 4 Equipment and port address

序号	地址	说明
1	0X0001000	FLASH 开始地址
2	0X0200020	图像状态寄存器
3	0X0200021	图像命令寄存器
4	0X0400000	帧存储器地址

帧存储器容量为0x1ffff(1M×16bit,1帧存储器)。每个像元占1个字,一帧1280×1024图像,存储在地址为0x400000的图像存储器内,其实际占用地址为0x400000~0x53ffff。

4.3 软件及驱动程序设计

(1) 同步显示信号驱动

以显示行同步为例,其他同步类似。

```
HSYNC_proc:process(SYCLK)
begin
if(SYCLK='0' and SYCLK'event) then
if(HCountb=1367) then
tHSYNC<='1';elsif(HCountb=
1479) then
tHSYNC<='0';
end if;
end if;
end process HSYNC_proc;
```

(2) 成像地址生成

```
ROWA <= VCountb(9 downto 0);
VCountb_proc:process(sysclk)
begin
if(VCountb=1066) then
VCountb<= (others=>'0');
elsif (sysclk='0' and sysclk'event)then
if(HCountb=1688) then
HCountb<= (others=>'0');
VCountb <= VCountb + '1';
else HCountb<= HCountb + '1';
end if;
end if;
end process VCountb_proc;
```

(3) 视频输入地址发生器

```
process (FSCLK)
begin
if (FSCLK'event and FSCLK='0') then
if (FSV='1') then
QS<=(others=>'0');
elsif (FSH='1') then
QS<=QS;
elsif (FSH='0') then
if (QS=1310719) then
QS<=(others=>'0');
else
QS<=QS+'1';
end if;
end if;
end if;
ADDRPIC<=QS;
end process;
```

(4) DSP 地址译码器对 SRAM 的译码

```
begin
! scs=page2&! page1&page0&.(addr[23..0]
>=H"400000")&.(addr[23..0]<=H"5fffff")
&! strob;
! soe = rw&page2&! page1&page0&.(addr
[23..0]>=H"400000")&.(addr[23..0]<=
H"5fffff");
! swe = ! rw&page2&! page1&page0&.(addr
[23..0]>=H"400000")&.(addr[23..0]<=
H"5fffff");
end;
```

(5) DSP 主程序及乒乓切换

```

initial(); /* 初始化 */
while(1) {
    c1=( * S)&.0x1; /* 读状态作预置状态 */
    (* C)=1; /* 发读新的帧存储器命令 */
    do { /* 状态不同,图像帧存储完毕 */
        c2=( * S)&.0x1; /* 读状态作当前状态 */
    } while((c1 == c2)); /* 状态相同,等待存
完 */
    image(); /* 图像处理 */
}

```

参 考 文 献:

- [1] 王明富,杨世洪,吴钦章.大面阵 CCD 图像实时显示系统的设计 [J]. 光学 精密工程, 2010,18(9):2053-2059.
- [2] 刘新明,刘文,刘朝晖.大面阵 CMOS APS 相机系统的设计 [J]. 光子学报,2009,38(12): 3235-3238.
- [3] 陈必威,梁志毅,王延新,等.基于 FPGA 的高帧速 CMOS 成像系统设计 [J]. 计算机测量与控制, 2012,20(5): 1397-1400.
- [4] 杨少华,李斌康,冯兵,等.高速高分辨率 CMOS 图像采集系统设计与实现 [J]. 光电工程,2006,33(11): 133-136.
- [5] 张贵祥,金光,郑亮亮,等.高速多通道 CCD 图像数据处理与传输系统设计 [J]. 液晶与显示,2011,26(3):397-403.
- [6] 苏宛新,程灵燕,程飞燕.基于 DSP+FPGA 的实时视频信号处理系统设计 [J]. 液晶与显示,2010,25(1):145-148.
- [7] Micron Technology Inc. . Mt9m413c36STC Handbook [M]. Ver. 3.0 1/USA: Micron Specification, 2004:5-9.

5 结 论

在 Quartus II 8.0 及 CC4.1 的开发环境下,使用 VHDL、AHDL、C 语言进行了驱动程序编写和调试,获得了满意的结果。在 $1\ 280 \times 1\ 024$ @60 Hz 方式下,成像、显示和视频存储可以同步同帧进行。图像存储和处理采用了视频“乒乓”切换技术,隔离了图像所输噪声,实现了图像延时 1 帧的实时处理。相机抗杂光能力强,其传感器在灯光下裸露时,仍能得到稳定、清晰的图像,该系统已在工程上得到批量应用。