

基于平台的可配置计算及其在自动目标识别中的应用

吴巨红 陈曾平 张银福

(国防科技大学 ATR 重点实验室, 410073)

摘要: 可配置计算思想的提出已有 40 多年的历史, 国外学者在近十年来取得了实质性的研究成果, 但该技术在国内的研究才刚刚起步。本文介绍了可配置计算技术的发展历程、国内外研究现状以及两种主要的研究思路—基于专用芯片和基于平台的研究思路, 并对比了两种研究思路各自的优势。我们重点关注基于平台的研究思路, 介绍了可配置计算的基本原理, 分析了可配置计算系统的结构模型与计算模型, 并提出未来基于平台的可配置计算结构应该是多个带有嵌入式处理器的 FPGA 以高速串行接口互联的拓扑结构。最后我们着重介绍了可配置计算在国内外自动目标识别 (ATR) 领域的研究成果和关键技术, 并指出未来可配置计算技术在 ATR 领域的应用。

关键词: 可配置计算; 自动目标识别; 片上系统; 基于平台的设计; 基于 FPGA 的设计

中图分类号: TP302 **文献标识码:** A **文章编号:** 1003-0530(2010)08-1222-08

Overview of Platform-based configurable Computing and Application on Auto-Target-Recognition

WU Ju-hong CHEN Zeng-ping ZHANG Yin-fu

(ATR Key Lab., National University of Defense Technology, Changsha 410073, China)

Abstract: The theory of Configurable Computing was proposed forty years ago. Foreign scholars has achieved some substantial results in the past decade, however the research in China has just begun. This article describes firstly the history of configurable computing technology, research progress at home and abroad, and the two mainly research methods which are respectively chip-based and platform-based. In this paper, the platform-based research approach is focused on because it is more suitable for automatic target recognition(ATR) than the chip-based method. Then the basic principle of the configuration is introduced, and the configurable computing system architecture model and the calculation model are analyzed. It is also predicated that the topology of the platform-based configurable computing architecture in the future should be a structure of multiple FPGA with embedded processor which interconnect with each other by high-speed serial interfaces. Finally, the application of Configurable Computing technology in the fields of ATR is mainly discussed which is based on the international research results and key technologies of ATR.

Key words: Configurable Computing; Automatic Target Recognition; System on Chip (SoC); Platform-based Design; FPGA-based design

1 引言

可配置计算技术是随着 SoC 技术发展衍生出来的一个新的技术领域。可配置计算利用可配置硬件资源可多次反复配置的特点, 实现了计算任务同时在时间与空间上的分配, 因此, 较冯诺依曼计算模式和并行计算模式有更突出的优势。

通常 SoC 可以通过三种结构实现:

- 专用集成电路(ASIC)结构, 这种方法计算效率高, 但

研制周期长、灵活性差, 一旦定型难以更新;

- 处理器结构: 例如 DSP 处理器, 灵活但计算效率低;
- 基于 FPGA 的可编程与可配置结构, 这种结构在速度与灵活性之间取得折中。随着芯片制造技术的发展, 近十年来, 这种结构越来越得到重视, 极大地促进了可配置计算技术的发展。

关于 ASIC、DSP 和 FPGA, F. Yang 等人通过人脸识别算法的处理速度, 研究比较了上述三种结构各自的优势与劣势^[1], 结论是: ASIC 速度最快, FPGA 其次(是

ASIC 的 1/2),最低的是 DSP 软件(是 ASIC 的 1/15),但是在识别率方面,具有设计灵活性的 DSP 方案则能够达到最高的指标,而 ASIC 实现方案识别率最低,FPGA 介于二者之间。上述统计研究是建立在仅仅将 FPGA 作为一种固定计算资源的前提下,并没有有效使用 FPGA 上可配置部分。不能忽视的一个事实是:许多应用在不同的时间与应用约束下对计算的需求是不同的。

可配置计算系统的优势在于:通过控制调度合理使用 FPGA 上可配置资源,能够以相对固定的硬件平台,根据计算任务在不同时间、不同应用需求下通过加载不同的计算模块来实现不同的计算功能,以便在资源、功耗、计算性能上取得合理的平衡,而且相比单纯将 FPGA 视为一种固定的计算资源来说,灵活性与可复用性又进一步得到提升。

可配置计算的思想可以追溯到二十世纪六十年代,由美国加州大学计算机体系结构专家 Estrin 提出的“灵活加固定的”体系结构的概念。他认为“固定的处理器抽象与可编程的硬件”同时存在的结构允许设计者实现多种应用划分,可以根据不同的应用需求在软件与硬件之间进行灵活的划分^[2]。但是,受半导体技术发展的限制,直到可编程器件,特别是基于 SRAM 的多次可编程器件诞生后,Estrin“灵活加固定的”思想才得以实现。

在国外,可配置计算技术先后经历了 configurable Computing, Reconfigurable Computing, Reprogrammable computing, Custom Computing,以及 Virtual Hardware 等多种叫法,目前外文文献中多数称为“configurable Computing”或者“Reconfigurable Computing”,泛指可以进行多次反复运行时的配置计算。国外学者有实质内容的研究已经有十多年的历史。该领域的中文期刊论文从 2006 年前后逐渐多起来,研究者主要集中在一些高校,包括东南大学、浙江大学、深圳大学、天津大学、湖南大学、国防科大、中国科技大学、复旦大学等,研究重点大多定位于硬件层次的电路重构理论和方法,中国科技大学的研究者发表过基于统一编程模型的研究论文,但是学术界对其作为一种新的计算模式与领域应用相结合、特别是面向用户级的应用设计的研究方面,关注程度与研究深度有待提高^{[3][4][5][6][7][8]}。

本文结构如下:首先对比介绍可配置计算领域目前存在的两种研究思路,分析各自的优势,指出基于平台的设计更符合自动目标识别(以下简称 ATR)应用在灵活性等方面的需求;接下来对基于平台的可配置计算的配置原理、可配置计算系统体系结构进行了介绍,提出未来基于平台的可配置计算结构应该是多个带有嵌入式处理器的 FPGA 以高速串行接口互联的拓扑结构;最后总结了可配置计算技术在 ATR 领域应用的现状、具有挑战性的技术问题和未来可配置 ATR 的应用方向。

2 主要研究思路与成果

可配置计算思想的提出距今已经有四十多年时间,但是受半导体芯片技术发展的限制,到了 1990 年以后,该领域的研究开始活跃起来。归纳总结起来,有两条研究思路,一是设计具有可配置能力的芯片(例如 FPGA),二是基于具有可配置结构(例如商用 FPGA)的芯片进行面向应用的设计,这种也被称为基于平台的设计。

第一种思路基于专用芯片的设计,具有特定的应用背景。优点是专用芯片可以具有更高的速度与密度,但设计过程本身仍然属于 ASIC 设计,周期长、成本高。这样的设计过程囊括片上结构设计、片上可配置单元、互联结构、片上资源管理与控制、寻址、路由等完整的逻辑设计与仿真验证的环节,同时将特定的应用(通常是超大规模的数据密集计算)映射到这些结构上,所涉及的问题涵盖了可配置计算研究链条上的所有问题,因此对基于平台设计的研究思路有参考价值。较早期的研究大多沿着这种思路进行,比较典型的成果有:美国加州大学的 MorphoSys 系统^[9]、MATRIX^[10]等。

MorphoSys 系统(结构见图 1)在一片芯片上设计完成了包含一个微处理器核、一个可配置处理阵列、片上总线以及存储接口的可配置结构,其中可配置处理阵列作为计算的实际执行部件,由 8X8 的可配置计算单元 RC 组成,通过具有多个层次的互连网络(见图 2),在处理器的统一管理下,构成一个具有可配置 SIMD 的计算系统,这样的系统对于规则的数据并行应用性能非常高。

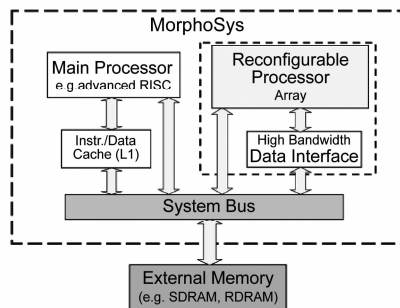


图 1 MorphoSys 系统总体结构^[9]

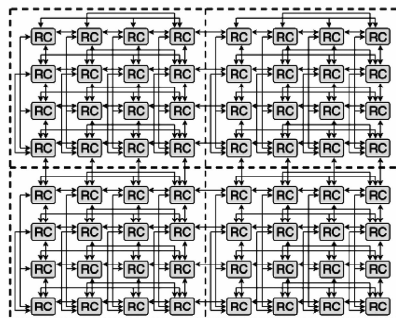


图 2 8X8 的 RC 互联结构^[9]

第二种思路是基于平台的设计。基于平台的可配置计算主要是在商业 FPGA 以及各类嵌入式可重用 IP 资源的基础上,进一步开发利用芯片可重新配置能力的计算模式,这种研究思路的重点在于解决灵活多变的应用到相对固定的计算平台的映射问题。这种思路集成和复用通用的接口与外设,重点解决应用问题,开发成本相对较低,研制周期短,特别符合那些对 time-to-market 有紧迫需求、或者难以量产的应用。因此近年来基于这种思路的研究也开始活跃起来,应用领域覆盖复杂的信号处理、目标识别、医学成像、信息家电、汽车电子等。本文重点介绍基于平台的设计与应用^{[11][12]}。

SPLASH2^[13]是早期代表性的基于 FPGA 的可配置计算结构。SPLASH2 的核心是一块由 17 个 Xilinx FPGA 组成的电路板(如图 3),其中 16 个 FPGA 共用一个交叉开关,另一个作为控制器,可以根据应用特点将计算映射到 16 个计算 FPGA 上。通过菊花链可以将多个电路板串联起来,扩展 SPLASH2 的计算能力。

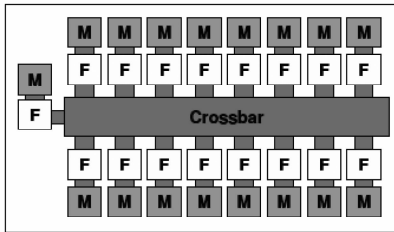


图 3 Splash2 一个电路板结构^[14]

近年来,围绕基于平台的可配置计算研究涌现了一些比较著名的研究团队,如南加州大学的 V. K. Prasanna 研究小组^{[2][15]},杨百翰大学的可配置计算实验室^{[12][16]}等,此外美国 MIT、UCLA、UCL 伯克利分校等都有专门的可配置计算实验室,欧洲的许多高校的很多学者也有论文发表^{[11][17][18][19]}。其中 V. K. Prasanna 等人有影响力的研究成果是在 Estrin 思想基础上明确了处理器加可配置结构这种被称为“混合结构”的可配置计算结构的优势,并对具有混合结构的可配置计算系统的特点进行了定义。

表 1 总结了基于芯片的设计与基于平台的设计在开发周期、研制成本以及计算开销等方面占优势的情况。

表 1-基于芯片的和基于平台的设计各自优势对比

	开发周期	研制成本	配置开销	灵活适用性	计算性能
基于芯片			√		√
基于平台	√	√		√	

由表 1 可以看出,两种技术途径各有优势,具体选择那种途径,需要视具体应用情况。通常 ATR 应用对灵活性以及研制周期要求更高,很多情况下(例如军事应用)是不须量产的,一方面商用 FPGA 性能不断提

升,另一方面可以通过一些技术方案克服其在配置开销和计算性能方面的劣势,因此在 ATR 应用领域更应该重视基于平台模式的研究。

3 基于平台的可配置计算原理^{[20][21]}

“配置”是指将比特流加载到芯片上,构造其逻辑结构、实现特定功能的过程。改变原有结构赋予新功能的过程被称之为“重配置”。基于平台的可配置计算以 FPGA 为设计平台,根据应用的具体需要对芯片进行完全重配置或者部分重配置,重配置的方式可以是非运行时(静态)的、也可以是运行时(动态)的。因此 FPGA 的芯片结构是可配置计算的基础。本节以 Xilinx Virtex 系列 FPGA 为例,简单介绍其配置结构,并介绍可配置计算的基本原理。

3.1 FPGA 的可配置结构

FPGA 主要是由基于 SRAM 的可配置逻辑单元(CLU)构成,CLU 可以被理解为:由可编程计算单元矩阵与一个可编程互联单元组成的、有层次的计算结构。Virtex 系列的 CLU 由三个可编程基本模块构成,分别是:

- 可配置逻辑块(CLB)阵列:CLB 是 FPGA 的核心,可以完成特定的逻辑功能,该结构的主要成分是 slice,包括 LUT、进位逻辑和 SRAM 存储单元;
- 可编程输入输出块(IOB)阵列:是 CLB 与外部引脚的接口;
- 可编程互连网络(PI):为 CLB 和 IOB 提供互联的能力,使之可以完成更复杂的逻辑功能。

芯片上的逻辑功能、IO 以及互联结构都是被 SRAM 存储单元中的配置数据所控制的,因此改变配置数据,即可改变芯片的逻辑功能。

3.2 配置原理

FPGA 所有可配置的特性都被掉电易失的存储器单元所控制,这些存储器单元被统称为配置存储器。配置存储器定义了 LUT 方程、信号路径、IOB 电压标准,以及所有用户设计的其它方面,并以比特流的形式向配置存储器写配置控制逻辑指令和配置数据。配置存储器以排列在芯片上帧的形式存在,帧是可配置的最小单元,也是配置存储器空间上可寻址的最小段。Virtex 的一帧是 FPGA 阵列垂直方向从顶到底 1 位宽的一列配置数据,包括顶端、低端的 IOB 和中间的 CLB。

对帧的配置是通过专门的配置接口实现的。Xilinx FPGA 可以通过 Serial(串行接口)、SelectMAP(并行接口)或者 JTAG(边界扫描)接口实现对芯片的静态配置。

ICAP 是 FPGA 上预留的内部配置访问端口,它可以提供对芯片局部模块的动态配置。它以与 SelectMAP 相同的方式访问配置数据,与 SelectMAP 有相同的接口

信号,但数据总线不同,ICAP 的数据总线分成读和写两种。当使用 ICAP 进行局部重新配置时,用户必须改变与 ICAP 自身相连的逻辑或者互联结构。目前常用 ICAP 加总线宏的方法实现对芯片的局部动态配置^[22]。

3.3 配置的类型

具体的配置实现是可配置计算的基础,通过向可配置器件加载包含重新配置的“比特流”序列,完成对片上应用系统的重新配置。不同的配置实现将极大影响可配置系统的能力。

按照配置与运行特性的关系,可分为静态配置和动态配置。静态配置是将事先优化好的配置载入硬件平台,执行计算任务,一旦应用系统开始运行了,在整个计算期间就不会再对可配置逻辑资源进行重新配置。静态配置限制了可配置资源的进一步开发利用,没有充分挖掘其性能。动态配置指在一次计算完成之后,可配置的资源可以被重新利用。运行时可以基于计算的中间结果根据任务的计算特性选择合适的硬件。动态配置技术不仅使 FPGA 的使用空间大大超过了实际物理空间,而且通过合适的资源调度策略可以进一步提高数据并行。

3.4 配置粒度

按照配置单元的大小,可以分为粗粒度配置与细粒度配置。粒度既可以理解为一种基本的计算单元,也可以指被映射工具所寻址的最小的功能单元的尺寸。小的粒度具有更灵活的适应硬件的计算结构,但是,在使用小粒度构建大的功能模块时,需要付出更多的配置开销。因此,要根据设计需要合理选择配置粒度。

Virtex FPGA 的配置粒度为 1,属于细粒度,但是我们可以通过 ICAP 访问端口以及总线宏的机制,控制其以模块为单位进行配置。这时配置时间就取决于模块的比特文件大小。

3.5 设计约束空间

可配置计算结构的许多设计选项对用户是开放的,这使系统结构具有灵活性的同时又增加了设计约束的复杂性。传统计算的设计约束空间是一个二维结构:应用约束和系统结构约束。应用约束主要解决应用任务类型以及任务间的相关性。例如,对于循环计算,这些约束包括了结构循环、循环内的相关性,以及循环嵌套的相关性;结构约束包括功能单元的粒度、结构以及性能特点等等。

可配置计算增加了一维约束空间:配置空间。在配置空间上需要考虑的约束有重新配置的方法、局部的重新配置、配置的 cache 以及配置开销等因素^[2]。在研究算法映射的技术时需要综合考虑多维约束空间上的因素与开销。

4 可配置计算系统体系结构

为了便于区分可配置计算系统的物理结构和面向应用的逻辑结构,一般从两个方面刻划可配置计算系统的体系结构^{[23][7]}:

- 结构模型:主要描述可配置计算系统计算资源的分布、互联方式以及访问管理等;
- 计算模型:指面向应用的高层抽象,着重描述在结构之上应用问题的处理模式和控制规则。

4.1 混合结构模型

从上世纪九十年代开始,人们提出了很多结构,例如前述提到的 MorphorSys, SPLASH2, MATRIX 等。V. K. Prasanna 等人充分研究和借鉴了其他人工作的成果,提出了具有普遍指导意义的混合结构模型,该模型既适合于描述基于平台的可配置计算系统,也适合基于专门设计芯片的可配置计算系统。

图 4 是 V. K. Prasanna 的混合结构模型^{[2][15]}。在该结构中,CPU 既可以完成一部分计算也负责对配置进行控制,存储资源将一些典型配置预先存储,CLU 作为可配置计算的资源,以互连网络为纽带,将上述控制、存储以及计算部件联系起来。

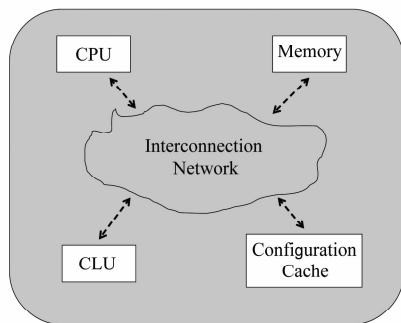


图 4 V. K. Prasanna 的混合计算模型

早期的 FPGA 上没有集成处理器,而且片上资源有限,因此许多混合结构的应用都是集成一个外部微处理器(或者一个 ASIC、DSP 芯片)与多片 FPGA,如图 5。SPLASH2 即属于这类结构。但使用多个芯片将破坏嵌入式系统关于区域、性能及功耗的约束^[18]。

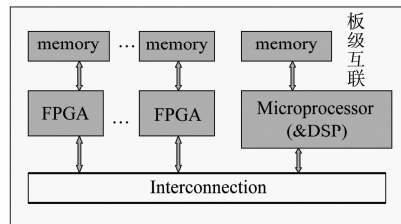


图 5 具有混合结构的板级可配置计算系统

随着微电子技术的迅速发展, FPGA 的容量与密度迅速提升, 目前许多 FPGA 中都带有嵌入式的 CPU (这样的系统被称为 SoPC), 这为在一个芯片上实现混合结构提供了便利, 也为面向特定领域的 SoC 提供了通过合适的编程配置逻辑定制所需应用的能力, 既减轻了配置数据的通信与访存开销, 也减小了系统的整体尺寸, 使得可配置计算技术在更多的领域得到应用。

基于 FPGA 的片上混合结构如图 6 所示。EDA 设计工具集成了可复用的通用外围设备控制 IP, 减轻了系统设计者的开发负担, 可以将主要精力集中于面向应用的用户逻辑的设计开发, 通过片上互联资源将处理器及各类 IP 联系起来, 片内通信显然较片间通信易于实现, 而且通信质量更好。

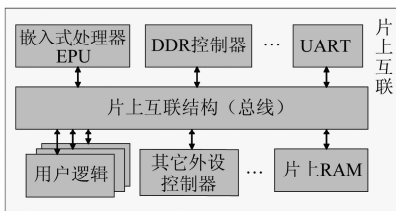


图 6 具有混合结构的可配置 SoPC 片上结构

随着高速串行接口 (例如 RapidIO 等)^[24] 技术的发展, 克服了多个 FPGA 互联的通信瓶颈, 因此未来满足更复杂计算需求的可配置计算系统结构应该是由多个带有嵌入式处理器内核的 FPGA、通过高速串行接口组成的各类互联结构, 例如环形结构、星型结构或者点对点互联等, 如图 7, 8 所示。

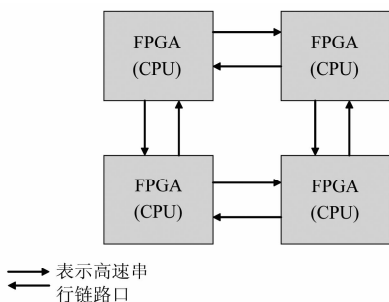


图 7 带有嵌入式 CPU 的 FPGA 阵列

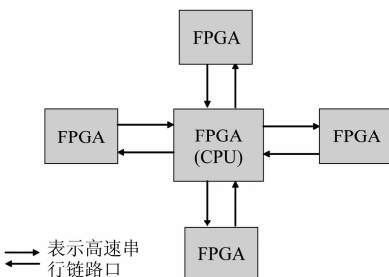


图 8 星型结构的主从式 FPGA 阵列

4.2 在时空联合域上进行任务分配的计算模型

将应用分解或组合到可配置硬件上计算的过程被称为“映射”。由于在应用和硬件结构之间存在语义描述上的差异 (也称之为缝隙), 可配置硬件底层属性的复杂性以及应用本身的复杂性, 使得在二者之间直接映射非常困难, 为了将顶层应用开发人员从硬件的复杂性中解放出来, 需要建立一个抽象来填补二者之间的缝隙, 这样的抽象即是计算模型。

传统的冯诺依曼结构下计算是将任务在时间域上分配; 并行结构下的计算将任务分解到多个并发运行的部件上, 在空间域上分配任务。而可配置结构下的计算兼有在时间域和空间域上同时分配计算的能力, 因此理论上具有更高的性能。但是这种能力能否发挥出来则取决于是否建立了合适的计算模型。

文献^[19] 提出基于可配置结构的计算模型需要重点关注的问题有: 基于互联结构的通讯、对应用的并发处理以及 (同步或者异步的) 时序问题。目前流过程模型、CSP 通讯模型、Kahn 过程网络以及空间计算模型被认为比较适合可配置结构, 而对于混合结构, 流过程模型和空间模型被认为更合适。

5 可配置计算技术在 ATR 中的应用

5.1 国内外应用研究成果

可配置计算技术对于解决复杂密集计算问题具有潜在的优势。在 ATR 系统中, 存在大量规则、密集以及并发的实时运算, 例如图形图像运算等; 也存在复杂的控制流与数据流, 例如电磁信号处理等。通用处理器 (包括 DSP 处理器) 是目前大多数高性能计算的主流平台, 具有较好的灵活性, 但是特定的指令集、顺序的指令译码以及固定的控制结构限制了处理器性能的发挥。可配置计算技术为进一步提高 ATR 应用性能提供了一条有前途的技术途径。

从上世纪九十年代后期, 国外学者在 ATR 领域尝试使用可配置计算技术, 并取得了一些成果。文献^[17] 介绍了基于 SAR 图像模板匹配的雷达目标识别应用, 文献^{[2][15]} 的应用背景是自动目标跟踪与识别的计算机视觉技术。文献^[25] 介绍了美国 Los Alamos 国家实验室在轨道和空间站上的可配置计算应用项目, 包括近实时图像处理、通信与导航以及在轨计算等。文献^[16] 介绍了杨百翰大学可配置计算实验室在弹载目标识别中的应用, 他们将 Sandia 国家实验室的 ATR 算法在 Splash2 上进行实现, 取得了很好的计算性能。上述研究大多数都是面向以图像处理为代表的规则、高数据并行计算, 对于面向不规则运算的可配置技术方面, 研

究成果还不多见。

文献^[26]是国内文献中少见的在航空机载目标识别中的应用,但其所做工作限于静态的电路重构,而且所用平台上没有嵌入式处理器,FPGA 通过 ISA 总线接受外部处理机控制,性能非常有限,严格来说不符合可配置计算对动态性的要求。

5.2 可配置 ATR 系统中具有挑战性的问题

(1) 配置开销问题

可配置计算系统在不同的计算进程加载不同的计算模块,带来了配置开销。配置开销被定义为将新的配置调度到芯片上生效的时间开销,开销的大小主要取决于重新加载模块的尺寸与配置接口的通讯时间,配置接口的时间除与器件物理性能相关外,还与配置粒度、配置模块尺寸有关。以 Xilinx V4(配置粒度为 1 位)为例,根据重新配置的模块大小,重新配置的时间约几十到几百毫秒(甚至 1、2 秒)不等。

ATR 系统通常对实时响应时间有严格要求,因此降低配置开销是可配置 ATR 必须解决的问题。文献^[3]通过配置流压缩技术缩短配置时间,但性能提升的幅度有限,很难进一步降低或者取消该时间开销。选择和建立合适的可配置计算模型可以在一定程度上达到隐藏配置开销的效果,使得配置与运行并发进行;也可以利用“Multi-context”技术以及合理的预取算法将配置事先保存在 FPGA 上,需要时切换到该配置上^{[14][27]}。前面介绍的 MorphorSys 系统是一种 Multi-context 系统,除 8X8 计算阵列外,还针对每一个计算部件有专门的 context 存储器和 context 使能单元(见图 9),可以将规则的、具有高度数据并行的计算(例如循环)预先配置到多个 context 中,一旦有计算阵列空闲,就可以对新的 context 进行使能。

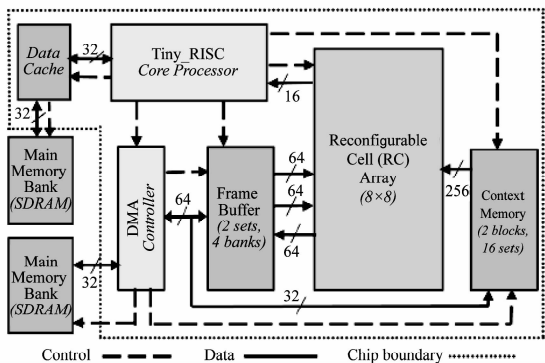


图 9 MorphorSys 系统片上结构与互联关系^[9]

目前关于实现 Multi-context 的技术多数还是通过复杂的芯片设计,在芯片上设计专门的多个 context 区域,开发难度比较高。本文作者尝试在目前占有 FPGA

市场份额 50% 以上的 Xilinx 芯片上,充分发挥 FPGA 上内嵌 CPU 的作用,利用现有成熟的可复用 IP 资源,建立通用的 Multi-context 结构模型(见图 10),借助工具而非复杂的片上设计在芯片上预先规划好两个可配置区域,在处理器上运行的任务预测和调度程序对下一个 context 进行预测和调度,将保存在外部存储器的配置文件预先加载到可配置区域,并在合适的配置点激活。该方法侧重于将配置隐藏在计算的过程中,对片上加载接口带宽要求不严格,可以基于现有 FPGA 提供的接口,无需进行复杂的片上设计,总线宏和通用访存接口控制 IP 核便于复用和集成,设计难度较低,适合于功能级的流水与并行。

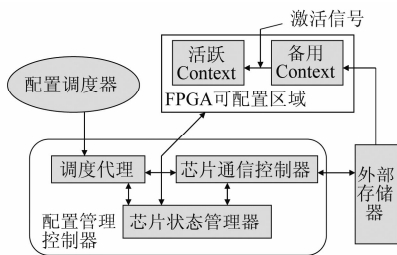


图 10 Multi-context 结构模型

(2) 面向应用的统一设计与设计复用问题

ATR 是一个复杂的应用问题,与传感器、目标、环境特性以及 ATR 的使用意图等有密切关系,因此 ATR 又是一个多变的应用,常常需要结合上述因素调整实现算法和技术,以便工作在多种应用模式下,这与硬件平台的相对固定是一对矛盾。模型试图填补应用与平台之间的缝隙,但是试图在一个具体的 ATR 系统中建立大而全的模型是不切实际、没有必要甚至是不可能的。由于可配置计算系统是一个软硬件紧密结合的系统,如何针对具体 ATR 系统的特点建立一个相对的统一设计模型,屏蔽各种不同类型硬件与接口,做到像一个纯软件系统一样被统一规划和调度资源、并支持运行时的统一配置,为可配置计算的应用提出了新的挑战^{[28][29]}。统一设计研究正是为解决上述问题提出来的。

本文作者在进行多功能一体化电磁信号实时侦收系统设计时,建立了基于应用框架^{[12][30]}的模型-视图-控制(MVC)的统一设计机制(见图 11)。其中模型以参数化的形式抽象了应用与平台的属性,包括计算结构和资源的描述等;视图以可视化的形式规定了设计范围(应用、平台、指标要求),它体现不同的应用需求,用户可以通过 GUI 控制设计视图的动态生成,同时通过设计视图参与和掌控针对每一次应用的系统设计;控制器规范了系统的内外部接口与通信,应用到平台的映射等一系列规范,也控制模型的使用以及设计视图的生成。

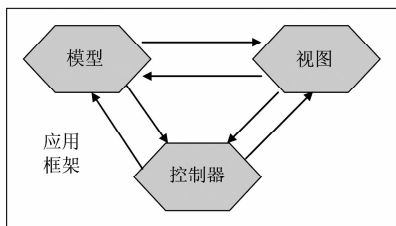


图 11 基于框架的统一设计的核心

基于上述统一设计的可配置系统能够覆盖更宽的频谱覆盖、适用多种类型与体制的电磁信号分选与识别,可以工作在测量、搜索与跟踪等多种工作模式下,使系统在保证处理性能同时,还具备了多功能一体化的特点^[31]。

5.3 未来可配置计算技术在 ATR 领域中可能的应用

目前公开文献的研究成果多数应用于以模式识别为基础的图像处理、计算机视觉等领域,以规则、具有高度数据并行的计算为主,研究重点将计算模块根据具体情况配置到合适的计算资源上,即使是粗粒度的,计算单元也非常小,通常是 Byte 级。对于非规则的、不具备数据级并行的可配置计算,目前研究成果还比较少。而事实上在 ATR 系统中上述两类计算都是大量存在的。

未来 ATR 系统还可以尝试在以下方向发挥可配置计算技术的潜力与优势。

- 具有混合结构的可配置 FPGA 阵列,可以在某些情况下取代通用的 DSP 信号处理器,作为超高速大带宽先进体制传感器的信息获取与实时处理机,这类阵列处理机更多地面向功能级的计算模块;
- 在各类多功能一体化目标识别系统设计中发挥作用,应用重点在于设计的灵活复用上;
- 解决空间 ATR 系统面临的特定问题,例如空间高能辐射造成的单粒子翻转[32]问题等。关于这一类应用,美国 Los Alamos 国家实验室开展了一系列研究,具体参见文献[33]。

6 小结

可配置计算技术作为一种新的计算模式,可以将计算任务在时空联合域上进行分配,为复杂密集的实时计算带来了进一步提升性能的机会,也为 ATR 系统提供了一种崭新的实现方式。由于 ATR 应用具有复杂多变的特点,并且对于开发周期的要求越来越高,在多种实现技术中,基于平台的可配置模式具有较为明显的优势。我们相信在解决了配置开销、设计复用等核心问题后,基于平台的可配置计算系统必将在 ATR 领域得到广泛应用,也期望本文能够为此起到抛砖引玉的作用。

参考文献

- [1] F. Yang and M. Paindavoine, "Implementation of an RBF neural network on embedded systems: real-time face tracking and identity verification," *IEEE Transactions on Neural Networks*, vol. 14, no. 5, pp. 1162-1175, 2003.
- [2] Kiran Bondalaoati & Viktor K. Prasanna, *Reconfigurable Computing Systems*[C], *Proceedings of The IEEE*, VOL. 90, NO. 7, JULY 2002, P1201-1216.
- [3] 古海云,可重构 SoC 设计技术研究[D],东南大学,2005.
- [4] 孙康,可重构计算相关技术研究[D],浙江大学,2007.
- [5] 任小西,基于可重构计算的高可靠星载计算机体系结构研究[D],湖南大学,2007.
- [6] 王峰,部分重构计算系统的关键技术研究[D],中国科技大学,2007.
- [7] 姜晶菲,可重构密码处理结构的研究与设计[D],国防科技大学,2004.
- [8] 周学海,罗赛,王峰,齐骥,一种数据驱动的可重构计算统一编程模型[J],*电子学报*,2007年11月,vol. 35, p2123-2128.
- [9] Hartej Singh, Ming-Hua LEE, Guangming Lu, Fadi J Kur-Dahi, Nader Bagherzadeh, Eliseu M. Chaves FilHo, MorphoSys: an integrated reconfigurable system for data-parallel and computation-intensive applications [J], *IEEE TRANSACTION on computers*, May 2000, Vol. 49, No. 5, p465-479.
- [10] Ethan Mirsky, A. DeHon, MATRIX: A Reconfigurable Computing Architecture with Configurable Instruction Distribution and Deplo-yable Resources[C], *IEEE Symposium on FPGAs for Custom Computing Machines*, April 17-19, 1996, Napa, CA.
- [11] Khaled Benkrid, High Performance Reconfigurable Computing: From Applications to Hardware[J], *IAENG International Journal of Computer Science*, from Elsevier, 2008.
- [12] Anthony L. Slade, Brent E. Nelson, Brad L. Hutchings, Recon-figurable Computing Application Frameworks[C], *Proceedings of the 11th Annual IEEE Symposium on Field-Programmable Custom Computing Machines (FC-CM'03)*,2003.
- [13] D. A. Buell, J. M. Arnold, W. J. Kleinfelder, , *Splash 2: FPGA's in a Custom Computing Machine*. Los Alamitos, CA: IEEE Computer Soc. Press, 1996.
- [14] Scott Hauck, A. Dehon, *Reconfigurable Computing: the theory and practice of FPGA-based computation* [M], from Elsevier, ISBN 978-0-12-370522-8,2008.
- [15] K. Bondalapati and V. K. Prasanna, *Reconfigurable com-*

- puting: Architectures, models and algorithms[J], Current Sci., vol. 78, no. 7, pp. 828-837, Apr. 2000.
- [16] Michael Rencher, Brad L. Hutchings, "Automated Target Recognition on splash2", from Elsevier, IEEE 1999.
- [17] William H. Mangione-Smith, Application Design for Configurable Computing[J], computer, October, 1997, p115-117.
- [18] Philip Garcia, Katherine Compton, Michael Schulte, Emily Blem, Wenyin Fu, An Overview of Reconfigurable Hardware in Embedded Systems[J], EURASIP Journal on Embedded Systems Volume 2006, P1-19.
- [19] Zain-ul-Abdin, Bertil Svensson, Evolution in architectures and programming methodologies of coarse-grained reconfigurable computing[J], Microprocessors and Microsystems 33 (2009), p161-178.
- [20] Virtex-4 Configuration Guide[EB/OL], http: www. xilinx. com, 2008.
- [21] Xilinx Corp, OPB HWICAP[EB/OL], DS280(V1.00.b), July 26, 2006.
- [22] 杨栋, 吴巨红, 陈曾平, 张银福, FPGA 中 slice 总线宏的设计实现与应用[J], 测控技术, 2009, Vol. 28.
- [22] Andr' e DeHon, Compute model and system architectures [EB/OL], from Elsevier, 2008.
- [24] Sam Fuller, 王勇等译, RapidIO 嵌入式系统互连接口[M], 电子工业出版社, 2006.
- [25] Maya Gokhale, The Outer Limits: Reconfigurable Computing in Space and In Orbit, from IEEE explore, 2006.
- [26] 赵永杰, 樊晓桢, 佟风辉, 一种可重构计算模式在自动目标识别中的应用研究[J], 计算机工程与应用, 2003, Vol31, P124-127.
- [27] Yitzhak Birk, Evgeny Fiksmen, Dynamic reconfiguration architectures for multi-context FPGAs[J], Computers and Electrical Engineering 2009, from Elsevier.
- [28] Martyn Edwards, Peter Green, Run-time support for dynamically reconfigurable computing systems[J], Journal of Systems Architecture 49 (2003) 267-281.
- [29] Javier Resano, Diederik Verkest, A hybrid design-time/run-time scheduling flow to minimise the reconfiguration overhead of FPGAs[J], Microprocessors and Microsystems 28 (2004) 291-301.
- [30] Bruce Powel Douglass 著, 麦中凡等译, 实时设计模式-实时系统的强壮的、可扩展的体系结构[M], 北京航空航天大学出版社, 2004, 5, ISBN7-81077-421-2.
- [31] Richard G. Wiley, 吕跃广等译, 电子情报(ELIENT)-雷达信号截获与分析[M], 电子工业出版社, 2008.
- [32] Xilinx Corp, Correcting Single-Event Upsets in Virtex-II Platform FPGA Configuration Memory[EB/OL], XAPP779 (v1.1) February 19, 2007.
- [33] Paul Graham, Michael Caffrey, Michael Wirthlin, D. Eric Johnson, Nathan Rollins, Reconfigurable Computing in Space: From Current Technology to Reconfigurable Systems-On-Chip, from IEEE explore, 2003.

作者简介



吴巨红(1968-),女,国防科技大学 ATR 国防科技重点实验室副教授,硕士生导师,研究方向为“复杂信号处理 SoC 体系结构”。

E-mail: wujuhong92 @sohu. com

陈曾平(1967-),男,国防科技大学 ATR 国防科技重点实验室教授,博士生导师,研究方向为“自动目标识别,电路与系统”。

张银福(1948-),男,国防科技大学教授,研究方向为“信号处理,计算机体系结构”。