

ADSL 中宽带 $\Sigma\Delta$ 调制器的系统设计

杨 骁^{1,2} 杨 静^{1,2} 凌朝东^{1,2} 黄炜炜^{1,2}

(1. 华侨大学信息科学与工程学院, 福建厦门, 361021; 2. 厦门市 ASIC 与系统重点实验室, 福建厦门, 361008)

摘 要: 非对称数字用户环路(ADSL)是一种宽带接入网技术, 对其调制解调器电路中模数转换器的带宽和精度要求较高。 $\Sigma\Delta$ 调制器具有高精度和低功耗的优点, 但是由于采用过采样技术, 其带宽较小。为了增加带宽适合宽带应用, 本文采用基于块数字滤波器的调制器结构设计了应用于 ADSL 的两通道二阶宽带 $\Sigma\Delta$ 调制器系统。该 $\Sigma\Delta$ 调制器在不提高系统时钟频率的条件下, 可使系统的有效采样频率增为原来的两倍, 从而使得其带宽增加 1 倍。采用带通噪声传递函数降低了由于通道系数失配而折叠到信号带宽内的噪声, 提高了调制器的信号噪声失真比。利用 SIMULINK 软件工具对电路非理想特性进行了建模和仿真, 仿真结果表明在系统时钟频率为 71.4MHz, 系数失配为 0.5% 的条件下, 调制器的带宽为 1.1MHz, 噪声失真比为 83.9dB, 满足 ADSL 的应用要求, 并且该调制器能够有效地抑制闲杂音, 不需要采用随机扰动信号来抑制调制器的闲杂音, 简化了后续的电路设计。

关键词: 块数字滤波器; $\Sigma\Delta$ 调制器; 折叠噪声

中图分类号: TN45 **文献标识码:** A **文章编号:** 1003-0530(2011)02-0309-05

System Design of Broadband $\Sigma\Delta$ Modulator for ADSL Applications

YANG Xiao^{1,2} YANG Jing^{1,2} LING Chao-dong^{1,2} HUANG Wei-wei^{1,2}

(1. College of Information Science and Engineering, Huaqiao University, Xiamen 361021, China;

2. Key Laboratory of ASIC and system of Xiamen, Xiamen, 361008, China)

Abstract: Asymmetric digital subscriber line (ADSL) is a broadband access network technology and needs broadband and high precision analog to digital convertors. $\Sigma\Delta$ modulator has the advantages of high resolution and low power, but its bandwidth is low because of adopting the oversampling technology. In order to increase the bandwidth for broadband applications, the system design of a broadband two-channel second-order $\Sigma\Delta$ modulator for ADSL applications is presented, which is based on the digital block filter theory. The effective sampling frequency of the modulator can be doubled with keeping the system clock frequency unchanging, which makes the bandwidth of the modulator double. To reduce the folded noise caused by mismatch between two channels, a band-pass filter is adopted. The system model with mismatch between two channels is built and simulated by SIMULINK. Simulation results show that the modulator achieves a signal to noise and distortion ratio of 83.9dB and a bandwidth of 1.1MHz with the system clock frequency of 71.4 MHz and mismatch of 0.5% between two channels. Furthermore, the modulator has the ability of idle tones suppression and does not need the dither signal generated by extra circuit to suppress the idle tones, reducing the complexity of the circuit.

Key words: Digital block filter; $\Sigma\Delta$ modulator; folded noise

1 引言

$\Sigma\Delta$ ADC 采用过采样和噪声整形技术,能够实现高精度的模数转换,已经广泛地应用在仪器仪表、数字音频处理等高精度、低带宽的应用中^[1,2]。近几年来,由于无线移动通信设备的高速发展和宽带 Internet 接入的发展,对 $\Sigma\Delta$ ADC 的带宽要求越来越高^[3-6]。如 DECT

(Digital Enhanced Cordless Telecommunications) 系统要求其 ADC 的带宽要达到 700KHz,精度为 12 bits; WCDMA (Wideband Code Division Multiple Access) 系统要求其 ADC 的带宽要达到 1.92MHz,精度为 11 bits。非对称数字用户环路(ADSL)是一种宽带接入网技术,目前占用户接入网的主导地位。ADSL 调制解调器电路中的模数转换器的带宽要达到 1.1MHz,精度

收稿日期: 2010 年 8 月 24 日; 修回日期: 2010 年 12 月 21 日

基金项目: 福建省自然科学基金(2010J05135); 华侨大学高层次人才研究基金(09BS616)

为 13 bits。对于 $\Sigma\Delta$ ADC, 调制器是其关键部分, 其性能决定了整个 ADC 的性能。由于 $\Sigma\Delta$ 调制器的过采样特征和现有的 CMOS 集成电路工艺水平限制了运算放大器的高频性能, 给宽带 $\Sigma\Delta$ 调制器设计带来巨大的挑战。

根据 $\Sigma\Delta$ 调制器理论, 调制器的带宽 $f_b = F_{s,e}/M$, 其中 $F_{s,e}$ 为调制器有效采样频率, M 为过采样率。要提高调制器的带宽有两种途径: 一是降低过采样率 M , 而采样低过采样率会大大降低调制器所能得到信号噪声失真比 (SNDR), 即有效精度; 二是提高调制器的有效采样频率 $F_{s,e}$, 而现有的 CMOS 集成电路工艺水平限制了采样频率直接提高。本文采用间接的方法来提高调制器的有效采样频率, 在不提高系统的时钟频率的条件下, 使其有效采样频率提高 2 倍。采用该方法, 设计了满足 ADSL 系统要求的 $\Sigma\Delta$ 调制器系统, 并采用 Simulink 进行了建模和仿真。

2 块数字滤波器基本原理

块数字滤波器是一个基本的多抽样率系统。对于两通道的块数字滤波器, 它首先利用 2-抽取器使得每个通道的工作频率降低为原来的 1/2, 然后采用 2-插值器对每个通道分别采样重建信号。图 1 为一个单输入输出系统 $H(z)$ 的两通道块数字滤波器结构, 其中有 $z = \bar{z}^2$, $P(z_1)$ 为 2×2 的伪循环矩阵, 其格式如 (1) 式所示^[7,8]:

$$\mathbf{P}(z_1) = \begin{bmatrix} P_{00}(z_1) & P_{01}(z_1) \\ P_{01}(z_1)z_1^{-1} & P_{00}(z_1) \end{bmatrix} \quad (1)$$

其中 $P_{00}(z_1)$ 和 $P_{01}(z_1)$ 均为 $H(z)$ 的类型 I 的两元素的多相分解。

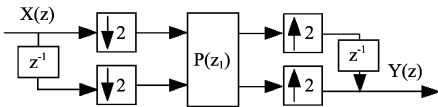


图1 两通道块数字滤波器结构

若令传递函数 $H(z)$ 为:

$$H(z) = \frac{z^{-2} + k z^{-1}}{(1 - \bar{z}^{-1})(1 + \bar{z}^{-1})} \quad (2)$$

则可以得到其类型 I 的两元素的多相分解:

$$P_{H_{00}}(z) = \frac{\bar{z}^2}{1 - \bar{z}^2}, \quad P_{H_{01}}(z) = \frac{k}{1 - \bar{z}^2} \quad (3)$$

其伪循环矩阵 $\mathbf{P}(z_1)$ 为:

$$\mathbf{P}_H(z_1) = \begin{bmatrix} \bar{z}_1^{-1} & k & 1 \\ k \bar{z}_1^{-1} & \bar{z}_1^{-1} & 1 - \bar{z}_1^{-1} \end{bmatrix} \quad (4)$$

根据 (4) 式, 可以得到 (2) 式传递函数的两通道块数字滤波器结构如图 2 所示。

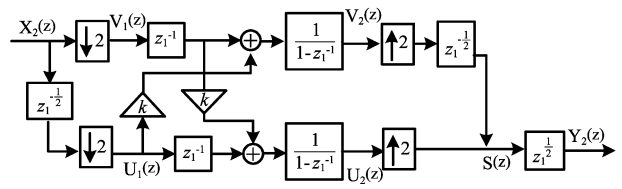


图2 (2)式传递函数的两通道块数字滤波器表示

两通道块数字滤波器结构中存在抽样率变化(2-抽样和 2-内插), 抽取会产生信号混叠而内插会产生镜像频谱。当矩阵 $\mathbf{P}_H(z_1)$ 满足 (4) 式时, 可以使滤波器内部的混叠信号成分抵消掉了, 整个块数字滤波器的输出信号表现出无信号频谱的混叠。但是, 当采用模拟电路来实现块数字滤波器时, 由于模拟电路中存在的电容误差、MOS 开关管的沟道电荷注入、运放的增益和带宽的不会精确相等非理想特性, 使对于同样的输入信号时两个通道输出信号不会相等。这些由于模拟电路的非理想特性引起的两个通道中输出信号之间存在的差别可以等效为两个通道中增益系数不同而产生的误差。本文中把这种两个通道中的增益系数不相等称为两个通道之间存在系数失配。系数失配会使块数字滤波器的输出信号中存在信号混叠, 若输入信号 $X(z)$ 的频谱如图 3 实线所示, 则其输出信号中含有 $X(-z)$ 成分, $X(-z)$ 的频谱如图中虚线所示, 整个块数字滤波器的输出信号将存在信号频谱的混叠^[9,10]。基于块数字滤波器的两通道 $\Sigma\Delta$ 调制器在采用模拟电路实现时, 由于系数失配, 同样会产生信号频率混叠现象。传统噪声传递函数 (NTF) 是一个高通滤波器, 其幅频特性如图 4 (a) 所示。若发生混叠, 则频带 $((f_s/2 - f_b) \sim f_s/2)$ 内的噪声会折叠到信号带宽内, 降低了调制的信噪失真比 (SNDR)。若把 NTF 设计成如图 4 (b) 所示的带通滤波器, 减小其频带 $((f_s/2 - f_b) \sim f_s/2)$ 内的幅值, 则折叠到频带量化噪声就会减小, 从而提高了调制器的 SNDR。

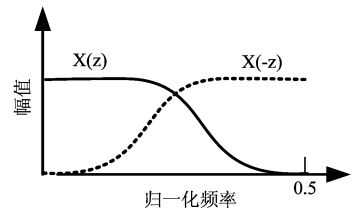


图3 两通道块数字滤波器中信号混叠示意图

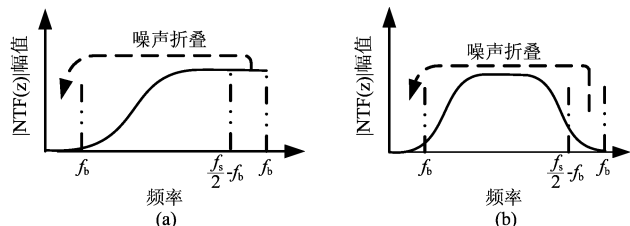


图4 基于块数字滤波器的两通道调制器中信号混叠示意图

3 系统设计与建模

本文的目标是设计一个应用于 ADSL 系统中的宽带 $\Sigma\Delta$ 调制器,其指标为带宽为 1.1MHz,精度大于 13bits,即要求 SNDR 大于 80dB。调制器原型采用典型的 Boser-Wooley 结构,它是一种单通道结构,如图 5 所示,其中量化器为 2.3 位(5 个量化级数),其 NTF 为:

$$NTF(z) = (1 - z^{-1})^2 \tag{5}$$

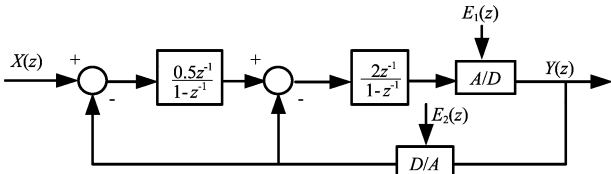


图 5 传统 Boser-Wooley 二阶 $\Sigma\Delta$ 调制器

本文采用带通 NTF 去减小系数失配引起的折叠噪声,设计一个带通 NTF,其表达式为:

$$NTF(z) = \frac{(z-1)(z-1)^2}{z^2(z-0.6)} \tag{6}$$

图 6 为传统 NTF((5)式)和本文采用的带通 NTF((6)式)的幅频特性。从图可以看出,在低频处,本文设计的 NTF 对噪声的抑制略差,但是其高频处其幅值远小于传统的高通 NTF。

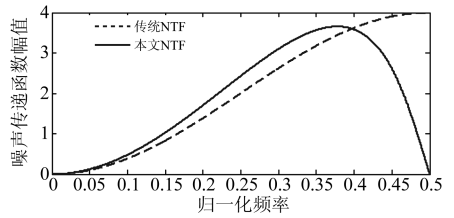


图 6 两种 NTF 幅频特性

把设计好的 NTF 对应到如图 5 所示的原型中,得到如图 7 所示的 NTF 为带通的单通道调制器结构。再分别对其中的两个传递函数采用如图 2 所示的两通道块数字滤波器结构替代(即图 2 中 k 分别为 1 和 0.86),并在 SIMULINK 中对其进行建模,得到如图 8 所示的两通道块数字滤波器的 $\Sigma\Delta$ 调制器系统模型。在该模型中,2-倍的抽取和内插采用 Simulink 中 Signal Processing Blockset 的 Downsample 和 Upsample 控件,其中 Sample-offset 属性设置如图 8 中所示。

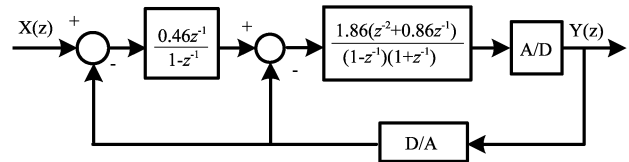


图 7 单通道 $\Sigma\Delta$ 调制器结构图

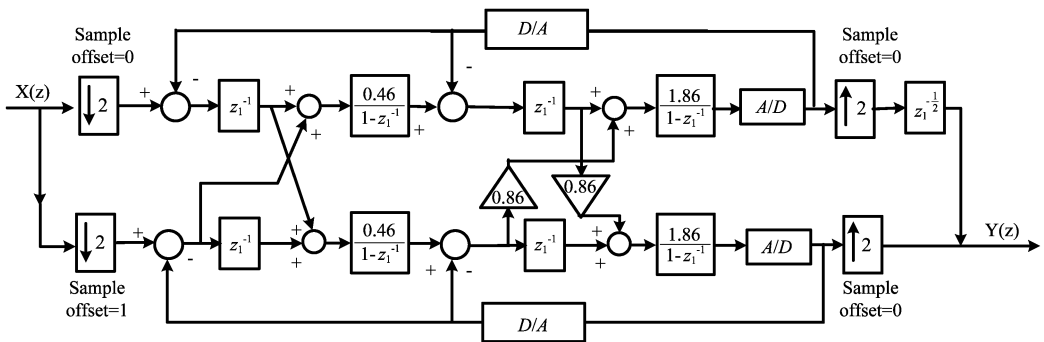


图 8 本文 $\Sigma\Delta$ 调制器系统模型

4 系统仿真结果

首先对本论文设计的二阶调制器与图 5 中传统 Boser-Wooley 二阶调制器的性能进行比较。令传统调制器的采样频率为 71.4MHz,图 8 中本文调制器模型中每个通道的采样频率也为 71.4MHz(其有效采样频率为 142.8MHz)。调制器的输入信号均为频率为 213.538KHz,幅值为 -4 dB 满刻度的正弦信号。在作频谱分析时,采用了 32768 个调制器输出采样数据。在理想情况下(本文调制器不存在系数失配)时,本文调制器和传统调制器输出信号的功率谱如图 9 所示。

在满足 ADSL 系统 1.1MHz 的带宽要求的条件下,传统调制器的 SNDR 为 72.6dB,本文调制器的 SNDR 为 86.2dB。这表明与传统调制器相比,本文调制器在不提高调制器系统工作频率的条件下其 SNDR 提高了 13.6dB。

在采用电路来实现时,由于模拟电路的非理想特性,调制器中两个通道之间的系数不可避免地存在失配。若令两通道之间的系数失配的大小为 e,两个通道中的某一个通道的系数采用其标称值 a_1 ,则另一个通道的系数为 $a_1(1+e)$ 。在这里我们只考虑积分器增益失配和 D/A 反馈回路之间的失配。为了说明采用带通

NTF 能够抑制系数失配引起的折叠噪声,采用同样的方法把(5)式所示的传统高通 NTF 对应到本文调制器结构进行建模仿真。两种不同 NTF 的调制器在理想情况(不存在系数失配)和存在系数失配($e = 0.5\%$)的输出信号的功率谱如图 10 所示。从图可以看出,采用传统高通 NTF 的两通道调制器对系数失配非常敏感,其 SNDR 从理想条件下的 87.9 dB 降到了 67.8 dB,降低了 20.1 dB;而采用带通 NTF 的本文调制器其 SNDR 在理想条件下为 86.2 dB,存在 0.5% 的系数失配时 SNDR 为 83.9 dB,仅仅只下降了 2.3 dB。显然,本文调制器对两通道之间的系数失配不敏感。

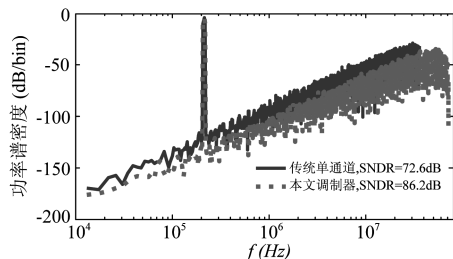


图9 理想条件下,两种调制器的输出功率谱

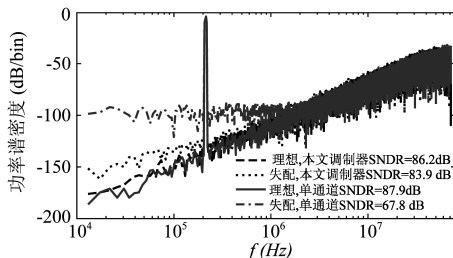


图10 系数失配为 0.5% 时,采用两种不同 NTF 的两通道调制器输出功率谱

当输入信号为 DC 信号或幅值较小的交流信号时, $\Sigma\Delta$ 调制器特别是低阶调制器,存在较严重低频闲杂音(idle tones),严重影响了调制器的性能[2]。本文设计的调制器除了对系数失配不敏感,它还具有另外一个优点,即可以抑制闲杂音的产生。一般而言电路的非理想特性是不希望,但是在本文调制器中,系数失配却能够有效地抑制闲杂音的产生。输入信号幅值为 1/512 满刻度的 DC 信号时,传统单通道调制器输出信号的功率谱如图 11(a)所示,从图可以看出,其频谱中存在严重的闲杂音。当系数失配 $e = 0.5\%$,输入信号幅值为 1/512 满刻度的 DC 信号时,本文调制器输出信号的功率谱如图 11(b)所示,其频

谱中并没有明显的闲杂音。所以本文调制器不需要采用随机扰动信号(dither)来抑制调制器的闲杂音,不但避免了由于加入 dither 信号而降低了调制器 SNDR 的问题,而且节省了产生 dither 信号的附加电路。

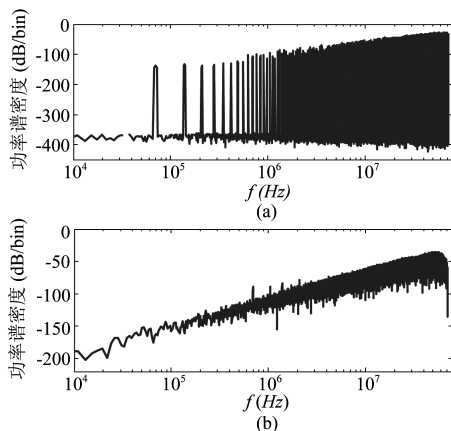


图11 输入信号为 1/512 满刻度的 DC 信号时,调制器输出功率谱:
(a)传统调制器 (b)本文调制器

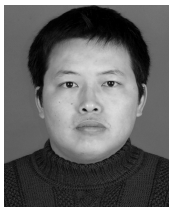
5 总结

本文采用基于块数字滤波器的 $\Sigma\Delta$ 调制器结构设计了应用于 ADSL 中的宽带 $\Sigma\Delta$ 调制器系统。仿真结果表明,在系统时钟频率为 71.4 MHz 时,采用传统 Boser-Wooley 结构设计宽带为 1.1 MHz 调制器时,其 SNDR 只有 72.6 dB,不能满足 ADSL 系统 13 bits 精度的要求,需要通过增加调制器阶数或提高系统时钟频率来提高调制器的精度。而本文设计的调制器在系统时钟同样为 71.4 MHz,并且考虑电路设计时的非理想特性条件下(0.5% 的系数失配),能够达到 1.1 MHz 的带宽,83.9 dB 的 SNDR,完全满足 ADSL 中对调制器性能指标,并有一定的余量。本文采用基于块数字滤波器的两通道时间交织调制器结构,在与传统单通道结构实现相同带宽和精度的情况下,该结构对调制器电路的速度要求降低了一倍,从而降低了电路的设计难度;另外,目前已有的 CMOS 工艺中晶体管和电容的相对匹配精度已经能够达到 0.1% 左右,所以在实际电路实现时采用良好的电路匹配和版图匹配的设计方法,可以把两个通道的失配控制在 0.5% 的范围之内,满足仿真时给出的 0.5% 的系数失配假设。

参考文献

- [1] Northworthy S R, Schreier R, Temes G C. Delta-Sigma Data Converters Theory, Design, and Simulation [M]. New York: IEEE Press, 1996.
- [2] Schreier R, Temes G C. Understanding Delta-Sigma Data Converters [M]. New York: IEEE Press, 2005.
- [3] Chen J, Ren J, Xu J, et al. 80 dB dynamic range sigma-delta modulator for a GSM system[J]. Pan Tao Ti Hsueh Pao/Chinese Journal of Semiconductors, 2007, 28 (2): 294-301.
- [4] Morgado A, delRio R, delaRosa J M, Castro-Lopez R, Perez-Verdu B, A O. 13 μm CMOS adaptive sigma-delta modulator for triple-mode GSM/Bluetooth/UMTS applications[J]. Microelectronics Journal, 2010, 41 (5): 277-290.
- [5] Maghami M H, Yavari M. Multirate double-sampling hybrid CT/DT sigma-delta modulators for wideband applications[C]//2009 IEEE International Symposium on Circuits and Systems, Taipei, Taiwan, 24-27 May 2009: 2253-2256.
- [6] Lee K, Miller M R, Temes G C. An 8.1 mW, 82 dB Delta-Sigma ADC with 1.9 MHz BW and -98 dB THD[J]. IEEE Journal of Solid-State Circuit, 2009, 44(8):2202-2211.
- [7] Vaidyanathan P P. Multirate Systems and Filter Banks [M]. New Jersey: Prentice-Hall, 1993.
- [8] Vaidyanathan P P. Multirate digital filters, filter banks, polyphase networks, and applications: a tutorial[J]. Proceedings of the IEEE, 1990, 78 (1): 56-93.
- [9] 陶然, 张惠云, 王越. 多抽样率数字信号处理理论及其应用[M]. 北京: 清华大学出版社, 2007.
- Tao R, Zhang H Y, Wang Y. Theory and Application of Multirate Digital Signal Processing [M]. Beijing: Tsinghua University Press, 2007.
- [10] Khoini-Poorfard R, Johns D A. Mismatch effects in time-interleaved oversampling converters [C]//IEEE Int Symp Circuits Syst, London, 1994: 5429-5432.

作者简介



杨 骁(1978-),男,博士,华侨大学信息科学与工程学院讲师,主要研究方向为模拟集成电路设计、射频集成电路设计、信号处理。

E-mail: xiaoyanghqu @ hqu. edu. cn

杨 静(1983-),女,华侨大学信息科学与工程学院硕士研究生,研究方向为模拟集成电路设计。

凌朝东(1964-),男,硕士,华侨大学信息科学与工程学院副教授,主要研究方向为混合信号集成电路设计、生物医学电子学、信号处理。

黄炜炜(1982-),男,硕士,华侨大学信息科学与工程学院助教,研究方向为模拟集成电路设计。