

# 基于 FPGA 的战术数据链中继传输复接技术

杨保平<sup>1,2</sup>, 陈永光<sup>1,2</sup>, 陈 军<sup>3</sup>, 徐忠富<sup>3</sup>

(1. 装备指挥技术学院, 北京 101416; 2. 军械工程学院, 河北 石家庄 050003;  
3. 中国人民解放军 63880 部队, 河南 洛阳 471003)

**摘要:** 有效传输和分发遥控遥测、定位/导航、战场情报等信息对保障己方战术信息共享具有重要意义。为了节省信道资源,降低调制解调设备的复杂度,战术数据链数据中继传输复接系统在信息化战争中得到了广泛应用。针对机载设备体积小、重量轻、功耗低、信息传输效率高等要求,提出了一种基于现场可编程门阵列(field-programmable gate array, FPGA)的实现空中战术数据链中继传输数据复接的新方法。该方法在单片 FPGA 芯片的基础上,采用优化的硬件编程算法和结构,占用较少芯片资源;采用完全流水线的并行设计,满足高速战术信息实时处理的要求;FPGA 内部采用模块化设计,具备开放性和灵活性,便于系统可重配置和升级;实例仿真验证表明,该模块能够有效地实现不同速率多种战术数据链中继传输的数据复接。

**关键词:** 软件无线电; 数据复接; 现场可编程门阵列; 战术数据链

**中图分类号:** TN 919

**文献标志码:** A

**DOI:** 10.3969/j.issn.1001-506X.2010.12.28

## Research on FPGA-based data multiplexing technology for TDLs relay transmission

YANG Bao-ping<sup>1,2</sup>, CHEN Yong-guang<sup>1,2</sup>, CHEN Jun<sup>3</sup>, XU Zhong-fu<sup>3</sup>

(1. *The Academy of Equipment Command & Technology, Beijing 101416, China;*  
2. *Ordnance Engineering Coll., Shijiazhuang 050003, China;*  
3. *Unit 63880 of the PLA, Luoyang 471003, China*)

**Abstract:** Effective transmission and distribution of tactical information with reference to remote control and telemetry, orientation/navigation, and battlefield intelligence are crucial to sharing tactical information. The tactical data links relaying and multiplexing system is applied widely in information warfare to save channel resource and reduce the complexity of modulation and demodulation. In correspondence with the requirements that airborne equipment should be small, light, and low power consumption while is capable of transmitting information effectively, this paper presents a new method for FPGA based data multiplexing relay transmission of air tactical data links. The hardware programming algorithm and architecture are optimized upon a single FPGA chip, taking up fewer chip resources; the pipelining is designed to be fully parallel to fulfill the requirements of high-speed real time processing of tactical information; the design inside FPGA is modularized being open and flexible for the system to be reconfigured and upgraded easily. The simulation demonstrates that the module can integrate tactical data streams with various types and rates into one high-speed data stream effectively.

**Keywords:** software defined radio; data multiplexing; field-programmable gate array (FPGA); tactical data link (TDL)

## 0 引言

信息化战争中空中信息平台、空中武器装备平台正向着多任务平台方向发展。战术数据链是支持“网络中心战”的关键技术<sup>[1]</sup>。战术数据链数据复接系统能将多路不同类

型、不同速率的数据流经过组帧,复接成一路高速数据流。通过信道传输,在接收端经过解帧,分接出发端对应的数据流,以实现多任务双向通信。战术数据链数据复接系统能够有效解决在传输多种战术数据时需要接收、发送设备量大、天线多和因此带来的系统电磁兼容问题。复接系统在

收稿日期:2009-12-09; 修回日期:2010-05-10。

基金项目:总装备部试验技术研究重大课题资助课题

作者简介:杨保平(1970-),男,高级工程师,博士研究生,主要研究方向为通信与信息系统、通信对抗。E-mail: ybp\_2000@sina.com

完成中继任务时,能够提高战术信息传输效率,保证战术信息的实时或近实时性<sup>[2]</sup>。同时完成各种业务综合,便于通信协议的标准化。系统数据复接技术也是数据处理的新兴技术——数据融合技术中的关键技术之一<sup>[3-4]</sup>。数据复接连接各类信息平台相互补充,担负电子战和战区通信中继任务,能为大区域作战提供实时、无缝、安全、可靠的网络支持,是未来“网络中心战”的必要准备<sup>[5]</sup>。

迄今为止国内外数据复接技术在民用领域展开了广泛的研究,主要集中在有线传输中,复接方法多种多样<sup>[6-8]</sup>。也有数据分接复接的目的在于提高传输速度,实现数字流的超高速传输<sup>[9-11]</sup>。复接设备普遍存在体积不能满足集成在一个芯片上,设备功耗大,抗干扰、截获能力弱、信息传输量小等问题。复接信号类型一般为语音或等速率的同类型低速率数字信号<sup>[6-15]</sup>。文献<sup>[16]</sup>研究了不同速率图像、语音和人工指令数据的基于 FPGA 数字异步复接分接技术。

本文中战术数据链数据复接系统的设计运用软件无线电的设计思想<sup>[17]</sup>,利用电子设计自动化(electronic design automation, EDA)和可编程单芯片系统(a system on a programmable chip, SOPC)技术基于 FPGA 设计并仿真实现了数据复接,有效地将不同速率的指挥指令、遥控遥测、语音等多种战术数据与视频图像数据复接,并对复接后数据进行加扰、交织后,采用卷积编码和维特比译码技术,提高战术数据的抗干扰性。传输的视频图像数据速率和帧率通过单片机与上位机经串口进行控制,组成复帧后数据速率可分档控制,具备一定的传输灵活性。

### 1 数据复接分接原理分析

为了深入研究战术数据链数据复接技术,本文设计并实现了一种将高速视频图像数据与低速语音或遥测数据复接融合传输系统。

#### 1.1 数据复接帧结构分析

数据复接前视频图像的传输格式如图 1 所示。BCK 为位时钟,频率恒定为  $f_{max}$ 。FS 为帧同步时钟,  $M$  个通道为一帧,  $T$  个时钟周期为一个通道。以 BCK 下降沿为准采数据和 FS,采到 FS 为低表示新的一帧开始。

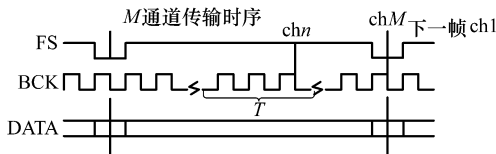


图 1 复接前视频图像数据传输时序图

复接系统提供给视频图像系统的信号有 FS 和 BCK, FS 的频率为

$$f_{FS} = \frac{f_{max}}{M \times T} \quad (1)$$

复接前,视频图像数据的帧率为  $f_{FS}$  Hz,帧间距即为  $1/f_{FS}$  s。设传输低速率的战术数据的速率为  $f_L$  bps,单复合帧中始终包含固定整数  $k$  bits 的战术数据信息。 $k$  为一个通道内  $T$  时钟个数的整数倍。因此一次复接可处理的视频图像单帧数量为

$$N = \frac{k \times f_{FS}}{f_L} \quad (2)$$

复合帧的帧率为

$$f_M = \frac{f_{FS}}{N} \quad (3)$$

战术数据链数据复接单帧结构如图 2 所示。复接单帧中帧头、数据率分类和帧尾保护的比特数固定不变。

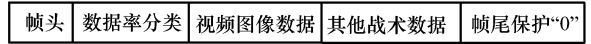


图 2 战术数据链数据复接单帧结构图

复接后的帧率为  $f_M$ ,由于传输数据速率在变化,不同数据速率时复合帧的比特数不一样,对应各类战术数据在复帧中的比特数变化(因为复帧中帧头、数据分类比特和帧尾保护的比特数固定不变)。一个复接帧的通道数为  $M \times N$  个,在卷积编码之后,数据速率由复接后复接的战术数据占用的通道数决定,当  $M \times N$  个通道全占时,表示  $f_{max}$  bps 的数据传输速率,当  $M \times N$  通道只占  $M \times N/2$  通道时,表示  $f_{max}/2$  bps 的传输速率,依次类推复接数据速率可根据需要分为若干档。

对于复合帧进行理论的分析只是有助于理解数据的帧格式和传输的机理,接收端根据通信协议既可对多种速率战术数据进行分接隔离。因此采用该方法并不增加设备的复杂度。

#### 1.2 复接实现技术分析

战术数据链数据复接系统采用 FPGA 内部先进先出的数据缓存器(first in first out, FIFO)来完成,编程采用超高速集成电路硬件描述语言(very high speed integrated hardware description language, VHDL)。复合帧数据速率为 32 kbps、512 kbps、1 024 kbps 三档。BCK 为位时钟,恒定 2.048 MHz。FS 为帧同步时钟,128 个通道为一帧,8 个时钟周期为一个通道。低速遥测、语音数据率为 12.8 kbps。帧头设定为 32 bits、遥测或语音等数据固定为 32 bits、数据率分类和帧尾为 8 bits。复合数据复接组帧部分 FPGA 具体实现如图 3 所示。

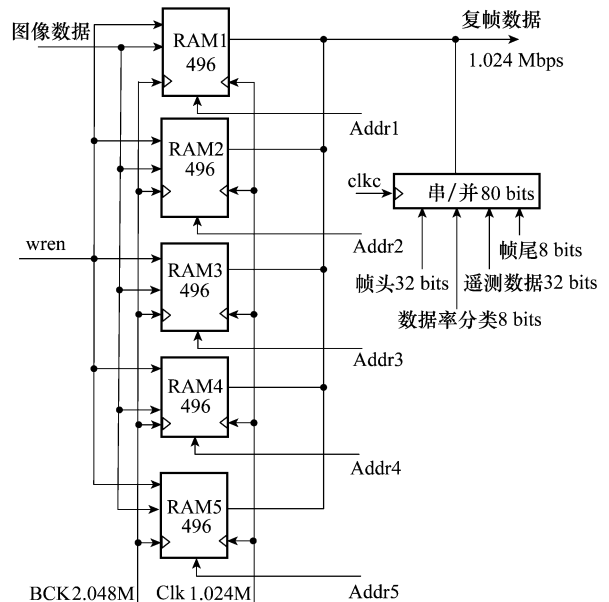


图 3 组帧部分 FPGA 具体实现图

复接前 FS 为 2 kHz。由于遥测、语音数据率为 12.8 kbps, 组帧后一帧中要求有整数比特的遥测数据, 这里为 32 bits, 根据式(2)计算可知复合帧中要包含 5 个图像帧, 才能使满足要求。根据式(3)计算出最大复合帧率为 400 Hz。

复接后一个复合帧中始终包含固定的遥测信息, 由于传输数据速率在变化, 不同数据速率时复合帧的比特数不一样, 对应视频图像数据比特在复帧中的比特数随之变化(因为复帧中帧头、数据分类和遥测数据以及保护比特数固定不变)。下面对三种速率加以说明:

(1) 复合帧为 32 kbps 数据速率时: 复合帧的帧率为 400 Hz, 则要求一帧的比特数为 80 bits。此时复合帧中不传输视频图像信号。

(2) 复合帧为 512 kbps 数据速率时: 要求一帧的比特数为 1 280 bits。除去帧头、数据率分类和帧尾和固定的遥测或语音等数据共 80 bits, 图像数据为 1 200 bits, 因此每帧占 30 个通道。对应视频图像的数据速率为

$$512 \text{ kbps} - 32 \text{ kbps} = 480 \text{ kbps} \quad (4)$$

(3) 复合帧为 1 024 kbps 数据速率时: 要求一帧的比特数为 2 560 bits。同以上分析, 视频图像数据为 2 480 bits, 因此每帧占 62 个通道。对应视频图像的数据速率为

$$1 024 \text{ kbps} - 32 \text{ kbps} = 992 \text{ kbps} \quad (5)$$

设计中使用了 FPGA 的查表技术。采用该技术就是把各项控制、地址、时钟等时序信号写入 FPGA 内部只读存储器(read only memory, ROM)中, 用一个高精度时钟在需要时读出从而产生这些信号。产生的信号同步性好, 减少内部总线传输产生的时延引发的时序竞争冒险现象。在 FPGA 内部随机存储器(random access memory, RAM)资源充足的情况下, 该项技术可以灵活产生这些时序信号, 使复杂设计大大简化, 电路易于调试, 容易查找设计不当的地方。但这种设计方法存在大量消耗 RAM 资源的缺点。然而随着技术的发展, 高性能 FPGA 芯片价格迅速降低, 今后 FPGA 内部 RAM 资源丰富, 不再成为设计的瓶颈<sup>[18]</sup>。因此这个缺点已经不是主要矛盾, 不足以影响总体设计。

交织编码是利用 FPGA 片内 RAM 进行。顺序横向写入, 纵向读出, 完成交织编解码。加扰码可以解决数据传输中长时间连“0”或连“1”, 不过零点, 难以从数据流中提取定时信号的问题, 同时也对传送的数据起到加密的作用。扰码还可以分散峰值平均功率, 减轻对后级射频部分电路功放部分的要求。

数据复接系统面临数据滑动或溢出的问题, 解决这个问题需要在复接前对需要各路不同类型的数据进行码速率调整, 同时保证定时和时钟同步精度。缓冲区的容量不可能很大, 解决数字信号滑动问题的关键是不能在 FIFO 写满时读出, 读出速率不能小于写入数据速率。可根据需要适时加入空节拍, 以调整写入、读出速率, 防止信息的丢失或溢出。在传输协议中, 可以加入特定的数据位来指示数据传输的状态信息。分接时接收系统可根据这些状态信息的指示来调整, 调整分接速率和插入空闲节拍, 和复接端保持一致, 保证图像多种媒体数据的正确复接传输。

## 2 基于 FPGA 的数据复接系统设计方案

### 2.1 数据复接系统设计

复接系统主要由 FPGA、数字信号处理器(digital signal processor, DSP)、单片机、模数转换器(analog to digital converter, ADC)采样和调制器等几部分组成, 采用 VHDL、C 语言、汇编语言开发设计。整个系统集成在一块印制板上, 能够满足升空平台对设备体积、重量和功耗的要求。系统组成如图 4 所示。

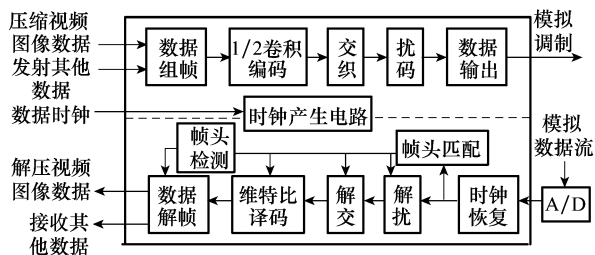


图 4 战术数据链数据复接系统

单片机主要用于复接系统的管理, 完成的功能主要有

(1) 根据控制信息, 通过串口进行参数设置, 同时通过 IO 口通知 FPGA 进行数据速率的切换。

(2) 对 FPGA 和 DSP 进行复位操作, 通过 DSP 的主机接口(host port interface, HPI)对 DSP 进行程序的下载。

FPGA 与 DSP 共同完成的工作有, 数据组帧; 信道编解码、扰码; 时钟的提取与再生; 频移键控(frequency shift keying, FSK)信号的中频解调。

采用 FPGA 与 DSP 设计, 系统具备开放性, 可以通过加载软件, 在不改变硬件的条件下能够很方便的增加新的功能模块。采用模块化设计使开发过程简化, 便于系统的调试, 提高研究的效率。系统的升级只需要对软件进行更新。

### 2.2 系统硬件实现方案

第一帧图像数据传过来时, 将 BCK 时钟反相, 这样利用 BCK 时钟反相上升沿读取数据时刻正好处于比特位中间, 可以使读取的数据准确可靠。使用 ROM 表产生各种时序信号, 如 wren 控制信号, Addr1~Addr5 地址信号以及 clkc 控制时钟等信号。开辟 5 个 496 × 1 位 RAM1~RAM5。利用 BCK 时钟反相上升沿将视频图像数据前 62 通道的数据以 2 048 kbps 速率写入 RAM。同时将 32 bits 帧头、32 bits 遥测或语音等数据、8 bits 数据率分类准备好并写入 FIFO。后半帧的时间, 开始将第一帧的视频图像数据以 1.024 MHz 速率写入 FIFO。第 2 帧到来时, 前 62 通道将视频图像数据写入 RAM2, 等第一帧的视频图像数据写完后将 RAM2 中的第 2 帧视频图像数据追加到 FIFO 中。如此循环, 在一个复合帧时间内可将全部复帧数据存入 FIFO 中, 注意写入 FIFO 结束时, 接着将帧尾 8 bits“0”写入 FIFO 组帧完毕。

FIFO 的读出可在第 3 帧时间时开始, 可保证复帧的连续输出且无数据丢失, 有效地解决了数据滑动溢出的问题, 保证视频图像数据可靠传输。在复帧中的视频图像数据包

含的有效数据长度可实现复合战术数据不同传输速率。

整个过程中,各种时序信号相互配合工作,在控制、地址以及时钟信号的共同作用下,完成正确组帧、编译码以及传输的过程。

### 3 仿真实现与结果分析

根据以上分析,基于 FPGA 的战术数据链数据复接模块程序在 QUARTUSII 环境下运行进行仿真。对于 32 kbps、512 kbps、1 024 kbps 三种传输速率做了仿真,均能够准确地将不同传输速率战术数据进行复接传输。由于篇幅所限,只对 1 024 kbps 传输速率仿真结果进行分析。图 5 为 1 024K 视频图像数据组帧后的 FPGA 时序仿真图。



图 5 组帧部分 FPGA 计算机仿真图

图 5 中 din32 是 32 bits 的遥测、语音等类型战术数据,本次仿真过程接收的是全“0”。clk\_en 为控制时钟信号,以一定的时序控制时钟信号,产生需要的时序信号。inclock 是 FPGA 内部总时钟信号,负责读取 ROM 内各时序信号。load 是内部控制信号,表示复合帧组帧的开始。sel 表示传输速率选择,选取 3 个不同值分别代表 3 种数据传输速率。

信号 q0~q4 为接收的第 1 帧~第 5 帧视频图像数据。q5 为 32 bits 帧头数据,设定为 2 个十六进制的 EB90,图中可以明显看出。遥测或语音数据经过卷积编码后依然是全“0”。卷积编码方式采用(2,1,7)、(133,171)码。Z 是经过卷积编码后复合帧输出的 2.048 MHz 数据流。译码方式采用维特比译码,考虑到维特比译码的运算比较复杂,存在着大量的重复运算,因此采用 DSP 芯片进行。由于数据太多,图 5 只对复合帧前部进行显示,从复合帧帧头数据显示到复合视频图像数据的第一单帧前部数据。Z 中的第一帧数据就是接收的图像帧的第一帧数据复合后经过卷积编码的数据。经过程序仿真后,不同战术数据成功组帧并能够按照选定速率进行传输。

### 4 结论

本文对基于 FPGA 的战术数据链数据复接技术进行了研究,并结合典型实例进行了设计和仿真。仿真结果验证了该项技术能够有效地融合和传输各种类型的战术数据。复接和分接战术数据时不用考虑战术数据链的封装形式,具有模块化设计、开放性、灵活性、体积重量小、功耗低等突出优点。节省了信道资源,提高了信息传输效率,采用卷积编码和维特比译码等信道编译码技术并使中继传输系统获得较强的抗干扰能力。该项技术的推广还需要通信协议的支持,

因此通信协议的研究是进一步完善该项技术的努力方向。

### 参考文献:

- [1] 孙义明,杨丽萍. 信息化战争中的战术数据链[M]. 北京:邮电大学出版社,2005:1-5.
- [2] 韩松,张晓林,占巍,等. 基于空中指控节点的信息分发模型及时延分析[J]. 系统工程与电子技术,2009,31(11):2677-2681. (Han Song, Zhang Xiaolin, Zhan Wei, et al. Information delivery model and delay analysis based on aerial command post[J]. *Systems Engineering and Electronics*, 2009,31(11):2677-2681.)
- [3] Nachouki G, Quafafou M. Multi-data source fusion[J]. *Information Fusion*, 2008,9(4):523-537.
- [4] 滕克难,董云龙,盛安冬. 多传感器异步融合技术研究[J]. 系统工程与电子技术,2010,32(2):221-225. (Teng Kenan, Dong Yunlong, Sheng Andong. Study on multisensor asynchronous data fusion [J]. *Systems Engineering and Electronics*, 2010,32(2):221-225.)
- [5] 张晓光. 美国航天侦察中信息获取及传输[C]//中国电子学会电子对抗分会航天电子对抗专业委员会第二届学术年会论文集,2008:284-286.
- [6] Abdullah M K, Mahdiraji G A, Elhag M F. A new duty cycle based digital multiplexing technique[C] // *IEEE International Conference on Telecommunications*, 2007:526-530.
- [7] 李廷军,周娜,于传健,等. 电力载波通信数字复接器的设计与实现[J]. 微计算机信息,2007,23(8):106-107.
- [8] Wang H S, Qin X Y, Zeng L G, et al. Decoding and recovery of clock synchronization in digital multiplexing system [J]. *IEEE Trans. on Communications*, 2003,51(5):825-831.
- [9] Raith K, Uddenfeldt J. Capacity of digital cellular TDMA systems[J]. *IEEE Trans. on Vehicular Technology*, 1991,40(2):323-332.
- [10] Kirichenko A F. High-speed asynchronous data multiplexing/demultiplexing[J]. *IEEE Trans. on Applied Superconductivity*, 1999,9(2):4046-4048.
- [11] Park C H, Yoo S M, Chooand H, et al. Multi-user data multiplexing for digital multimedia broadcasting [J]. *Computer Communications*, 2006,29(18):3970-3975.
- [12] 郑宜忠. 多路可变速率同步组器技术研究[J]. 无线电工程,2008,38(6):11-13.
- [13] 宋学瑞,蔡子裕,段青青. 基于 FPGA 的数字复接系统的设计与实现[J]. 计算机测量与控制,2008,38(6):1174-1176.
- [14] 邓岚,郭勇,赖武刚. 基于 FPGA 的数字复接器的设计[J]. 微计算机信息,2007,23(11):209-210.
- [15] Gerard K, Rauwerda. Towards software defined radios using coarse-grained reconfigurable hardware[J]. *IEEE Trans. on Very Large Scale Integration Systems*, 2008,16(1):3-13.
- [16] 刘昌锦,刘永峰. 基于 FPGA 的异步数字复接系统[J]. 计算机测量与控制,2007,15(12):1829-1831.
- [17] Cheung M Y, Grover W D, Krzymien W A. Combined framing and FEC coding for digital multiplex signals[C] // *IEEE Pacific Conference on Communications*, 1991:205-210.
- [18] 王旭东,靳雁霞. MATLAB 及其在 FPGA 中的应用[M]. 北京:国防工业出版社,2008.