

## 国家重点基础研究发展规划项目

# 面向功能可重组结构的 DSP&CPU 芯片及其软件的基础研究\*

关键词 功能可重组结构,芯片,软件,基础研究

## 1 首席科学家

侯朝焕 中国科学院院士,声学研究所研究员,博士生导师,国家自然科学基金委员会信息科学部主任,中国声学学会理事长。1958年北京大学物理系毕业。1958—1978年从事声学工程及信号处理研究;1979—1997年从事延时估算、DFT算法、自适应基阵处理、高分辨率频谱分析、被动声源定位、数字系统、超高速信号处理器、VLSI信号处理以及专用DSP芯片等领域的应用研究;1995年至今从事通用DSP结构-RNIW和通用DSP&CPU芯核的研究。

在并行处理、超大规模集成电路及信号处理应用等领域成果卓著。上世纪80年代即开展并行阵列处理研究,完成了“863”计划项目DSP-1阵列信号处理机,定点运算速度达13.2亿次/秒,浮点运算速度达3.6亿次/秒,并在工程项目应用中获明显成效。

在国内率先开展了VLSI信号处理研究,并将信号处理算法集成到超高速芯片上,首次在单个芯片上实现了15个运算节点阵列结构的信号处理超级芯片,单芯片乘加速度为9亿次/秒,达到当时国际先进水平。1994年主持完成了数字系统集成实验室的建设,同时完成了全用户定制的快速傅里叶变换(FFT)、数字波束形成(DBF)和递推滤波(QRD-RLS)等三大芯片的设计,并一次投片成功。由于每个芯片集成了15个运算器并行流水运算,达到了极高的运算速度,与当时国际上主流的CPU和DSP芯片相比,运算速度提高200倍以上。

1987年担任国家“863”信息获取和处理专家组副组长以来,完成多个领域的信号处理理论和方法

研究,具有多方面创新,包括傅里叶变换新算法、自适应基阵处理、高分辨率频谱估计、神经网络在水声中的应用,水声信号检测和定位理论、信号重构理论,合成孔径新算法及其在星载SAR、超声血管成像方面的应用等,在国内外信号处理领域有重要影响。

先后完成12项国家重大项目,其中3项获国家发明奖,4项获院部级科技进步奖(含中国科学院特等奖一项)。在国内外学术会议和学术刊物上发表170余篇论文,出版专著1部。培养博士17名,硕士37名。1988年被人事部授予国家级有突出贡献中青年专家称号,1989年被国务院授予全国先进工作者称号。

## 2 科学内涵及意义

当前,计算机、通信、消费电子等3C技术进一步融合。目前CPU大量使用在个人计算机中,而在通信系统中大量使用DSP芯片,在视频系统中大量使用的是专用信号处理芯片。专用信号处理芯片有很高的运算速度,但结构和算法固定,没有可编程的灵活性。DSP适合作信号处理,但速度达不到视频处理要求,在调度管理和中断处理上DSP远不如CPU。因此,计算机、通信、消费电子技术的融合必将提出一体化芯片的要求,它应兼有CPU、DSP和专用芯片的性能。

1994年,侯朝焕创建并主持的数字系统集成实验室在“863”计划中成功完成了三个超高速集成电路,即FFT、DBF、QRD-RLS等芯片的研制。这三个专用信号处理芯片,由于算法、结构、电路和版图全局优化,使芯片达到了很高的吞吐率。此后,他组织

\* 收稿日期:2003年2月25日

了多名博士研究生从事专用芯片通用化方面的研究,使其既能保持专用芯片的高速处理能力,又有一定的通用性,并在国际会议上发表了数十篇论文。在此基础上,提出了“面向功能可重组结构的 DSP&CPU 芯片及其软件研究”项目,并于 1999 年 10 月在国家“973”计划中立项。

该项目围绕一体化芯片开展关键科学问题的基础研究,包括芯片总体、算法和结构、逻辑和电路、版图、全局优化方法、仿真和验证、可测性设计、高速硬件仿真器、测试平台、配套软件、典型应用等,最终完成具有自主知识产权的、立足于国内成熟生产工艺、兼有 CPU 和 DSP 功能的新一代处理器芯片,可广泛应用于多媒体信息处理、通信、信息、家电等领域。此外,通过上述关键科学问题的解决,提升我国 CPU、DSP、SoC 和各种芯片的设计技术水平,带动我国芯片产业的发展。

### 3 研究进展及创新点

该项目由中国科学院声学研究所、清华大学和北京广播学院的 7 个研究组承担,于 1999 年 11 月正式启动,实施期限 5 年。2001 年通过科技部专家组的中期评估,现已进入后三年研究阶段。三年来,各课题组根据既定的年度计划内容和目标,相互协调,积极开展工作,使得该项目在 DSP&CPU 体系结构和可测性设计、指令集和软件系统、全系统仿真、版图设计和验证、芯片的应用等方面取得如下主要进展和创新结果:

**体系结构和可测性设计:**(1)完成了 DSP&CPU 体系结构设计,包括指令系统设计、推断推测设计、中断异常设计、CACHE 和存储器管理系统设计等。同时将可测性设计贯串在设计的过程中。(2)实现了四通道 DMA 控制器,具有很强的扩展性。其自动化程度和工作效率都已超越传统 DMA 控制器,传送带宽也得到了明显提高。(3)根据可测性设计目标,确定了 DSP&CPU 的测试策略。(4)在前面的研究基础上,对测试系统的平台进行了改进。使用多组存储器错位工作,完成了测试高频芯片的切实可行的方案。

**指令集和软件系统:**对指令集和芯片结构完成综合和优化,使软硬件具有最优效率。完成基本软

件开发平台,包括汇编器、连接器、仿真器、调试器等基础软件。此外,还完成了部分编译器、操作系统设计和多媒体系统服务的研究工作。

**芯片的全系统仿真:**提出了基于电路划分和解析计算的快速电路模拟算法。在 DCCB 模块的划分、分区线性化表格模型、浮动电容的处理等方面取得了创新性成果,完成了一个模型系统仿真软件 RSPICE。测试结果表明:RSPICE 与 HSPICE 的精度误差在 3%左右,计算速度加快了 10—100 倍。

针对 SoC 开展了以下研究:(1)静态时序验证方面的研究工作。目前该系统已基本完成,能输出电路的最长延时路径、关键路径,能检查延时余量不满足要求的路径,能输出建立时间和保持时间不满足要求的触发器和与之相关的路径以及能处理 Fault 路径。目前该系统已可处理数万门的电路规模,且延时模型比目前工业界的主流软件 PrimeTime 更精确。(2)完成了含耦合电容的互连线的峰值噪声估计问题。在此基础上,可开发处理耦合电容的静态时序分析系统。(3)电源线网中电阻压降对门延时的影响。提出了一种分两步进行的 LU 分解算法,该算法是一种精确的算法,速度比 HSPICE 快数倍至数十倍。利用该结果可进一步提高静态时序分析系统的功能,使之适应低功耗 SoC 发展的需要。

制定了硬件仿真系统扩充的总体方案。要求硬件仿真系统能与软件仿真系统精密配合,能够对 100 万门以上的集成电路进行芯片仿真。根据该总体方案,规划了整个系统的功能实现。

**单元库、版图、工艺验证研究:**建立了 0.18 微米工艺的单元库,并完成了基于该工艺的 SRAM、ROM、乘法器、加法器等宏单元的设计和仿真。基于该工艺的全芯片版图设计正在进行中。

三年来,该项目在国内外学术刊物上发表论文以及在国际会议上宣读报告共计 50 余篇,完成科学专著 1 部。在 DSP&CPU 体系结构、系统软件、功能算法、宽温度范围的芯片设计和芯片测试等方面取得了关键技术突破,已申请发明专利多项。目前,正在进行投片前的最后总体性能研究。

(相关图片请见彩插五)