

# 中国科学技术大学

## 2011 年硕士学位研究生入学考试试题

### 半导体集成电路

所有试题答案写在答题纸上，答案写在试卷上无效

需使用计算器

不使用计算器

#### 一、概念题（共 20 分，每小题 5 分）

简述下面在集成电路设计和应用中的常用概念：

1. MOS 晶体管的栅存储效应；
2. 结构化逻辑设计
3. 共模抑制比
4. MOS 晶体管的沟道长度调制效应

#### 二、简答题（共 40 分，每小题 10 分）

1. 试比较说明同步计数器和异步计数器在结构和性能上的主要优缺点。
2. 在设计一个由较小  $W/L$  比的反相器驱动一个较大  $W/L$  比反相器的结构时，为了提高工作速度，可以在它们中间插入一个反相器作为中间级，其  $W/L$  比值介于上述两个反相器之间。请分析说明这种设计的理由。
3. 简述集成运放互补输出单元电路的工作原理（MOS 型或双极型任选一种）。
4. 何谓 PLL，它主要由哪几个单元电路组成？

#### 三、设计题 1（共 20 分，每小题 10 分）

某 CMOS 集成电路局部电路的输出  $X$  和输入  $a$ 、 $b$ 、 $c$ 、 $d$  的逻辑关系为  $X = a b + c d$ ，试设计该局部，要求：

1. 画出电原理图；
2. 画出集成电路版图（示意图）。

#### 四、设计题 2（共 30 分，每小题 15 分）

采用多米诺 CMOS 结构设计一个 16 位全加器，要求：

1. 画出整体结构的框图；
2. 画出一个基本重复单元的电原理图。

### 五、电路基础题（共 20 分，每小题 10 分）

1. 分别画出 MOS 型、双极型威尔逊恒流源电路图；
2. 写出 MOS 型威尔逊恒流源输出阻抗表达式。

### 六、基础应用题（共 20 分，每小题 10 分）

1. 利用一个理想运放和若干电阻设计一个放大器，要求输出输入相位不变，增益为 1000 倍。
2. 利用模拟 PLL 和  $\div M$  分频器，设计一个倍频器电路，画出电路方框图。