

一种高效的宽带数字接收机及其 FPGA 实现

罗勇江, 汤建龙, 赵国庆, 斯海飞

(西安电子科技大学电子工程学院, 陕西 西安 710071)

摘要: 针对电子战中的宽带侦察数字信道化接收机, 提出了基于短时傅里叶变换的宽带数字信道化接收机的改进方法, 给出了该方法的 FPGA 实现。该方法采用多相滤波结构, 通过先对时域抽取信号进行傅里叶变换, 再对变换结果进行加权处理, 从而实现宽带信号信道化。理论分析和原理样机系统验证表明, 在相同的 FPGA 资源和时间分辨要求条件下, 该方法相对传统短时傅里叶变换的信道化接收机可实现更多的信道数。

关键词: 信道化; 宽带数字接收机; 多相滤波

中图分类号: TN 958.97

文献标志码: A

DOI: 10.3969/j.issn.1001-506X.2010.05.009

Wideband digital receiver based on polyphase filters and its FPGA realization

LUO Yong-jiang, TANG Jian-long, ZHAO Guo-qing, SI Hai-fei

(School of Electronic Engineering, Xidian Univ., Xi'an 710071, China)

Abstract: Digital technique for wideband channelized receivers for electronic war (EW) is studied, a new method using polyphase filters is employed to optimize normal channelized receivers based on the short time Fourier transform (STFT). The first step of this method is decimating time-domain data, then applies fast Fourier transform (FFT) to the decimated data and weights the transformed results. The realized process of the method on FPGA is discussed. The theoretical analysis and the experiment using real application receiver show the new receiver can achieve more channel than the normal receiver under the condition of the same FPGA resource.

Keywords: channelization; wideband digital receiver; polyphase filter

0 引言

现代电子战中, 宽带侦察接收机在电子对抗中的作用举足轻重。随着数字信号处理技术和相应器件水平的高速发展, 数字侦察接收机因其设备量小、算法灵活、功能易于扩展等优点而受到越来越广泛的关注。现代战场信号环境的密集化和复杂化, 对宽带侦察接收机也提出了更高的要求, 通常要求接收机瞬时带宽在几百 MHz 甚至 1 GHz 以上。在数字化接收机的设计中, 信道化处理是最重要的环节之一^[1]。信道化接收机能够处理同时到达的多个信号, 有较高的截获概率, 特别适合在宽带雷达对抗侦察接收机中应用^[2-3]。在雷达对抗中, 常常是采用对接收到的辐射源信号先进行测频或者频率划分, 然后引导相关的窄带分析或者干扰设备。

传统宽带数字信道化接收机常采用短时傅里叶变换 (short time Fourier transform, STFT) 技术, 这种实现方法是基于快速傅里叶变换 (fast Fourier transform, FFT) 的滤波器组来实现信道化的。对于这种结构的数字接收机, 系统要求的时频分辨率决定了 STFT 处理时数据点数和滑动

点数。高时频分辨率必然要求更高的数据处理点数和更小的滑动点数。为了满足宽带接收机的实时性要求。STFT 处理一般在 FPGA (field programmable gate array) 中实现。高时频分辨率对 FPGA 的处理速度提出了很高的要求。本文在传统 STFT 结构的宽带信道化接收机的基础上引入多相滤波结构, 对宽带数字信道化接收机进行改进, 并提出了相应的系统实现。

1 传统 STFT 的信道化接收机

离散形式的 STFT 定义如下^[4-6]

$$X(M, k) = \sum_{n=M}^{N+M-1} x(n)w(n)e^{-\frac{j2\pi kn}{N}} \quad (1)$$

式中, $x(n)$ 为信号的量化值; $w(n)$ 为窗函数; N 为信号处理点数; M 为离散点时间; k 为离散频率点, 对应为信道号, $k=0, \dots, N-1$ 。

利用 STFT 实现信道化接收机是将连续的输入信号在不同的时刻对信号分段, 相邻两段的数据重叠 ΔM 个数数据点, ΔM 即为相邻两次 FFT 之间的重叠数据个数, 也称为 FFT 处理滑动点数, 然后对每段数据进行傅里叶变换。

传统基于 STFT 结构的宽带数字信道化接收机系统如图 1 所示。在该系统中,根据 FFT 运算的数据点数 N 和信号滑动点数 ΔM ,采用多路并行进行处理。将 A/D 转换器后的辐射源信号分别延迟 $0, \Delta M, 2\Delta M, \dots, n\Delta M$ 个采样间隔,然后分别进行加窗处理再进行 N 点 FFT 的运算,之后将各路输出结果经过门限检测后得到脉冲描述字 (pulse description word, PDW),从而获得辐射源相关的参数。

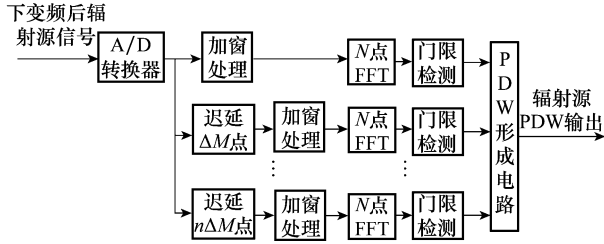


图 1 传统基于 STFT 结构的宽带数字信道化接收机系统

在宽带系统实现时,采样率较高, N 点 FFT 的运算时间相对要长,通常采用若干个 FFT 并行模块运算来降低时间开销,但是相应的将大大增加 FPGA 资源^[8-10]。随着宽带数字接收机的带宽不断增大,数据流速率也随之增加,在 FFT 运算速度不提升的前提下,并行 FFT 的模块个数也将随之增加,这样将使得系统的复杂程度和对 FPGA 资源的要求大大增加。因此在宽带数字接收机对带宽要求的前提下,例如带宽几百 MHz 甚至 1 GHz 以上,采用这种方式实现数字信道化接收机将相当复杂。

2 基于多相滤波结构的宽带数字信道化接收机

多相滤波器的传输特性为^[1,7]

$$H(z) = \sum_{n=0}^{N-1} h(n)z^{-n} =$$

$$\begin{aligned} & h_{LP}(0)z^0 + h_{LP}(D)z^{-D} + \dots + h_{LP}((Q-1)D)z^{-(Q-1)D} + \\ & h_{LP}(1)z^0 + h_{LP}(D+1)z^{-(D+1)} + \dots + \\ & h_{LP}((Q-1)D+1)z^{-(Q-1)D-1} + \dots + \\ & h_{LP}(D-1)z^{-(D-1)} + h_{LP}(2D-1)z^{-(2D-1)} + \dots + \\ & h_{LP}((Q-1)D+D-1)z^{-(Q-1)D-(D-1)} = \\ & \sum_{n=0}^{Q-1} h_{LP}(nD+0)(z^D)^{-n} + z^{-1} \sum_{n=0}^{Q-1} h_{LP}(nD+1)(z^D)^{-n} + \dots + \\ & z^{-(D-1)} \sum_{n=0}^{Q-1} h_{LP}(nD+D-1)(z^D)^{-n} \end{aligned} \quad (2)$$

式中, $h(n)$ 为子信道的滤波器特性; D 为信号抽取率; N 为滤波器长度; $Q=N/D$ 。

基于 FFT 的数字信道化测频为

$$X_o(n, j) = \sum_{k=0}^{N-1} w(k)x_i(n+k)W_N^{kj} \quad (3)$$

式中, $X_o(n, j)$ 为 n 时刻信道 j 的频率分量输出; $w(k)$ 是窗函数; $x(k)$ 为信号的量化值;蝶形系数 $W_m^a = e^{-j2\pi am/m}$, j 为信道号, $j=0, \dots, N-1$; N 为信道总数。式(3)是对从 n 时刻

开始连续 N 个样本进行 FFT 运算以获得该段信号所具有的频率分量。

对 $X_o(n, j)$ 按多相滤波形式展开,将输入信号 $x(k)$ 间隔 p 进行分组,则

$$\begin{aligned} X_o(n, j) &= \sum_{k=0}^{N-1} w(k)x_i(n+k)W_N^{kj} = \\ & \sum_{k=0}^{\frac{N-1}{p}} x_i(n+pk)W_N^{pkj}w(pk) + \\ & \sum_{k=0}^{\frac{N-1}{p}} x_i(n+pk+1)W_N^{pkj}W_N^{(p-1)j}w(pk+1) + \dots + \\ & \sum_{k=0}^{\frac{N-1}{p}} x_i(n+pk+p-1)W_N^{pkj}W_N^{(p-1)j}w(pk+p-1) \end{aligned} \quad (4)$$

令 $h(k, i) = w(pk+i)W_N^{(i-1)j}$, 因此

$$\begin{aligned} X_o(n, j) &= \sum_{k=0}^{\frac{N-1}{p}} x_i(n+pk)W_N^{pkj}h(k, 1) + \\ & \sum_{k=0}^{\frac{N-1}{p}} x_i(n+pk+1)W_N^{pkj}h(k, 2) + \dots + \\ & \sum_{k=0}^{\frac{N-1}{p}} x_i(n+pk+p-1)W_N^{pkj}h(k, p-1) \end{aligned} \quad (5)$$

通常 N 为 p 的整数倍,令 $L=N/p$, 则 $W_N^{pkj} = W_L^{kj}$, 因此

$$\begin{aligned} X_o(n, j) &= \\ & \left[\sum_{k=0}^{L-1} x_i(n+pk)W_L^{kj}, \sum_{k=0}^{L-1} x_i(n+pk+1)W_L^{kj}, \dots, \right. \\ & \left. \sum_{k=0}^{L-1} x_i(n+pk+p-1)W_L^{kj} \right] \times \begin{bmatrix} h(k, 1) \\ h(k, 2) \\ \vdots \\ h(k, p-1) \end{bmatrix} = \\ & [X'_1(n, j), X'_2(n, j), \dots, X'_{p-1}(n, j)] \times \begin{bmatrix} h(k, 1) \\ h(k, 2) \\ \vdots \\ h(k, p-1) \end{bmatrix} \end{aligned} \quad (6)$$

式中, $X'_k(n, j) = \sum_{k=0}^{L-1} x_i(n+pk+i)W_L^{kj}$ 为对输入信号 $x(n)$ 间隔 p 抽取后进行 L 点 FFT 的结果, $h(k, i) = w(pk+i) \cdot W_N^{(i-1)j}$ 为加权系数。可以看出, N 点信道化的输出 $X_o(n, j)$ 可以由 p 个 L 点 FFT 的输出结果加权得到。

根据上述推导,可以得到基于多相滤波结构的 STFT 宽带数字信道化接收机的模型,如图 2 所示。根据接收机带宽、采样率、频率分辨率和时间分辨率,可以确定出 FFT 运算的点数 N 和信号滑动点数 ΔM ,根据 FPGA 器件的资源和性能可以得到 FFT 运行的速率 f_c ,根据采样率和 f_c 之间的关系可以计算出 $p = \lceil f_s/f_c \rceil, \lceil x \rceil$ 为大于 x 的最小整数,工程上一般取 p 为 2 的整数次幂,由 p 个 N/p 点的 FFT 模块并行计算的结果进行加权处理来完成多相滤波运算。由 FFT 运算的点数 N 和信号滑窗点数 ΔM ,可以计算出需要 $l=N/\Delta M$ 路来完成运算。

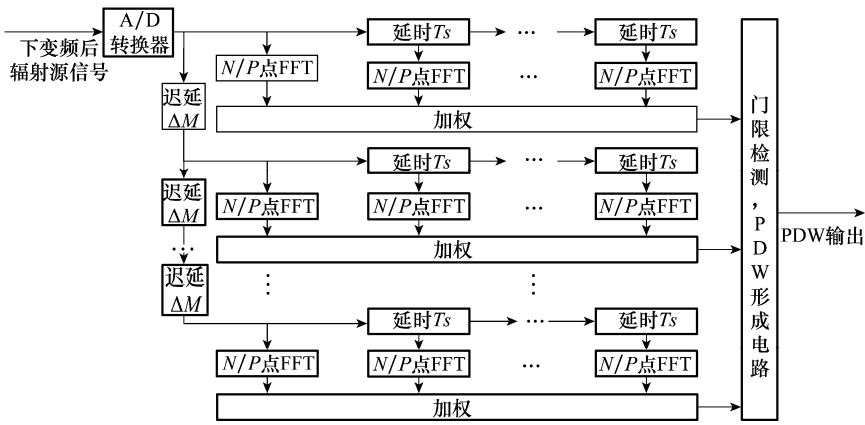


图 2 多相滤波宽带数字信道化接收机的模型

3 性能和复杂度比较

根据前面推导可以知道,在相同的采样率条件下,多相滤波信道化的输出结果与 N 点 FFT 具有同等的频率分辨率,频率分辨率为 f_s/N ;时间分辨率和 STFT 相同,由运算时的数据重叠点数 ΔM 决定,时间分辨率为 $\Delta M/f_s$ 。因此在条件相同的前提下,采用多相滤波结构的信道化接收机具有与传统 STFT 信道化接收机相同的时频分辨性能。

假设接收机带宽为 500 MHz, A/D 转换器的速率为 1 GHz,量化位数为 8 bits,接收机输入信号为正交下变频后的 I、Q 信号。设计的信道化接收机具有 256 个信道,即频率分辨小于 4 MHz。STFT 信号滑动处理重叠点数为 64,即时间分辨为 64 ns。由于 A/D 转换器的速率为 1 GHz,以目前的器件的水平无法直接将速率为 1 G 的数据流进行 FFT 处理,需要采用并行 FFT 处理来满足要求。目前 FPGA 中 FFT 模块的运算最高速度约 300 MHz~400 MHz,采用串行输入和串行输出流水处理方式, N 点 FFT 运算时间需 N 个时钟周期,因此考虑到采样率为 1 GHz, FFT 的运算速度设计在 250 MHz 比较合理,时钟周期为 4 ns。

对于基于 STFT 的信道化接收机,完成 256 点 FFT 的运算时间为 $256 \times 4 \text{ ns} = 1024 \text{ ns}$,而在 1024 ns 中 A/D 转换器将提供 1024 个数据,所以需要 4 路 256 点 FFT 并行运算。由于 STFT 算法中需要信号滑动点数为 64,每路需要 4 个 256 点 FFT 并行运算,所以总共需要 16 个 256 点 FFT 并行运算才能满足要求。在 Xilinx 和 Altera 公司的 FPGA 中,完成 256 点 FFT 均需要 12 个乘法器,因此总共需要 $12 \times 16 = 192$ 个乘法器。算法中需要对 FFT 输入数据进行加窗处理,由于 FFT 采用串行输入,因此每路 FFT 运算需要增加 2 个乘法器,分别进行 I 路和 Q 路的加窗,因此总共需要 32 个乘法器用于完成加窗运算。所以完成整个 STFT 算法需要 $192 + 32 = 224$ 个乘法器。完成 256 点 FFT 运算,需要的 RAM 数约为 36 kbits~90 kbits,例如

Xilinx 公司的 FPGA 完成 256 点 FFT 需要 36 kbits, Altera 公司的 FPGA 完成 256 点 FFT 需要 88 kbits,因此完成 16 路 256 点 FFT 运算需要 RAM 数约为 576 kbits~1408 kbits。另外,由于 A/D 的速率为 1 GHz,而 FFT 运算速度为 250 MHz,因此每路 FFT 之前需要对数据进行降速处理,每路需要使用 RAM 用于数据降速,I、Q 数据各 8 bits,每路需要的 RAM 数约为 $4 \times 256 \times 16 \text{ bits} = 16 \text{ kbits}$,所以 16 路 FFT 降速共需要 $16 \text{ k} \times 16 = 256 \text{ kbits}$ 的 RAM。所以,整个算法需要的 RAM 数约为 832 kbits~1664 kbits;接收机完成 STFT 算法需要 224 个乘法器和 800 kbits~1.5 Mbits 的 RAM,这些乘法器和 RAM 均需要工作在 250 MHz,这使得接收机在 FPGA 中实现比较复杂。

对于基于多相滤波结构的 STFT 信道化接收机,假设输入数据按 4 分组,然后对每组数据进行 FFT 处理,之后将 4 路 FFT 的结果进行加权处理。对于 1 GHz 的数据流,由于对输入数据按 4 进行了分组,则每组数据流为 250 MHz。那么同样要达到 256 点的 FFT 效果,需要 4 个 64 点的 FFT 来完成。64 点的 FFT 需要 6 个乘法器来实现,所以共需要 24 个乘法器。考虑到信号滑动处理的需要点数为 64,因此需要使用 4 路来完成,所以共需 $24 \times 4 = 96$ 个乘法器。由于 FFT 运算采用串行输入串行输出,因此完成加权运算需要每个 FFT 后增加 2 个乘法器,每路需要 2 个加法器,4 路共需 32 个乘法器和 8 个加法器,因此整个运算需要 128 个乘法器和 8 个加法器。完成 64 点 FFT 运算,需要的 RAM 数约为 22 kbits~30 kbits,每路之间需要一个 64 点 RAM 进行数据延时,因此整个运算需要 400 kbits~550 kbits。因此,相对传统 STFT 信道化接收机,多相滤波结构的信道化接收机所使用的资源要少得多,这使得系统的实现要简单得多。

随着接收机带宽的增大,例如带宽 1 GHz 以上则 A/D 转换率需要更高,或者信道数量的增加,例如 512 个信道甚至 1024 个信道,那么传统 STFT 信道化接收机将需要非常庞大的硬件资源才能实现,这使得其实现较为困难甚至难以实现。而基于多相滤波结构的 STFT 信道化接收机在

同等时频分辨率下,所需要的硬件资源要少得多,这使得宽带和超宽带数字信道化接收机实现成为可行。

4 仿真和验证

选择单片FPGA实现宽带数字信道化接收机,FPGA处理器选择Xilinx公司的XC4VSX55-12FF1148,该处理芯片内资源十分丰富,包括512个XtremeDSP单元,每个DSP单元包含一个18×18 bits乘法器,1个加法器,1个累加器;FPGA片内有320个BLOCK RAM,每个BLOCK RAM大小为18 bits×1 k,共计5 760 kbits;配置单元(Slices)有24 576个。

假设接收机带宽为500 MHz,A/D转换器的速率为1 GHz,量化位数为8 bits,接收机输入信号为正交下变频后的I、Q信号,信号滑动点数为64。将FFT模块运行在250 MHz速率下,分别完成传统STFT信道化接收机和多相滤波结构的信道化接收机,多相滤波结构的信道化接收机输入数据按4进行分组处理,分析其所占资源。软件采用Xilinx公司的开发软件ISE10.1,仿真信道数从64到512的信道化接收机,接收机占用系统资源如表1所示。

表1 FPGA实现信道化接收机的资源使用仿真结果

类型	FPGA资源	信道数 N				
		64	128	256	512	
传统的STFT信道化接收机	XtremeDSP单元	56	112	224		资源不够 无法实现
	存储器(BLOCK RAM)	12	24	64		
	4 bit 查找表(LUT)	5 859	11 618	30 468		
	配置单元(Slice)	4 030	8 052	22 182		
	触发器(Flip Flop)	6 090	12 168	32 535		
基于多相滤波结构的STFT信道化接收机	XtremeDSP单元	32	64	128	256	
	存储器(BLOCK RAM)	6	12	28	58	
	4 bit 查找表(LUT)	2 968	5 830	16 058	32 117	
	配置单元(Slice)	2 077	4 090	11 405	22 762	
	触发器(Flip Flop)	3 456	6 838	18 197	36 309	

可以看出,在相同时频分辨条件下,基于多相滤波结构的STFT信道化接收机比传统STFT信道化接收机要占用更少的系统资源;在相同的系统资源下,基于多相滤波结构的STFT信道化接收机可以实现更多的信道数,即获得更高的频率分辨。

根据工程实际要求,作者设计和实现了一个基于多相滤波结构的宽带数字信道化侦察接收机的原理样机,接收机带宽为500 MHz,A/D转换器的速率为1 GHz,量化位数为8 bits,接收机输入信号为正交下变频后的I、Q信号,信道数128,信号滑动点数为64,该接收机的信道带宽为1 GHz/128=7.812 5 MHz,时间分辨率为64×1 ns=64 ns。

本接收机在实际环境中侦收到某些雷达信号,分别将进入接收机前的I路和Q路数字信号和各个信道的输出结果导入MATLAB进行分析比对。

接收机侦收到的某雷达常规脉冲信号,雷达脉冲宽度约为0.5 μs,I和Q信号如图3(a)所示,其频谱如图3(b)所示,可知该信号频率约为-100.5 MHz,接收机各个信道的输出如图3(c)所示,x轴为信道号,y轴为时间,时间间隔64 ns,z轴为信道输出的模值,图3(d)为图3(c)的投影图,该信号在信道116为主输出,经过门限检测后可知其对应的频率为-101.562 5 MHz。

示,可知该信号频率约为-100.5 MHz,接收机各个信道的输出如图3(c)所示,x轴为信道号,y轴为时间,时间间隔64 ns,z轴为信道输出的模值,图3(d)为图3(c)的投影图,该信号在信道116为主输出,经过门限检测后可知其对应的频率为-101.562 5 MHz。

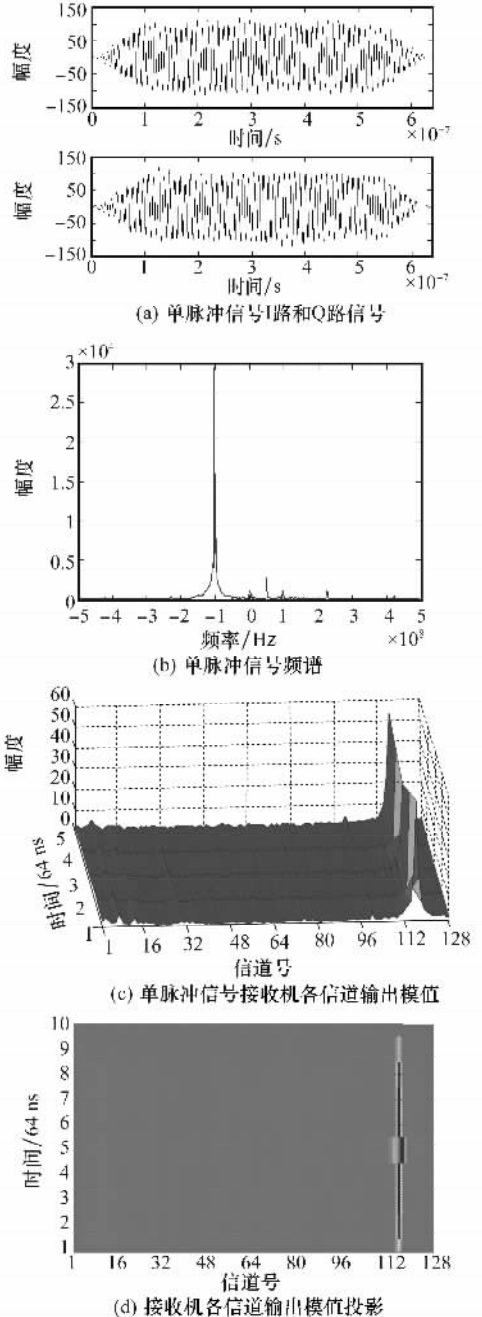


图3 实际侦收到雷达常规脉冲信号及接收机信道输出

接收机侦收到的某宽带雷达Chirp信号,雷达脉冲宽度约为50 μs,I和Q信号如图4(a)所示,其频谱如图4(b)所示,可知该信号频率范围约为20 MHz~240 MHz,带宽约220 MHz,接收机各个信道的输出如图4(c)所示,x轴为信道号,y轴为时间,时间间隔64 ns,z轴为信道输出的模

值,图 4(d)为图 4(c)的投影图,该信号在信道 3~31 有输出,经过门限检测后可知其所对应的信号频率约为 23.4 MHz~242.2 MHz,带宽约为 218.75 MHz。

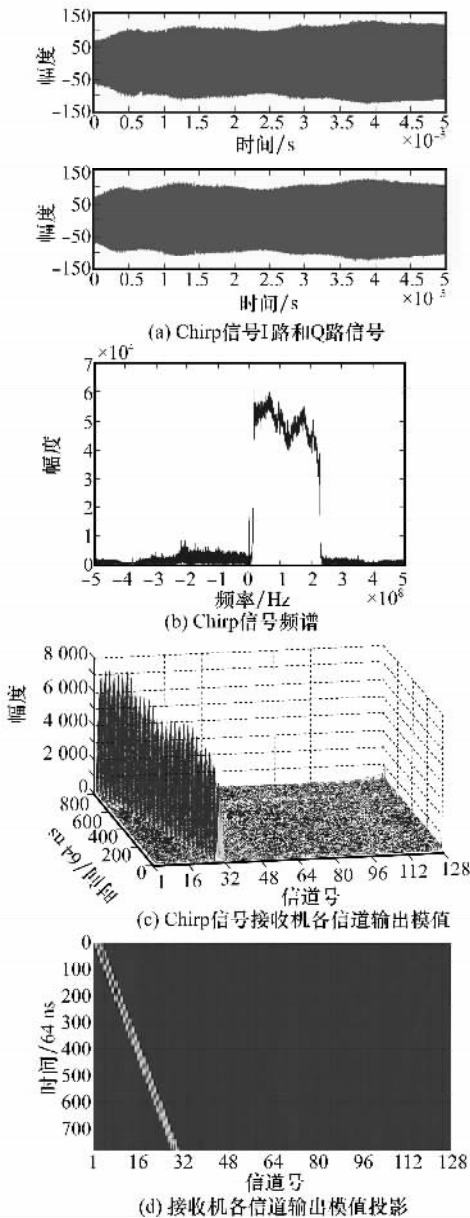


图 4 实际侦收到雷达 Chirp 信号及接收机信道输出

5 结 论

本文提出了一种在传统 STFT 宽带数字接收机基础上采用多相滤波的方法来构建改进的数字信道化接收机,并讨论了其在 FPGA 中的实现。在相同时频分辨条件下,基于多相滤波结构的 STFT 信道化接收机比传统 STFT 信道化接收机要占用更少的系统资源;在相同的系统资源和时间分辨条件下,基于多相滤波结构的 STFT 信道化接收机可以实现更多的信道数。最后,通过实际原理样机系统验证了该方法的有效性。

参考文献:

[1] James Tsui. 宽带数字接收机[M]. 杨小牛,陆安南,金飏,译. 电子工业出版社. 北京,2002,242:260.

[2] Tsui J B Y, Stephens J P. Digital microwave receiver technology[J]. *IEEE Trans. on Microwave Theory and Techniques*, 2002,50(3): 699-705.

[3] 王洪. 宽带数字接收机关键技术及系统实现[D]. 成都:电子科技大学,2007.

[4] Gustavo Lopez-risueno, Jesus Grajal, Alvaro Sanz-Osorio. Digital channelized receiver based on time-frequency analysis for signal interception[J]. *IEEE Trans. on Aerospace and Electronic Systems*, 2005,41(3):879-898.

[5] Bian Hailong, Chen Guangju. Anti-aliasing nonstationary signals detection algorithm based on interpolation in the frequency domain using the short time Fourier transform[J]. *Journal of Systems Engineering and Electronics*, 2008,19(3):419-426.

[6] 刘平,靳成英,陈曾平. 一种基于短时 FFT 的宽带数字侦察接收机设计[J]. 信号处理,2008,24(6):988-991.

[7] 付永庆,李裕. 基于多相滤波器的信道化接收机及其应用[J]. 信号处理,2004,17(20):17-20.

[8] 王旭东,刘渝. 全并行结构 FFT 的 FPGA 实现[J]. 南京航空航天大学学报,2006,38(1):96-100.

[9] 王洪,吕幼新,汪学刚. 宽带数字接收机的高效 FPGA 设计[J]. 电子科技大学学报,2008,37(3):364-369.

[10] 王鑫,赵春晖,戎建刚. 一种宽带数字信道化接收机设计[J]. 哈尔滨理工大学学报,2006,11(6):125-128.