

# 星载 SAR 中频数字接收机的 FPGA 设计与实现

黄杰文<sup>1,2</sup>, 祁海明<sup>1</sup>, 李早社<sup>1</sup>, 禹卫东<sup>1</sup>

(1. 中国科学院电子学研究所, 北京 100080; 2. 中国科学院研究生院, 北京 100049)

**摘要:** 在现场可编程门阵列(field programmable gate array, FPGA)中设计与实现了一种星载合成孔径雷达(synthetic aperture radar, SAR)中频数字接收机,并对数据形成技术进行了研究。考虑到 FPGA 乘法器资源有限,在详细分析了中频、采样率和抽取因子三者关系的基础上,实现了不同带宽信号的多相下变频优化结构。为减轻数据下传链路的压力,实现了压缩比可变的分块自适应量化(block adaptive quantization, BAQ)压缩模块。最后给出了设计实例,实验结果证明了方案的有效性:BAQ 8:3 输出结果 I、Q 两路信噪比为 14.6 dB,脉压后主瓣展宽只有 2%,积分旁瓣比达到了理论值的 93%。

**关键词:** 合成孔径雷达; 雷达接收机; 现场可编程门阵列; 数字信号处理; 分块自适应量化

**中图分类号:** TN 957.5

**文献标志码:** A

**DOI:**10.3969/j.issn.1001-506X.2011.04.12

## Design and implementation of space borne SAR IF digital receiver on FPGA

HUANG Jie-wen<sup>1,2</sup>, QI Hai-ming<sup>1</sup>, LI Zao-she<sup>1</sup>, YU Wei-dong<sup>1</sup>

(1. Institute of Electronics, Chinese Academy of Sciences, Beijing 100080, China;

2. Graduate University of the Chinese Academy of Sciences, Beijing 100049, China)

**Abstract:** The design and implementation of a space borne synthetic aperture radar (SAR) inter-frequency (IF) digital receiver including data formation on field programmable gate arrays (FPGA) is proposed. An improved polyphase frequency down-converting structure of different bandwidth signals is implemented, considering the limited multipliers in FPGA and after carefully analyzing the relationships among IF, sampling frequency and decimation factor. To alleviate data downlink pressure, a block adaptive quantization (BAQ) module with a flexible compression ratio is developed. Finally the design instance is given and the properties are verified by experimental results. 2% mainlobe expansion and a 93% integral sidelobe ratio of theoretical value after matching filter are achieved with 8:3 BAQ compression ratio, 14.6 dB I/Q channel signal to noise ratio (SNR).

**Keywords:** synthetic aperture radar (SAR); radar receiver; field programmable gate array (FPGA); digital signal processing; block adaptive quantization (BAQ)

## 0 引言

合成孔径雷达(synthetic aperture radar, SAR)是一种高分辨率微波成像雷达,它通过脉冲压缩提高距离向分辨率,采用合成孔径技术提高方位向分辨率,分辨率的大小取决于信号带宽和回波多普勒带宽<sup>[1]</sup>。为了获得高清晰度的图像,SAR发射信号的带宽一般高达几百 MHz。传统的 SAR 接收机将回波信号下变频至中频后通过模拟正交检波得到 I、Q 两路正交基带信号,然后数字化。模拟器件的不稳定性导致两路输出信号的相位误差一般只能做到 2°~3°,幅度误差约为 0.5 dB<sup>[2]</sup>,影响成像质量。

未来的星载 SAR 将朝着高分辨率宽测绘带、多极化、

干涉、地面动目标检测(ground moving target indication, GMTI)和三维成像等方向发展<sup>[3-4]</sup>,功能不断扩展、性能不断提高和通道数不断增加,迫切要求采用先进的数字系统结构来提高 SAR 设备工作的精确性和灵活性。数字化接收是实现系统数字化的关键环节,近年来大规模数字集成电路和高速数字处理芯片的飞速发展,使 SAR 接收时中频采样及后续数字信号处理成为可能。SAR 中频数字接收机因其 I、Q 一致性好,工作模式灵活而成了研究的热点。目前国外已有研制成功的 SAR 中频数字接收机<sup>[5-6]</sup>,国内也开始了相关方面的理论研究和实验<sup>[7]</sup>。随着百万门航天级现场可编程门阵列(field programmable gate array, FPGA)产品的推出,利用 FPGA 开发星载 SAR 系统已成

收稿日期:2009-09-26; 修回日期:2010-12-01。

基金项目:中国科学院优秀博士论文院长奖获得者专项基金(0813260042);微波成像技术国家重点实验室基金(9140C1903041003)资助课题

作者简介:黄杰文(1984-),男,博士研究生,主要研究方向为星载 SAR 数字接收及星上处理技术。E-mail:huangjiawen1984@126.com

为一种趋势。与专用集成电路(application specific integrated circuit, ASIC)相比,FPGA 可重复编程,便于修改和添加新功能,开发相对简单,开发费用低,节约了设计时间和成本。与数字信号处理器(digital signal processor, DSP)相比,FPGA 速度快,输入/输出引脚可灵活定义,一般不需外接大量辅助电路,简化了硬件设计和电路板的布局布线,但 FPGA 设计时序问题突出,增加了设计的复杂性,需要更加严格的测试。

本文对星载 SAR 中频数字接收及数据形成进行了研究,设计并实现了一种基于 FPGA 的星载 SAR 中频数字接收机。考虑到 FPGA 片内乘法器资源有限,在详细分析了中频、采样频率和抽取因子三者关系的基础上,给出了多相数字下变频优化结构;为减轻数据下传链路的压力,在 FPGA 中实现了可变压缩比分块自适应量化(block adaptive quantization, BAQ)模块。设计中充分考虑了高速数据接收及处理的可靠性,实验结果表明接收机工作性能稳定、控制灵活。

### 1 星载 SAR 中频数字接收机工作原理

星载 SAR 中频数字接收机工作原理如图 1 所示。SAR 中频模拟回波  $s(t)$  经过带通滤波器后,用模数转换器(analog-to-digital converter, ADC)直接采样得中频数字信号  $s(n)$ 。 $s(n)$  分两路与数字本振相乘,接着经过低通滤波器  $h(n)$  得 I、Q 两路基带信号。由于采样频率  $f_s$  一般大于信号带宽  $B$  的 2 倍,根据 Nyquist 准则,对频率范围为  $[-B/2, B/2]$  的基带信号采样,  $f_s$  大于  $B$  即可。因此,对低通滤波输出的信号进行抽取,以降低后续处理的负担。抽取因子  $D$  的选择根据  $f_s$ 、 $B$  及后续信号处理的能力来定。为减轻星上存储和数据下传链路的压力,一般还需要对降采样后的数据进行压缩。本文采用的是 BAQ 压缩方法。

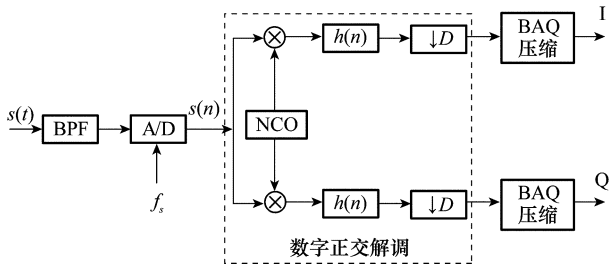


图 1 星载 SAR 中频数字接收机工作原理框图

### 2 多相数字下变频优化结构

SAR 中频模拟回波  $s(t)$  可表示为

$$s(t) = A \text{rect}\{(t - 2R/c)/T_r\} \cdot \cos\{2\pi f_c t + \pi K_r(t - 2R/c)^2 - 4\pi R/\lambda + \psi\} \quad (1)$$

式中,  $A$  为信号幅度;  $f_c$  为中频;  $T_r$  为脉冲持续时间;  $R$  为斜距;  $c$  为光速;  $\text{rect}\{\cdot\}$  为矩形窗函数;  $K_r$  为调频斜率;  $\lambda$  为信号波长;  $\psi$  表示地表散射过程引起的雷达信号相位改变。为书写方便,令  $a(t) = A \text{rect}\{(t - 2R/c)/T_r\}$ ,  $\varphi(t) = \pi K_r(t - 2R/c)^2 - 4\pi R/\lambda + \psi$ , 则式(1)改写成

$$s(t) = a(t) \cos\{2\pi f_c t + \varphi(t)\} \quad (2)$$

当中频  $f_c$  与采样频率  $f_s$  满足以下关系

$$4f_c = (2N - 1)f_s \quad (3)$$

式中,  $N$  为正整数,且  $f_s$  满足带通采样定理时,得到 ADC 的输出

$$s(n) = a(n) \cos\left(2\pi n \frac{f_c}{f_s} + \varphi(n)\right) = I(n) \cos\left(\frac{(2N-1)n\pi}{2}\right) - Q(n) \sin\left(\frac{(2N-1)n\pi}{2}\right) \quad (4)$$

式中,  $I(n) = a(n) \cos \varphi(n)$ ;  $Q(n) = a(n) \sin \varphi(n)$ , 为 I、Q 基带信号。可以看出,  $\cos \frac{(2N-1)n\pi}{2}$  和  $\sin \frac{(2N-1)n\pi}{2}$  都以 4 为周期。取  $N=2$ , 即  $f_s = 4f_c/3$  时,有

$$s(n) = I(n) \cos \frac{3}{2}n\pi - Q(n) \sin \frac{3}{2}n\pi = \begin{cases} (-1)^{\frac{n}{2}} I(n), & n = 0, 2, 4, \dots \\ (-1)^{\frac{n-1}{2}} Q(n), & n = 1, 3, 5, \dots \end{cases} \quad (5)$$

即 ADC 输出符号调制信号。此时混频简化为符号校正,省去了在 FPGA 中产生数字本振。以 4 个数据为周期,依次对  $s(n)$  乘上序列  $\{1, 0, -1, 0\}$  和  $\{0, 1, 0, -1\}$ , 可得  $I(n)$  和  $Q(n)$ , FPGA 实现时,可以采用包含 4 个状态的状态机来完成对两路低通滤波器输入数据的分配,状态转移图如图 2 所示。随着同步时钟的上升沿,状态机状态按箭头方向转移,输入信号是  $s(n)$ , 输出信号是  $I(n)$  和  $Q(n)$ 。

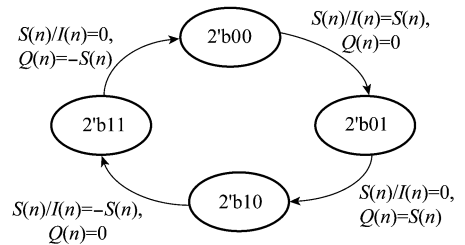


图 2 混频操作的状态转移图

图 1 结构中采用数字有限冲激响应(finite impulse response, FIR)低通滤波器  $h(n)$  保证线性相位。为防止抽取后频谱混叠, FIR 滤波器参数设计要合理,如果采用 8 bit ADC, 那么 FIR 滤波器的带外抑制必须在  $-50$  dB 左右才不会影响 ADC 输出的动态范围。但现有 FPGA 器件内部所集成的乘法器资源有限,采用直接形式实现的 FIR 滤波器阶数较低,一般难以满足系统指标的要求。因此,如何在乘法器资源有限的情况下设计高性能的 FIR 滤波器是采用 FPGA 技术设计数字接收机的关键所在。

文献[8]提出了一种将混频运算移到抽取滤波之后的结构,避免了复滤波, I、Q 两路只需一个抽取滤波器即可实现,但必须满足式(6)。这个条件比较苛刻,当接收机需要处理多个带宽的信号时,往往并不满足这一要求。

$$\begin{cases} f_c/f_s = m/M, m = 1, \dots, M-1 \\ f_s/M = f_s/D = f_{out} \end{cases} \quad (6)$$

观察 ADC 输出的数据,如果以 4 为周期,依次乘上序列 {1, 1, -1, -1}, 得到交替的 I、Q 信号,可以采用图 3 所示的多相下变频优化结构。图中  $e_i(n) = h(nD+i), i=0, 1, \dots, D-1$  为 FIR 多相滤波器组的各个分支。因为交替输出 I、Q 信号,一个时钟只需计算一路的值,因此可以共用同一组滤波器, I 路对应于  $e_0(n), \dots, e_{D-2}(n)$ , Q 路对应于  $e_1(n), \dots, e_{D-1}(n)$ 。针对 FPGA 内部乘法器资源有限的情况,可复用一组乘法器,通过系数配置的方式实现不同的多相分支滤波器。在 FPGA 内部实现乘法器复用是很方便的,只需在每个时钟周期上升沿通过一个选通器将分支滤波器的系数进行重加载即可。此时,滤波器的工作频率也是  $f_s$ ,但可以实现的最高阶数是直接实现形式时的  $D$  倍。不同带宽的滤波器通过控制字选择不同的滤波器系数配置来实现,只需预先将各个带宽的滤波器系数存入 FPGA 中即可。

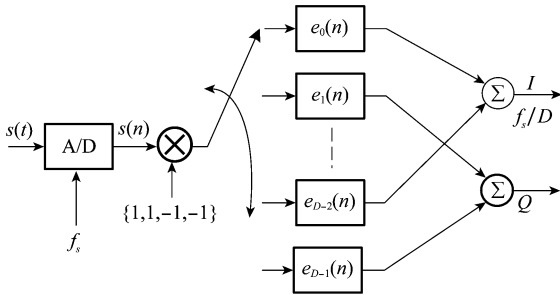


图 3 多相下变频优化结构

### 3 压缩比可变的 BAQ 算法

为减轻星上存储和数传链路的压力,需要对降采样输出的数据做压缩处理。BAQ 是目前应用最成熟的 SAR 原始数据压缩算法,已成功应用于 ENVISAT ASAR<sup>[9]</sup> 和 TerraSAR-X<sup>[10]</sup>。现代星载 SAR 一般有多种工作模式,不同工作模式采用不同压缩比,允许用户在图像质量、测绘带宽和数据率之间做出权衡。在 BAQ 方案具体实施时,把 8:1、8:2、8:3、8:4 和 8:8 BAQ 集成起来,其中 8:1 为直接符号位下传,8:8 为数据直通,由控制字选择压缩方式,灵活实现压缩比可变的 BAQ 模块,满足 SAR 的各种模式需求。

BAQ 算法的实现包括以下步骤:

(1) 对 I、Q 数据分块,计算块内数据幅度均值,由均值映射得到标准差;

(2) 用标准差将分块数据归一化,然后用 Lloyd-Max 量化器对其进行量化,得到编码。

将编码及各分块幅度均值下传,在地面利用这些数据,逆步骤可实现解压缩。由于标准差计算占用较多硬件资源,不利于实时处理,所以通过查表实现。查找表是信号幅度均值与信号标准差非线性映射关系的离散化结果,8 bit

量化时映射关系为<sup>[9]</sup>

$$|\bar{I}| = |\bar{Q}| = 127.5 - \sum_{n=0}^{126} \operatorname{erf} \left( \frac{n+1}{\sqrt{2}\sigma} \right) \quad (7)$$

式中,  $|\bar{I}|$  和  $|\bar{Q}|$  为信号幅度均值;  $\sigma$  为信号标准差;  $\operatorname{erf}(x) = \frac{2}{\sqrt{\pi}} \int_0^x \exp(-t^2) dt$ 。

该查找表除了具有均值与标准差的映射功能外,还具有量化编码功能,即一次查表可得到最终的量化编码结果,其设计方法详见文献[11]。8:2、8:3 和 8:4 BAQ 三种模式的实现原理基本相同,唯一区别是量化编码表不同。N bit BAQ 实现框图如图 4 所示。下面以 8:3 BAQ 为例说明 BAQ 算法的实现过程。

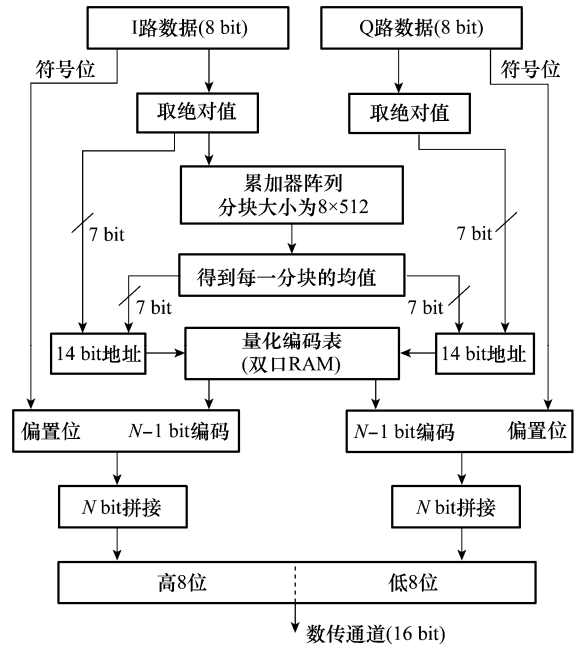


图 4 N bit BAQ 实现框图(N=2,3,4)

取 I、Q 数据幅度绝对值,其中 I 路绝对值分为两支,一支支送累加器阵列累加,计算得到分块数据均值(截取高 7 位),另一支与均值构成查表地址。Q 路绝对值也与均值一起构成查表地址,查 BAQ 量化编码表。需要注意:因为 I、Q 数据统计特性相同,所以共用 I 路均值以降低系统实现复杂度;另外,由于 SAR 回波能量缓变,采用方位向前一分块的均值作为后一分块均值的估计,实验表明这样做是合理的。I、Q 数据符号位与查表输出的 2 bit 编码构成 3 bit 的压缩数据。8 个 3 bit 压缩数据经过拼接后形成 3 个 8 bit 数据送入数传通道,其中 I 路送到高 8 位,Q 路送到低 8 位。

图 4 中,分块大小的选择应遵循以下原则:块内数据统计特性在满足高斯分布的前提下尽可能小,以准确地跟踪回波数据幅度沿方位向和距离向的起伏。

### 4 设计实例和实验结果分析

下面结合项目需要,给出设计实例。某星载 SAR 系统

主要技术指标如下:中频 400 MHz;带宽 200/120/80 MHz;脉冲重复频率 1 000 Hz~3 000 Hz;8:8/8:4/8:3/8:2/8:1 BAQ 压缩比可变;脉冲重复间隔内采样点数可调:64K/48K/32K/16K;双通道输入。

根据以上分析,设计采用 e2v 公司的 AT84AD001B 做采样芯片,其主要性能参数如下:双通道 8 bit 分辨率;1Gsps/通道采样率;1.5 GHz 全功率输入带宽(-3 dB);典型信噪比(signal to noise ratio, SNR) 42 dB;有效位数(effective number of bits, ENOB)6.8 bit;内部集成了 1:2 的数据多路分离器(DeMUX)。采样频率  $f_s = 4f_c/3 = 533.3$  MHz。选用 FPGA 主要考虑处理速度,乘法器数量和存储容量,Xilinx 公司的 XC5VLX330 芯片标称最高工作频率可达 550 MHz,内置 192 个乘法器和约 10Mbit 的块随机存储器(block random access memory, Block RAM)资源,可以满足需要。

设计实例工作框图见图 5。ADC 采样频率为 533.3 MHz,进行双通道同时采样,1:2DeMUX 输出 4 路 266.7 MHz 的 8 bit 采样数据。此后双通道数据处理相同,以一个通道为例说明处理流程。为保证后续数字处理的顺利进行,采样数据进入 FPGA 后须经过先进先出(first in first out, FIFO)缓存降速。FIFO 大小为  $64\text{ K} \times 8 = 512\text{ Kbit}$ ,输入时钟 266.7 MHz,输入数据为 2 路拼接而成的 16 bit 数据。根据技术指标要求,  $PRF \leq 3\text{ 000 Hz}$ ,取 FIFO 输出时钟为 200 MHz,在采样点最大

的情况下,输出 65 536 点数据占用的时间长度为  $327.68\ \mu\text{s}$ ,满足 PRF 要求,输出数据为 8 bit。接下来各个步骤的时钟都在 200 MHz 以下,外部提供 50 MHz 基准时钟给 FPGA,在此基础上利用 FPGA 内部的数字时钟管理器(digital clock managers, DCM)和全局时钟网络资源产生数据处理所需的各种时钟。数字正交解调模块和 BAQ 压缩模块的详细过程见第 2 节及第 3 节。数字下变频后,可对 200/120/80 MHz 带宽信号进行 2/4/6 倍下抽取。根据控制字选择不同的模块和时钟处理数据,2:1 抽取时控制字约束不出现 8:8 直通模式。分析易知,200 MHz 带宽时 FIR 滤波器过渡带为(100 MHz,133.3 MHz),其中 100 MHz 为通带频率,133.3 MHz 为截止频率。同理可得 120 MHz 和 80 MHz 带宽对应的过渡带分别为(60 MHz,66.6 MHz)、(40 MHz,44.4 MHz)。可见,120 MHz 和 80 MHz 带宽时过渡带很窄,为了达到 -45 dB 的带外抑制比,相应的滤波器阶数分别高达 200 和 300,直接形式实现乘法器资源远远不够,采用多相下变频优化结构这一问题得以解决。同时,I、Q 两路共用同一组滤波器,避免了分别滤波引入的通道间幅相不一致性。最后,需对 BAQ 压缩输出数据进行打包,即将每个脉冲重复周期内的辅助数据和 BAQ 压缩数据加以格式化,然后输出至数传通道。按照以上原理,我们完成了星载 SAR 中频数字接收机原理样机的研制,FPGA 片内资源占用情况如表 1 所示。

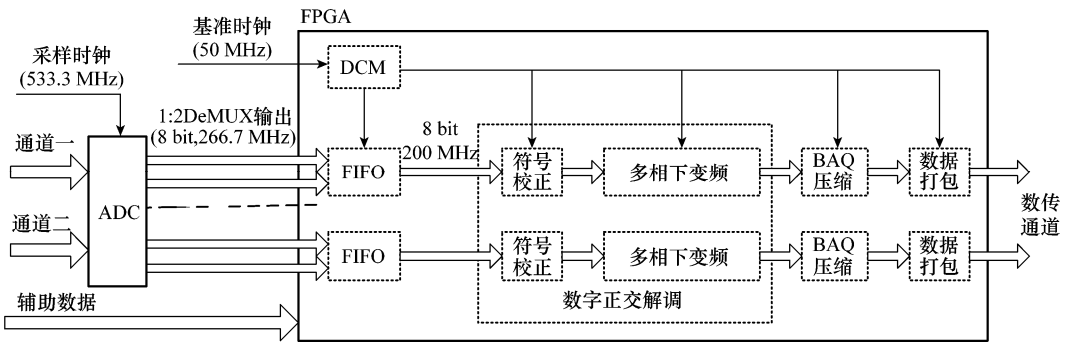


图 5 SAR 中频数字接收机设计实例工作框图

表 1 FPGA 主要资源使用情况

	Bit Slices	IOBs	BUFGs	Block RAMs	DCMs	DSP48Es
使用个数	5 106	156	16	59	6	100
占用百分比 / (%)	57	13	50	20	50	51

输入中频线性调频信号来测试系统性能,信号参数见 SAR 系统指标。图 6 为 FPGA 时序仿真图,从上至下模拟显示的波形分别为 200 MHz 带宽信号 8:2/8:3/8:4/8:8 压缩时的 I、Q 信号。由图可见,不同压缩比的信号波形变化趋势一致,压缩比越低,波形越平滑。表 2 列出了三种带宽信号不同压缩比下解压压缩后的各项指标:I、Q 两路 SNR,脉压后主瓣 3 dB 宽度、展宽比、峰值旁瓣比(peak sidelobe ratio, PSLR)和积分旁瓣比(integral sidelobe ratio, ISLR),其中 8:8 直通输出作为理想结果以供参照。从表中的数据可以清楚的看出,BAQ 压缩对图像空间分辨率和 PSLR 几

乎没有影响。随着压缩比的增大,SNR 和 ISLR 呈下降趋势,反映到图像中就是使图像的对比度变差,但 8:4 和 8:3 BAQ 时与理论值相差不大,一般可满足中等质量图像成像需要。应用时根据具体需求,选择合适的压缩比。

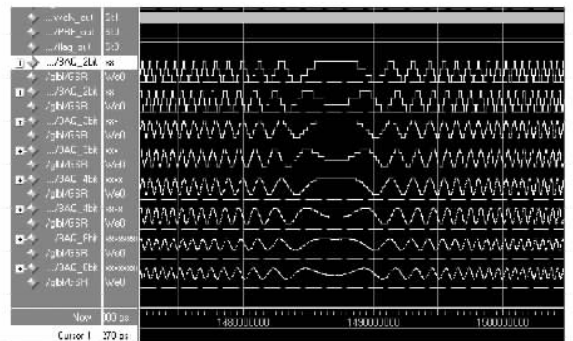


图 6 FPGA 时序仿真图

表 2 各个带宽不同压缩比下性能指标

带宽/MHz	压缩比	I 路 SNR/dB	Q 路 SNR/dB	3 dB 宽度/m	展宽比	PSLR/dB	ISLR/dB
200	8;8	∞	∞	0.665	1	-13.284	-9.704
	8;4	20.522	20.621	0.666	1.002	-13.270	-9.526
	8;3	14.491	14.482	0.666	1.002	-13.296	-8.963
	8;2	8.564	8.548	0.665	1.001	-13.103	-7.505
	8;1	7.173	7.094	0.668	1.005	-13.094	-5.201
120	8;8	∞	∞	1.108	1	-13.315	-9.875
	8;4	20.768	20.601	1.108	1.001	-13.220	-9.596
	8;3	14.783	14.656	1.106	0.999	-13.328	-8.836
	8;2	8.697	8.581	1.109	1.001	-13.266	-7.491
	8;1	7.123	7.105	1.110	1.003	-13.103	-5.092
80	8;8	∞	∞	1.661	1	-13.218	-9.341
	8;4	20.629	20.545	1.665	1.002	-13.120	-9.293
	8;3	14.627	14.578	1.665	1.002	-13.324	-8.703
	8;2	8.629	8.528	1.664	1.002	-13.203	-7.480
	8;1	7.128	7.106	1.668	1.004	-13.132	-5.086

### 5 结束语

本文结合工程实际,完成了某型双通道宽带星载 SAR 中频数字接收机原理样机的 FPGA 实现。采用优化的多相数字下变频结构,在 FPGA 乘法器资源有限的情况下实现了高阶数的 FIR 低通滤波器。同时,实现了压缩比可变的 BAQ 压缩模块,降低了对数传链路的要求。采用该方案设计的原理样机已得到成功应用,实验结果表明星载 SAR 中频数字接收机性能稳定可靠,工作方式灵活,有很好的应用前景。

### 参考文献:

[1] 董勇伟,周良将,唐波,等. SAR 实时成像处理平台的设计与实现[J]. 系统工程与电子技术, 2009, 31(8): 1882 - 1886. (Dong Y W, Zhou L J, Tang B, et al. Design of real-time signal processing platform for airborne SAR imaging[J]. *Systems Engineering and Electronics*, 2009, 31(8): 1882 - 1886.)

[2] 邱兆坤,马云,王伟,等. 基于 FPGA 的数字化正交解调接收机最优设计[J]. 电子与信息学报, 2006, 28(1): 41 - 44. (Qiu Z K, Ma Y, Wang W, et al. Optimization design of digital quadrature demodulation receiver based on FPGA[J]. *Journal of Electronics & Information Technology*, 2006, 28(1): 41 - 44.)

[3] Keydel W. Perspectives and visions for future SAR systems[J]. *Proc. of IEE Radar Sonar Navigation*, 2003, 150(3): 97 - 103.

[4] Wang J F, Pi Y M. SAR tomography imaging via higher-order

spectrum analysis [J]. *Journal of Systems Engineering and Electronics*, 2009, 20(4): 748 - 754.

[5] Damini A, McDonald M, Haslam G E. X-band wideband experimental airborne radar for SAR, GMTI and maritime surveillance[J]. *Proc. of IEE Radar Sonar Navigation*, 2003, 150(4): 305 - 312.

[6] Linderman R W. Swathbuckler; wide swath SAR system architecture[C]// *IEEE Conference on Radar*, 2006: 465 - 470.

[7] 陈佳民,童智勇,杨汝良. 一种多模式合成孔径雷达数字接收机[J]. 电子器件, 2006, 29(4): 1097 - 1102. (Chen J M, Tong Z Y, Yang R L. Digital receiver for multi-mode synthetic aperture radar[J]. *Chinese Journal of Electron Devices*, 2006, 29(4): 1097 - 1102.)

[8] Wang Hong, Lu Youxin, Wan Yonglun, et al. Design of wide-band digital receiver[C]// *International Conference on Communications, Circuits and Systems*, 2005(2): 794 - 797.

[9] Qi Haiming, Yu Weidong, Chen Xi. Piecewise linear mapping algorithm for SAR raw data compression[J]. *Science in China Series F: Information Sciences*, 2008, 51(12): 2126 - 2134.

[10] Mittermayer J, Younis M, Metzger R, et al. TerraSAR-X system performance characterization and verification[J]. *IEEE Trans. on Geoscience and Remote Sensing*, 2010, 48(2): 660 - 676.

[11] 祁海明. 星载合成孔径雷达原始数据压缩技术研究[D]. 北京: 中国科学院电子学研究所, 2008. (Qi H M. Study of spaceborne SAR raw data compression techniques [D]. Beijing: Institute of Electronics, Chinese Academy of Sciences, 2008.)