

Camera Link 在 Virtex5 系列 FPGA 上的实现

王钢^{1,2}, 王世刚³, 刘财^{1*}, 高凯³

(1. 吉林大学地质探测科学与技术学院, 吉林 长春 130022;

2. 北华大学电气信息工程学院, 吉林 吉林 132012; 3. 吉林大学通信工程学院, 吉林 长春 130012)

摘要:针对当前工业相机和图像采集卡 Camera Link 标准接口需要使用专用集成电路才能实现的问题,提出采用最新 Xilinx 的 Virtex5 系列现场可编程门阵列 (field programmable gate array, FPGA),使用甚高速集成电路硬件描述语言 (very high speed integrated circuits hardware description language, VHDL) 编程实现 Camera Link 的信道链路解串器和帧获取器的逻辑时序和信号控制电路。通过 Camera Link 接口信号的误码率测试和采集信号的完整性实验,验证了系统设计原理的正确性和在高误码率条件下,正常采集图像的可靠性。因此本系统设计可以在相同系列 FPGA 之间进行有效的系统资源移植,简化硬件电路设计,节约一半以上的开发时间,提高大约 75% 的系统集成度。

关键词:Camera Link; Virtex5; 信道链路; 帧获取器; 现场可编程门阵列

中图分类号:TG156 **文献标志码:**A

Implementation of Camera Link on Virtex-5 FPGA

WANG Gang^{1,2}, WANG Shi-gang³, LIU Cai^{1*}, GAO Kai³

(1. College of Geo-Exploration science and Technology, Jilin University, Changchun 130022, China;

2. College of Electric and Information Engineering, Beihua University, Jilin 132012, China;

3. College of Communication Engineering, Jilin University, Changchun 130012, China)

Abstract:In order to solve the problem that Camera Link standard interface used by the current industrial camera and the image acquisition card realized only by making use of special integrated circuit, the field programmable gate array (FPGA) of Virtex5 series—the latest product of Xilinx was used, and the very high speed integrated circuits hardware description language (VHDL) programming was also used to realize the logical sequence and signal control circuit of the Channel Link deserializer and the Frame Grabber on the Camera Link interface. Based on the bit error rate test and the integrity test of signal acquisition on at Camera Link interface, it was verified that the principle of system design was correct and the acquiring normal image in the condition of high bit error rate was reliable. After applying designs of this system, the resource transplantation was processed more effectively among the same series of FPGA, the hardware circuit was simplified, the development time was saved by more than 50%, and the integration of the system by 75% increased.

Key words:Camera Link; Virtex5; Channel Link; Frame Grabber; Field Programmable Gate Array

0 引言

Camera Link 标准是在 2000 年由 Basler、

Cognex、National Instruments 和图像采集设备供应商共同制定和开发的视频接口标准^[1-3]。该标准不仅简化了数字相机和图像设备之间的连接,而且满足不断增加的图像信号数据传输速度和质量要求,

因此在各种高速图像数据采集系统中得到广泛应用。但在当前工业应用中的 Camera Link 接口通常采用专用芯片实现,至少需要 4 颗芯片,而且还需要电源以及多个电阻和电容等分立元件,需要一定电路板面积和经济成本。如果在嵌入式图像处理平台中使用 FPGA 芯片^[4-5]实现该接口标准,则可以提高系统集成度、可靠性和灵活性,降低系统成本。因此使用 Xilinx 的 Virtex5 系列 FPGA,通过硬件语言实现 Camera Link 协议标准,不但可以在不同码率下进行高质量图像采集,而且在两片没有专用高速串行接口的 FPGA 之间能够以较少数量的引脚,实现较高速度的图像数据传输,具有明显的应用价值。

1 Camera Link 构成

Camera Link 有 Camera 和 Frame Grabber 两种端口^[6]。前者作为相机端,后者作为图像采集端。如图 1 所示, Camera Link 接口构成是: 1 ~ 3 个 Channel Link 接口,方向为 Camera 至 Frame Grabber,用于传输图像数据; 1 个四通道相机控制接口 CC1 ~ CC4,方向为 Frame Grabber 至 Camera,通常用作 Camera 曝光触发控制; 1 个两通道异步串行接口(serial to frame grabber, SerTFG)与(serial to camera, SerTC)。Frame Grabber 通过 SerTC 配置 Camera,通过 SerTFG 向 Frame Grabber 发送寄存器值等数据。所有接口物理上都是基于 LVDS 信号传输。Camera Link 的 Channel Link 数量配置为 1、2 和 3 时分别称为 Base、Media 和 Full 模式。3 种模式使用同一组相机控制接口和串行通信接口。

Camera Link 只有 Channel Link 涉及串行并行转换^[7-8],其它接口均为普通的单向连接,因此要在 FPGA 上实现 Camera Link 关键是要实现 Channel Link。而当前的很多中高端 FPGA 芯片内部有串并转换元件,适合实现 Camera Link 应用,以 FPGA 内部很少一点资源为代价足以实现 Camera Link 接口,以提高硬件系统集成度与灵活性。

2 Virtex5 系列 FPGA

在 Xilinx 公司 Virtex5 系列 FPGA 上实现 Camera Link 接口 Frame Grabber 端所需资源有 PLL、IBUFDS/IBUFGDS、OBUFDS、ISERDES、IO-DELAY 和 IDELAYCTRL^[9-10]。除了 PLL,其它部分全部属于 Select IO。

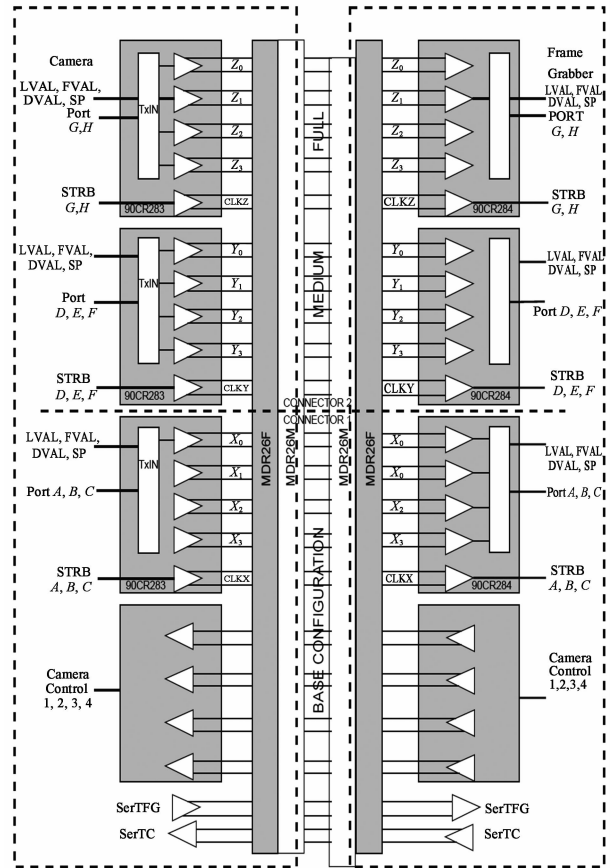


图 1 Camera Link 构成

Fig. 1 Camera Link structure

Virtex5 系列 FPGA 的锁相环 PLL^[11]有两个时钟输入源可产生多个输出时钟。PLL 核心部分为压控振荡器 VCO,其频率

$$FVCO = FCLKIN \times M/D. \quad (1)$$

FCLKIN、M 和 D 分别为输入时钟、倍频和分频系数。FVCO、FCLKIN、M 和 D 有各自的数值范围,设定频率时需小心选择各个数值。输出时钟频

$$FOUT = FCLKIN \times M/(D \times O), \quad (2)$$

其中, O 为各个输出时钟的分频系数。

图 2 为 PLL 的部分端口。其中 RST 是复位信号; LOCKED 是输出信号,高电平表示锁相环已经锁相,频率稳定可用。

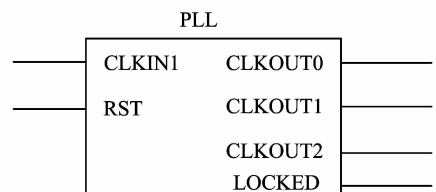


图 2 PLL 端口结构

Fig. 2 PLL interface structure

IBUFDS/IBUFGDS 均为差分输入缓冲,将 LVDS 输入信号转换为单端信号,根据需要可以选

择在输入端启用芯片内部 100 Ω 并联电阻。二者不同之处是后者可以将信号接入全局时钟网络,时钟信号应该接 IBUFGDS。图3为IBUFGDS的示意图,虚线部分为并联电阻,在原理图设计时可省略电阻元件,简化电路设计;*I*、*IB*为外部输入引脚,*O*为转换后的单端信号。

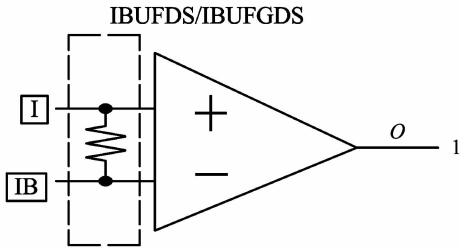


图3 IBUFGDS示意图
Fig.3 IBUFGDS diagram

ISERDES 是解串器,在本设计中用作 Channel Link 的解串器^[12-13]。ISERDES 接口可设置为网络类型或者存储类型,数据率可设为单数据率 SDR 或双数据率 DDR。ISERDES 接口是网络类型时,在 SDR 模式下每个 CLK 上升沿锁存 1 次 *D* 数据,并行数据宽度可为 2 ~ 8;DDR 模式下 CLK 上升沿和下降沿各取 1 次 *D* 数据,并行数据宽度可为偶数 4、

6,8 或 10。ISERDES 接口是存储类型时,仅支持 DDR 一种数据率,并且数据宽度为 4。因此,在实现 Channel Link 时,ISERDES 接口只能选网络类型,数据率为 SDR,2 个 ISERDES 可以进行级联。

单个 ISERDES 串并转换器输出位宽为 6 位,Channel Link 每个串行数据解串为 7 位宽,这时需要将 2 个 ISERDES 级联以扩展位宽,并且 ISERDES 接口要选择网络类型。位宽是奇数,2 个 ISERDES 数据率只能选 SDR。

IDELAYCTRL 为延迟管理单元,实时校准它所控制区域内的 IODELAY,以减少电压和温度对 IO-DELAY 的影响。IODELAY 为可编程输入输出绝对延迟元件,可以将信号延迟某一设定时间。延迟值可在 0 ~ 63 拍之间选择。

3 Camera Link 的实现

实现 Camera Link, Frame Grabber 端 Base 配置^[14],硬件设计如图4所示。因为空间原因,图中仅画出一个 Channel Link 的一个串行数据通道,控制通道省略了 CC2 ~ CC4。被省略部分设计与图中保留部分设计一致。

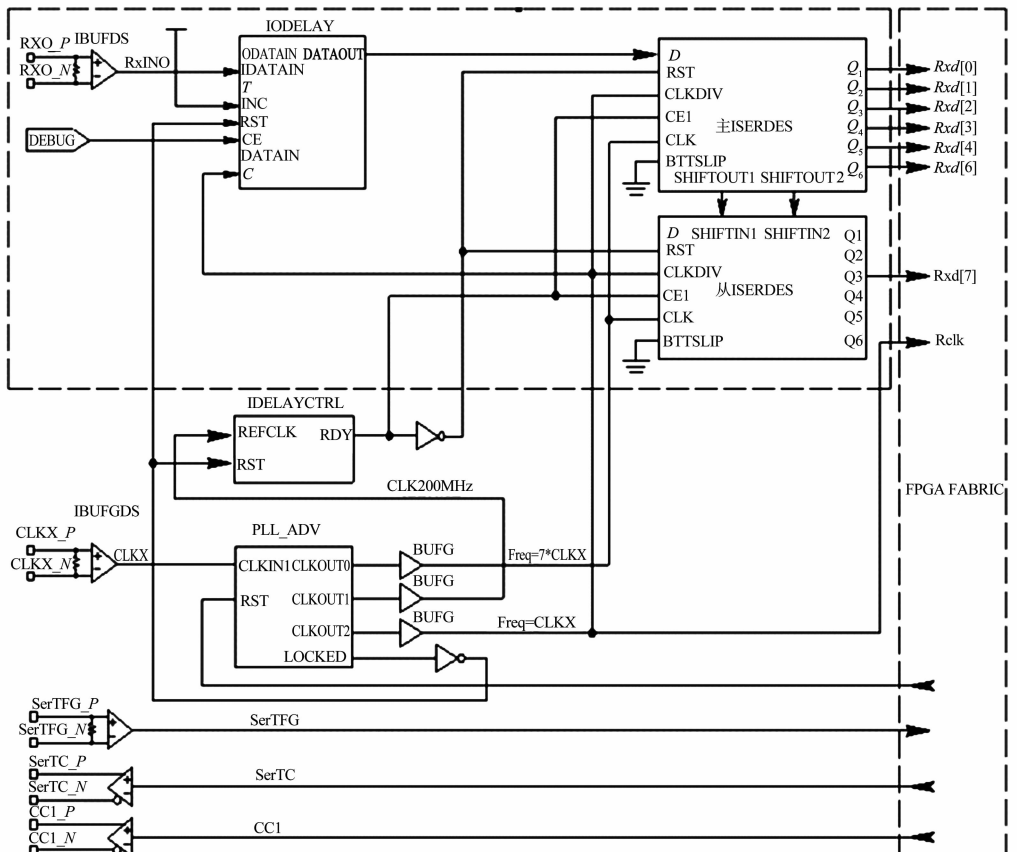


图4 Frame Grabber 端硬件设计
Fig.4 Frame Grabber end hardware design

3.1 解串器实现

图中虚线部分是 Channel Link 解串器^[15-16]设计。LVDS 形式的伴随时钟 CLKX_P/CLKX_N 与串行数据信号 RX0_P/RX0_N 分别经 IBUFGDS 与 IBUFDS 转换为单端信号 CLKX 与 RX0。设计思路是用 IODELAY 调整串行数据信号 RX0 延迟,使 RX0 数据有效窗口中心位置对齐串并转换器中的采样时钟边沿。

CLKX 作为 PLL 输入时钟,PLL 输出 3 路时钟均经过全局缓冲处理。CLKOUT0 = 7CLKX; CLKOUT1 = 200 MHz; CLKOUT2 = CLKX。CLKOUT0 及 CLKOUT2 与 CLKX 边沿对齐。CLKOUT0 为两级联的 ISERDES 端口 CLK 提供数据采样时钟。CLKOUT1 为 IDELAYCTRL 端口 REFCLK 提供参考时钟。CLKOUT2 为两级联的 ISERDES 端口 CLKDIV 提供控制时钟,为 IODELAY 端口 C 提供控制时钟,并提供给 Fabric 以锁存 ISERDES 输出的数据。

复位信号以直接相关为原则设计^[17-19]。PLL 频率稳定是整个电路运行的基础,因此以其 LOCKED 信号控制 IDELAYCTRL 与 IODELAY; 只有 IDELAYCTRL 将 IODELAY 校准完毕后 ISERDES 接收到的数据才有意义,因此 ISERDES 的复位信号用 IDELAYCTRL 的 RDY 信号控制。

IODELAY 配置为输入 VARIABLE 延迟。RX0 作为输入信号源,经过 IODELAY 延迟输出至级联的主 ISERDES 数据端口 D。IODELAY 延迟调整方向端口 INC 接高,控制端口 C 接 CLKOUT2,控制时钟使能端口 CE 接 1 个称为 DEBUG 的信号。CLKOUT2 上升沿时,每采样到 1 次 DEBUG 为高,则延迟增加 1 拍,当延迟为 63 拍时,若再采样到 DEBUG 为高,则延迟回到 0 拍,如此循环。通过控制 DEBUG 信号调整 RX0 信号的延迟,以满足要求。初始延时设定为 0 拍。

3.2 控制信号与串行信号实现

控制信号与串行信号实现上只是通过 OBUFDS 与 IBUFDS 实现 LVDS 信号与单端信号之间的转换。控制信号 CC1 自 Fabric 连接至 OBUFDS; 串行信号 SerTC 自 Fabric 连接至 OBUFDS, SerTFG 自 IBUFDS 连接至 Fabric。

4 调试

调试时需要建立一个调试环境:用一个 Camera 端 Camera Link 发送特定的 Channel Link 数据;将

Camera 端 Camera Link 用线缆连接到 Virtex5 FPGA 电路板;Camera 端串行器时钟 60 MHz,将并行数据串行化后 Channel Link 发送给 FPGA。

先调试通道 Channel Link 的串行通道 0。为了排除干扰,通道 0 传输的并行数据仅有 1 位为 1。根据图 3 所示并行数据分配,Camera 端的并行数据为 28' b0 000_0 000_0 000_0 000_0 000_0 001, FPGA 对应通道 0 的 ISERDES 应该输出 7' b000_0 001。FPGA 配置结束后,对 PLL 复位,待各元件结束复位后开始调整 IODELAY 延迟。控制图 4 中的 DEBUG 信号,输入周期在 1/2 ~ 1 个 CLKOUT2 宽度的正脉冲,每输入 1 个脉冲 IODELAY 延迟将增加 1 拍。当延迟值不合适时,从 ISERDES 解串出来的并行数据不等于 7' b000_0001,甚至有时数据会有两位等于 1。不断向 DEBUG 输入正脉冲,输入 N 个脉冲时得到数据等于 7' b000_0 001,继续输入脉冲直至数据不等于 7' b000_0 001,此时总计输入 M 个脉冲。该通道 ISERDES 数据有效窗口宽度为 M - N,窗口中心位置为 (M + N - 1)/2,以这个方法依次测得另外 3 个通道窗口中心位置。

控制信号以及串行信号测试时 FPGA Fabric 驱动 CC1 ~ CC4、SerTC, Camera 端接收到了对应的信号;Camera 端驱动 SerTFG, FPGA Fabric 端接收到了对应的信号,这两种接口也调试完毕。

调试结束后,在程序中将 IODELAY 延迟配置为 Fixed, 值为 (M + N - 1)/2 的整数部分。至此,在 Virtex5 系列 FPGA 上实现了 Camera Link。此设计实际测试时分为两阶段进行。首先测试误码率,将 Camera 端输出数据按 0 ~ 7 位、8 ~ 15 位、16 ~ 28 位分为 3 段,每段输入重复的数据,以 60 M 频率发送 0 ~ 255 的循环数据,如果 Camera Link 接收数据有误,则发出触发信号。经过数 72 h 测试,数据一直正常,未发生触发信号。然后将该设计集成到 FPGA 完整设计中,在实际设备上实现了图像的正常采集。

5 结论

本研究在 Virtex5 系列 FPGA 上实现 Camera Link 设计,通过对高速数据进行传输测试,结果验证了在 FPGA 芯片上实现 Camera Link 原理的正确性和高速数据传输条件下的低误码率性能。本设计的实现不但减少了硬件电路面积,而且能够实现在 Virtex5 系列 FPGA 之间代码移植,此设计作为一种平台式的工具使用,在未来的嵌入式高速图像采集系统中,具有广泛的应用前景。

参考文献:

- [1] 王明富, 杨世洪, 吴钦章. 大面阵 CCD 图像实时显示系统的设计[J]. 光学精密工程, 2010, 18(9): 2053-2059.
WANG Mingfu, YANG Shihong, WU Qinzhang. Design of large-array CCD real-time display system [J]. Optics and Precision Engineering, 2010, 18(9): 2053-2059.
- [2] 朱齐丹, 刘进业, 康岭. Camera Link 硬件接口电路设计[J]. 应用科技, 2008, 35(10): 57-60.
ZHU Qidan, LIU Jinye, KANG Ling. The design of hardware circuit for Camera Link interface [J]. Applied Science and Technology, 2008, 35(10): 57-60.
- [3] 陈伟, 宋燕星. 基于 LVDS 技术的高速数字图像传输系统[J]. 电子测量技术, 2008, 31(11): 172-174.
CHEN Wei, SONG Yanxing. High-speed digital image transmission system based on LVDS [J]. Electronic Measurement Technology, 2008, 31(11): 172-174.
- [4] 王鸣浩, 陈涛, 吴小霞. 基于 Camera Link 接口的高帧频数字图像采集显示系统[J]. 微电子学与计算机, 2011, 28(3): 149-153.
WANG Minghao, CHEN Tao, WU Xiaoxia. High frame rate digital image acquisition and display system based on camera link interface [J]. Microelectronics & Computer, 2011, 28(3): 149-153.
- [5] 徐志跃, 张田甜. 基于 Camera Link 的串行图像采集系统设计[J]. 计算机应用, 2010, 30(6): 1701-1704.
XU Zhiyue, ZHANG Tiantian. Design of serial image acquisition system based on Camera Link [J]. Journal of Computer Application, 2010, 30(6): 1701-1704.
- [6] HE Zhongxiang, YANG Shihong, WU Qinzhang. Design of a real-time display system based on camera link [C]//Proceedings of 2009 4th International Conference on Computer Science and Education. Nanning: IEEE, 2009: 431-434.
- [7] 沈鸽, 王美娇, 嵇晓强. 基于 Camera Link 的视频采集与传输系统显示系统[J]. 微电子学与计算机, 2011, 27(8): 99-101.
SHEN Ge, WANG Meijiao, JI Xiaoqiang. The system of video image collection and transmission based on camera link [J]. Microelectronics & Computer, 2011, 27(8): 99-101.
- [8] 刘树昌, 刘鹏, 王延海. 大容量高速视频图像传输技术研究[J]. 吉林大学学报: 信息科学版, 2011, 29(1): 21-25.
LIU Shuchang, LIU Peng, WANG Yanhai. Research on large-capacity high-speed video image transmission technology [J]. Journal of Jilin University: Information Science Edition, 2011, 29(1): 21-25.
- [9] 王杰, 王诚, 谢龙汉. Xilinx FPGA/CPLD 设计手册 [M]. 北京: 人民邮电出版社, 2011.
- [10] 刘庆良, 卢荣军, 李建清. 基于 Virtex-5 FPGA 的系统监测器设计[J]. 电子设计工程, 2010, 18(2): 56-59.
LIU Qingliang, LU Rongjun, LI Jianqing. Design of system monitor based on Virtex-5 FPGA [J]. Electronic Design Engineering, 2010, 18(2): 56-59.
- [11] CHARLES D N, THOMAS W, PAULA P. An evaluation of the xilinx virtex-4 FPGA for on-board processing in an advanced imaging system [C]//Proceedings of 2009 IEEE Aerospace conference. Big Sky Montana, United States: IEEE, 2009: 1-9.
- [12] THOMAS W, THOMAS B A, DMITRIY L, et al. Real-time data processing for an advanced imaging system using the Xilinx Virtex-5 FPGA [C]//Proceedings of 2010 IEEE Aerospace Conference. Big Sky Montana, United States: IEEE, 2010: 1-8.
- [13] 李爱玲, 张伯瑜, 边川平. 高速 CCD 图像采集存储系统的硬件设计[J]. 电子器件, 2007, 30(6): 2145-2147.
LI Ailing, ZHANG Boheng, BIAN Chuanping. Design of high speed CCD image data acquisition hardware system [J]. Chinese Journal of Electron Devices, 2007, 30(6): 2145-2147.
- [14] XU Zhiyue, CHEN Yanpeng, ZHANG Xian. Design of serial image acquisition system based on Camera Link [C]//Proceedings of the 7th IEEE Conference on Industrial Electronics and Applications. Beijing: IEEE, 2012: 1804-1809.
- [15] WANG Yuanpeng, JIANG Hongxu, YU Huirong. A multi-mode high-speed video data capture system based on DSP + FPGA [C]//Proceedings of 2011 International Conference on Multimedia Technology (ICMT). Hangzhou: IEEE, 2011: 5230-5233.
- [16] 李娟, 刘艳滢. 基于 FPGA 的图像采集模块的设计[J]. 仪表技术与传感器, 2012, 10(10): 27-31.
LI Juan, LIU Yanying. Design of image acquisition module based on FPGA [J]. Instrument Technique and Sensor, 2012, 10(10): 27-31.
- [17] 罗辉舞, 洪海丽, 任宇飞. 基于 FPGA 的视频图像采集系统的设计与实现[J]. 电子测量技术, 2010, 33(7): 23-26.
LUO Huiwu, HONG Haili, REN Yufei. Design and realization of image acquisition controller based on the interface of Camera Link [J]. Electronic Measurement Technology, 2010, 33(7): 23-26.
- [18] 张传胜. 基于 FPGA/SOPC 架构的面阵 CCD 图像采集系统的设计[J]. 液晶与显示, 2011, 26(5): 636-639.
ZHANG Chuansheng. Design of image acquisition system based on array CCD with FPGA/SOPC architecture [J]. Journal of Liquid Crystals and Displays, 2011, 26(5): 636-639.
- [19] 冉峰, 杨辉, 黄舒平. 面阵 CCD 彩色视频图像实时采集系统的设计[J]. 光学精密工程, 2010, 18(1): 273-281.
RAN Feng, YANG Hui, HUANG Shuping. Design of real time color video capture system for area array CCD [J]. Optics and Precision Engineering, 2010, 18(1): 273-281.