

文章编号: 1007-2861(2009)01-0042-05

## 基于 NanoSim-VCS 的芯片级混合信号验证

胡越黎<sup>1</sup>, 经文怡<sup>1</sup>, 宣祥光<sup>2</sup>

(1. 上海大学 机电工程与自动化学院, 上海 200072; 2. 上海飞乐股份有限公司 技术中心, 上海 200050)

**摘要:** 在混合信号系统芯片设计过程中, 复杂的全芯片系统验证以及数字单元和模拟 IP 电路间的接口节点分析成为设计的瓶颈. 提出一种基于 NanoSim-VCS 的混合信号验证方法, 以 SHU-MV06 芯片为具体对象, 对一个包括 Verilog 和 SPICE 的数模混合系统设计进行验证. 这一验证方法在仿真的速度和精度间进行折衷, 在保证一定精度的基础上大大缩短了仿真时间, 提高了验证效率, 使设计人员在早期仿真阶段就能及时发现设计中的问题, 改进了设计质量. 采用此方法验证的数模混合系统级芯片 SHU-MV06 一次流片成功, 表明了此方法的正确性和有效性.

**关键词:** 模拟数字混合信号验证; NanoSim-VCS; 片上系统芯片 SoC

中图分类号: TN 402

文献标志码: A

## Mixed-Signal SoC Verification Using NanoSim-VCS

HU Yue-li<sup>1</sup>, JING Wen-yi<sup>1</sup>, XUAN Xiang-guang<sup>2</sup>

(1. School of Mechatronics Engineering and Automation, Shanghai University, Shanghai 200072, China;

2. Technology Center, Shanghai Feilo Co., Ltd., Shanghai 200050, China)

**Abstract:** Complex full-chip system verification and interface nodes analysis between analog and digital circuit are a bottle-neck in mixed-signal system design. In this paper, a mixed-signal verification method based on NanoSim-VCS is proposed, which is used to verify SHU-MV06, a mixed-signal design including Verilog and SPICE. This method provides efficient simulation with high accuracy and speed by performing speed-versus-accuracy tradeoffs. Defects can be found in time at an early stage and the design quality can be improved significantly.

**Key words:** analog and mixed-signal (AMS) verification; NanoSim-VCS; System-on-Chip (SoC)

随着芯片设计复杂度提高, 混合信号系统成为片上系统(SoC)的发展趋势<sup>[1]</sup>. 统计资料表明, 复杂 SoC 设计中仿真验证通常占整个芯片设计周期大约 50% ~ 70% 的时间<sup>[2]</sup>. 由此可见, 提升 SoC 的设计仿真能力, 尤其是混合信号的仿真能力, 寻求最合适的仿真分析以及验证的流程和方法, 在确保仿真分析精度的同时提高仿真性能是确保 SoC 设计成功的

关键.

传统的全芯片验证可以分为门级验证和晶体管级验证两种方法<sup>[3]</sup>. 门级验证方法对于模拟电路只在模块级进行仿真, 在系统级上用 Verilog 行为级模型进行描述. 在这种方法中, 仿真质量很大程度上依赖于行为级模型和时序模型的精确度, 行为级模型与模拟模块间的任何不一致都有可能引入缺陷, 这

收稿日期: 2007-10-22

基金项目: 上海市科委集成电路设计专项资助项目(077062008)

通信作者: 胡越黎(1959 ~), 男, 教授, 博士, 研究方向为图像处理、MCU 设计等. E-mail: huyueli@shu.edu.cn

种缺陷可能会在样片测试阶段才暴露出来. 而晶体管级验证使用纯模拟仿真环境, 精度高, 但在大规模全芯片仿真时耗时长、效率低, 而且需要对整个设计进行完整的晶体管级的描述, 因此只能在设计结束阶段进行, 这会延迟对在设计规范定义阶段就已存在的缺陷的检测. 由于不断增长的设计规模和复杂度, 全模拟的验证方法变得不切实际<sup>[4]</sup>.

为了克服传统验证流程中的瓶颈问题, 本工作提出一种基于 NanoSim-VCS 的混合信号验证方法, 以 SHU-MV06 芯片设计为实例, 给出这种验证方法的具体验证流程. 这一流程可满足大规模混合信号系统的设计要求, 同时保证了仿真的速度和精度, 提高了验证效率.

## 1 SHU-MV06 芯片介绍及验证方案

### 1.1 芯片系统结构

本项目设计的 SHU-MV06 芯片是一款汽车引擎

冷却风扇专用的 8 位微控制器芯片, 采用 Intel8051 体系架构. 芯片中针对实际应用集成了 PWM 控制模块以及一个 ADC 模块. 设计采用 Chartered 0.35  $\mu\text{m}$  CMOS 混合信号工艺.

图 1 是 SHU-MV06 芯片的结构框图. 系统工作方式如下: ADC 对模拟变量进行采样, 转换成 10 位数字输出, 由 ADC 控制模块直接存入 MCU 的特殊功能寄存器中. MCU 读取该值进行分析后, 对两路 PWM 输出的占空比进行相应的调节.

集成 ADC 可用于检测温度、工作电压和受控电机的反馈信号等模拟量. 在定义好设计规范后, ADC 模块按模拟电路设计方法, 采用自底向上的设计流程. 在汽车引擎冷却风扇控制中对 ADC 精度和转换速率要求不是很高, 单调性和线性度等是其关键性能参数, 因此采用逐次逼近结构. 其转换精度为 10 位, 采样速率达 3 Mb/s, 4 通道模拟输入, 外接基准电压.

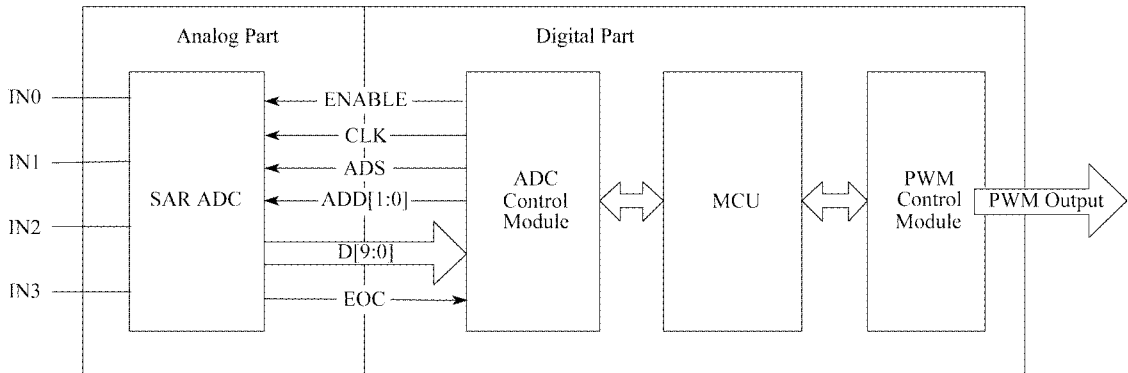


图 1 芯片系统结构  
Fig. 1 System structure

ADC 转换时序如图 2 所示. ENABLE 是 ADC 使能信号, 高电平有效, ENABLE 使能时间  $t_{sp}$  必须大于 300 ns 保证电路进入稳定状态. 启动信号 ADS 的准备时间  $t_s$  必须大于 3 ns, ADS 脉冲宽度最少为 1 个时钟周期. 由于采用 SAR (successive approximation register) 结构, ADC 转换周期为 10 个 CLK 周期. 当 EOC 低电平时, ADC 处于转换状态, 输出数据 D[9:0] 呈逐次逼近过程; 当 EOC 为高电平时, 转换完成, D[9:0] 稳定.

ADC 模块作为系统与外部真实世界的接口, 主要负责对模拟信号进行采集并将其转换为 MCU 可处理的数字量. PWM 模块可输出两路脉冲用于控制外部电机, 其频率和占空比可调. ADC 与 MCU 的接口模块要求对 ADC 实现三种控制模式: 软件触发单

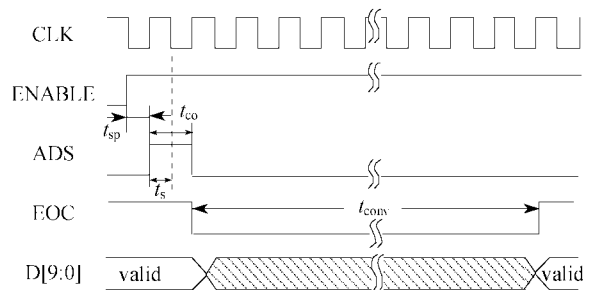


图 2 ADC 转换时序  
Fig. 2 Timing diagram of SAR ADC

次转换、硬件触发单次转换和 PWM 联动模式. 在软件触发和硬件触发模式下, ADC 与 PWM 模块独立工作, 而 PWM-ADC 联动功能则是本设计的一大创新, 以硬件形式简化实际应用中软件的工作量.

进入联动模式后,由 PWM 控制模块在每个输出脉冲高电平的中点向 ADC 控制模块发出转换请求,由 ADC 控制模块产生 ADC 的控制信号,触发单次转换.此模式可用于实时监测环境中模拟量的变化,在待测模拟量超过阈值时对 PWM 输出脉宽进行及时调整.用户可在两路 PWM 输出(pwm[1:0])中选择联动的输出通道. PWM 模块在选定通道高电平期间的中点(此时电机处于稳定状态),向 ADC 控制模块发出转换请求(pwmcon). ADC 控制模块收到这个脉冲信号后将 ADC 使能信号 ENABLE 置 1,激活转换时钟,并发出启动脉冲信号 ADS. ADC 转换完成后将转换完成信号 EOC 置 1,ADC 控制模块将 10 位转换结果存入结果寄存器 adh[7:0]和 adl[7:0],并向 MCU 发出中断申请信号 adc\_int.

## 1.2 NanoSim-VCS 混合信号验证平台

VCS 是目前最流行的 Verilog 模拟器,在 RTL 级仿真的性能和能力方面处于领先地位. NanoSim 是一个高速晶体管级电路模拟和分析工具,也支持用 Verilog-A 等描述的行为级模型. NanoSim 的查找表概念和电路分区技术<sup>[5]</sup>使其在中小规模设计中有全芯片仿真的优势而不减少精度.

本芯片中嵌入的 ADC 模块属于混合信号电路.为了验证接口控制模块和 ADC 模块本身的功能和时序,评估功耗情况,非常有必要进行全芯片级的混合信号验证.本研究提出的全芯片级的混合信号验证方法是基于 Synopsys 的 NanoSim 和 VCS 两个工具,通过把快速 SPICE 仿真器 NanoSim 与 Verilog 仿真器 VCS 集成到新的混合信号仿真流程中,成功克服了传统验证方法中门级验证对行为级模型精确度的依赖性以及晶体管级验证耗时长效率低的缺点,在确保精度的同时提高了仿真性能. NanoSim-VCS 紧密结合,使我们能同时仿真数字和模拟单元,在门级仿真的速度和晶体管级的精度间进行灵活的折衷<sup>[6]</sup>.

NanoSim-VCS 混合信号验证方法很容易集成到现有的芯片设计流程中<sup>[3,7-8]</sup>,芯片设计者可以在设计的各个阶段进行不同层次的全芯片验证.一般可在数字部分 RTL 验证后,把模拟部分的行为级模型替换为 SPICE 网表,进行全芯片混合信号验证,确保电路功能正确.另外,由于工艺尺寸不断减小,在混合信号系统中模拟部分对寄生效应越来越敏感,因此在布局布线后非常有必要进行版图后全芯片验证,对模拟部分进行带寄生参数的晶体管级仿真,以确保功能和时序都能满足要求.本研究主要以布局

布线前仿真为例说明 NanoSim-VCS 验证流程.

## 1.3 SHU-MV06 芯片的混合信号验证流程

本项目使用 NanoSim-VCS 流程具体步骤如下:

(1) 运行 Gentech 程序,根据 SPICE 网表中 MOS 管的尺寸和 SPICE 仿真模型,调用 HSPICE 或 Spectre 仿真器,生成供 NanoSim 使用的查找表形式的工艺文件;

(2) 在电路分块文件(partition file)中指定需要用 NanoSim 进行仿真的模块;

(3) 在 NanoSim 配置文件(configure file)中设置需要保存波形的节点、输出波形格式、时序检查等相关内容;

(4) 以 VCS 为主仿真器编译 Verilog 和 SPICE 网表并执行协同仿真;

(5) 在 CosmosScope 中加载并查看波形.

图 3 是所设计的层次结构和混合仿真环境.为了简化混合信号验证过程,在本项目中选择 Verilog 作顶层,整个芯片设计流程可始终用同一个 testbench,可以用检验纯 HDL 描述设计的测试环境来验证多语言描述的统一设计.数字部分仍然用 Verilog 描述,SRAM 和 ROM 用 Verilog 行为级模型描述以加快仿真速度,ADC 用 SPICE 网表描述.

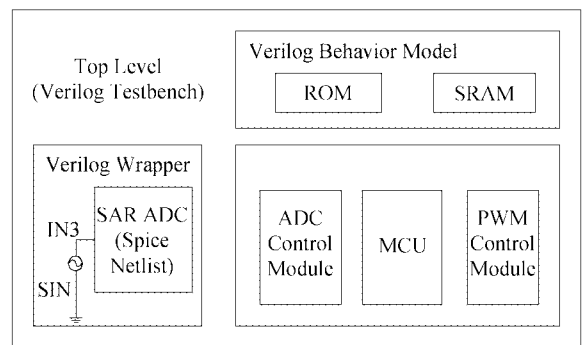


图 3 混合仿真环境

Fig. 3 Co-simulation environment

ADC 部分的电源、参考电压和模拟输入需用电压源加激励,将 ADC 与这些激励源打包成一个模块,并为这个模块建一个 Verilog Wrapper. 在运行协同仿真时,VCS 是主仿真器,当遇到指定要用 SPICE 进行仿真的模块如 ADC 时就调用 NanoSim 对其进行仿真. 仿真时间主要取决于模拟电路的规模.

在处理模拟与数字接口时,要注意数模信号间的转换和总线的格式等问题. 数模信号间的转换采用电阻映射表的方式来处理,当边界出现数字信号的传递时,以一定大小的上、下拉电阻方式做等效,

根据 Verilog 的驱动强度,可用不同阻值的电阻来等效信号;反之亦然.数转模和模转数可以使用不同的转换规则(非双向映射),也可以使用相同规则(双向映射).本项目使用默认的双向电阻映射文件,上、下拉电阻具体的数值如图 4 所示.SPICE 网表不支持总线形式,如果 Verilog Wrapper 中的 IO 信号为总线结构,那么必须告知 VCS 在晶体管级网表中用来界定总线信号的分隔符(如“\_”、“< >”等).本项目采用另一种方法,将 Verilog Wrapper 中的总线信号打散,以单个信号匹配 SPICE 网表的信号引脚.这种方法不易出错,但在总线信号较多时会使 Verilog 网表中的模块定义和连线过于冗长.

```

resistance_map 90000.2-1e32 0;
resistance_map 70000.2-90000.1 1;
resistance_map 50000.2-70000.1 2;
resistance_map 7000.2-50000.1 3;
resistance_map 6000.2-7000.1 4;
resistance_map 1000.2-6000.1 5;
resistance_map 1.2-1000.1 6;
resistance_map 0-1.1 7;
    
```

图 4 电阻映射文件  
Fig. 4 Resistance map file

## 2 实验验证

这里以 SHU-MV06 芯片的设计验证作为本研究提出的基于 NanoSim-VCS 混合信号验证方法的具体应用.本项目中对 ADC 的三种控制模式分别进行了

混合信号验证,证明 ADC 控制模块工作正常.本研究以 PWM-ADC 联动模式为例给出仿真结果.模拟部分以较坏情况进行仿真,选择 ss 工艺角,80 °C,工作电压 3.0 V,系统输入时钟频率 15 MHz.

在 ADC IP 核的设计阶段一般使用传统的 SPICE 工具进行仿真,虽然可以达到很高的精确度,但时间太长,用 Spectre 工具仿真 ADC 模块的单次转换就要耗费十几分钟,在系统验证阶段显然是不可行的.使用 NanoSim-VCS 进行混合信号验证,从仿真波形来看可以达到一定精度,而仿真时间则大大缩短.对 PWM-ADC 联动模式进行全芯片级混合信号验证,仿真时间 2.4 ms,CPU 耗时约 50 min.图 5 给出了 PWM-ADC 联动模式下的仿真波形.

模拟输入端加 1 kHz 的 0 ~ 3.3 V 正弦波激励,如图 5 下方 v(IN3).pwm[0] 为一 PWM 输出信号,在其每次高电平的中点 ADC 进行一次转换.D[9:0] 是将 ADC 的 10 位数字输出转换成阶梯形式的模拟量,图 5 中每次转换时会产生毛刺是由于逐次逼近 ADC 转换期间数据不稳定引起的.D[9:0] 满刻度值为 3.3 V,对应码字范围为 0 ~ 1 023.图中模拟输入信号 v(IN3) 在 A 时刻采样值为 0.53 V,转换结束后在 A' 时刻的转换结果为 164. B 时刻输入 2.35 V,在 B' 时刻得到转换结果 728.两次数据均与理想结果一致,转换后结果 D[9:0] 与输入的正弦波信号 v(IN3) 完全符合,说明模拟部分与数模接口部分功能正确.

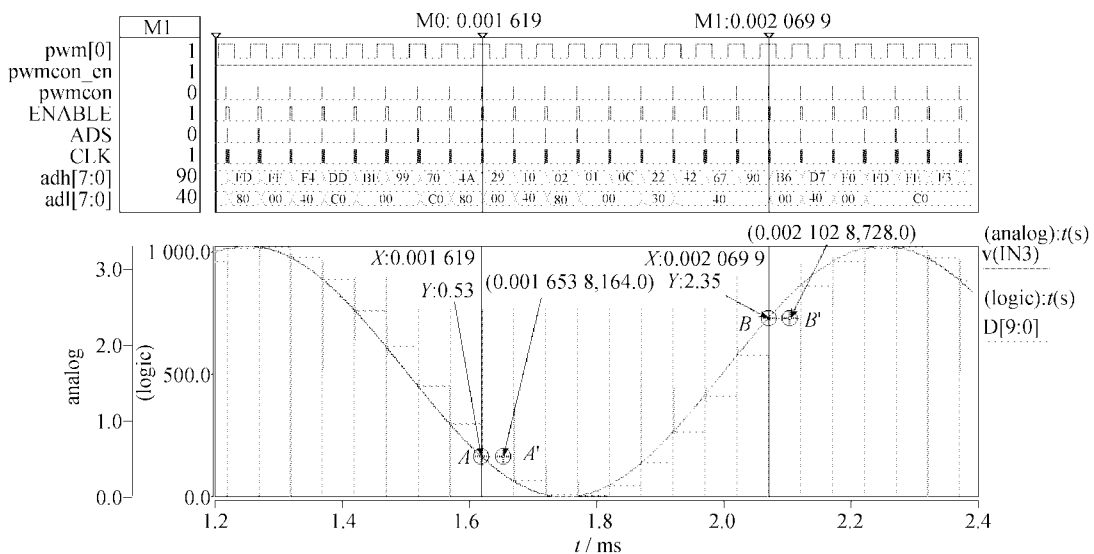


图 5 PWM-ADC 联动模式仿真波形图  
Fig. 5 ADC module triggered by PWM output

单次转换的具体波形如图6所示,对照图2可验证数模接口部分产生的控制信号满足ADC模块时序设计要求. PWM控制模块发出转换请求信号pwmcon后,ADC控制模块即刻响应并使ADC进入

转换状态. 从D[9:0]的波形可以看出转换时的逐次逼近过程. 转换结束后ADC模块产生EOC信号,输出数据高8位存入adh[7:0],低2位存入adl[7:6],ADC控制模块向MCU发出中断信号,转换结束.

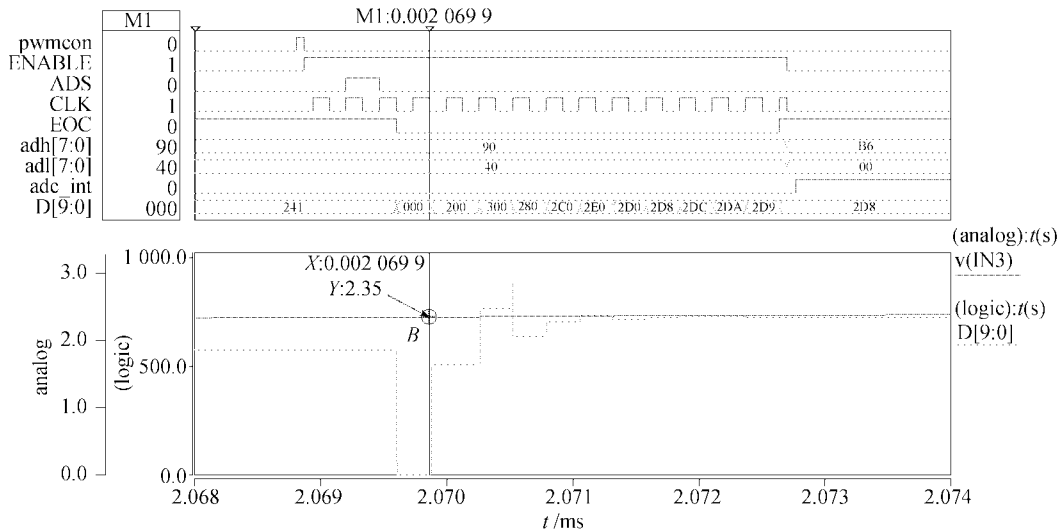


图6 单次转换波形图

Fig. 6 Detailed waveform display for one conversion

从波形图观察可以得出结论:SHU-MV06芯片的ADC模块功能正确,ADC控制模块也能满足ADC模块接口时序要求,也证明了用本研究提出的方法是能够进行全芯片级的数模混合信号的验证.

### 3 小结

本研究提出了一种基于NanoSim-VCS的混合信号验证方法,这种方法具有以下特点:(1)可以直接将SPICE模块在Verilog设计中实例化,反之亦然,降低了混合信号的验证难度;(2)可以沿用数字设计平台的Verilog testbench,无需生成大量测试矢量用于模拟部分验证,简化了设计复杂性;(3)可在同一文件中生成数字信号和模拟信号的波形输出,极大地方便了混合信号的调试;(4)在设计各个阶段可进行全芯片功能验证,使得设计人员可以非常灵活地对HDL,SPICE和Verilog-A行为模型进行层次化的组合;(5)通过在设计过程的早期发现一些会造成高昂损失的错误,可以缩短产品上市的时间,并降低设计成本.采用本方法验证的数模混合系统级芯片SHU-MV06一次流片成功,表明了这种方法的正确性和有效性.

### 参考文献:

- [1] SALEH R, WILTON S, MIRABBASI S, et al. System-on-chip: reuse and integration [J]. Proceedings of the IEEE, 2006, 94(6):1050-1069.
- [2] 肖跃龙. 混合信号系统级芯片仿真[J]. 半导体技术, 2003, 28(2):55-57.
- [3] WEI D, ZHANG L. NanoSim integration of VCS-MX applications in SoC design [C] // SNUC Proceedings, China. 2005.
- [4] 郑赞. 混合信号仿真技术[J]. 中国集成电路, 2004, 11(66):40-44.
- [5] Synopsys. NanoSim integration with VCS manual [Z]. 2003.
- [6] YING G. SoC设计的模拟/混合信号验证[J]. 电子设计应用, 2003(12):14-16.
- [7] OLUFSEN W. A full-chip verification methodology using NanoSim [C] // SNUC Proceedings, Europe. 2003.
- [8] MCNEAL J, MARTIN D. Methodology for cosimulation of mixed-signal IP [C] // SNUC Proceedings, San Jose. 2007.

(编辑:刘志强)