

doi:10.3969/j.issn.1001-2400.2013.03.017

一种高速低功耗的 NoC 时钟网络设计

刘毅^{1,2}, 陈博¹, 杨银堂^{1,2}, 刘刚¹

(1. 西安电子科技大学微电子学院, 陕西 西安 710071;

2. 西安电子科技大学宽禁带半导体材料与器件教育部重点实验室, 陕西 西安 710071)

摘要: 为了实现高速低功耗的片上网络时钟网络, 针对 MESH 型片上网络, 用金属-绝缘质-金属电容替代 MOS 电容作为发送端驱动电容和接收端耦合电容, 设计了一种基于改进的电容驱动型低摆幅收发器的瀑布型时钟网络. Spectre 仿真结果表明, 在 0.13 μm CMOS 工艺条件下, 该时钟网络的时钟频率可达 5 GHz, 功耗和延时仅为传统时钟网络的 49% 和 55%, 并具有更好的噪声抑制能力.

关键词: 片上网络; 时钟网络; 低功耗; 低摆幅

中图分类号: TN402 **文献标识码:** A **文章编号:** 1001-2400(2013)03-0115-06

High-speed low-power clock network design for NoC

LIU Yi^{1,2}, CHEN Bo¹, YANG Yintang^{1,2}, LIU Gang¹

(1. School of Microelectronic, Xidian Univ., Xi'an 710071, China; 2. Ministry of Education Key Lab. of Wide Band-Gap Semiconductor Materials and Devices, Xidian Univ., Xi'an 710071, China)

Abstract: In order to achieve a high-speed low-power NoC (Network-on-chip) clock network, considering the Mesh NoC, a waterfall clock network based on the capacitively-driven low-swing transceiver in which we replace traditional MOS capacitance by metal-insulator-metal (MIM) capacitance as the driven capacitance and receiver coupling capacitance is proposed. These structures are simulated by 0.13 μm CMOS technology with Spectre simulators. Results show that the proposed clock network can reach a high frequency up to 5 GHz, compared with traditional networks, and this network allows up to 49% power saving and 55% delay reduction. At the same time, this network has a better noise suppression ability.

Key Words: network-on-chip; clock network; low-power; low-swing

传统时钟网络的设计方法是通过插入多级中继器来保证高速时钟信号的传送和负载能力. 随着系统工作频率要求的提高和芯片规模的增大, 需要插入更多级数的缓冲器来保证时钟信号的可靠传输. 插入的缓冲器进一步加大了时钟网络的负载电容, 带来时钟网络功耗随工作频率以指数增长. 片上网络 (Network-on-Chip, NoC) 时钟网络的功耗会占到整个芯片功耗的 20%~30%^[1], 其中, Intel 公司研制的 80 核片上网络芯片 TeraFLOPS 的时钟网络消耗了 20% 的芯片功耗^[2].

低摆幅电路具有高速、低功耗的特点. 近年来, 随着单电源低摆幅电路技术的发展, 采用低摆幅技术实现高速、低功耗的 NoC 时钟网络成为可能. 文献[3]提出将单端电流模电路用于 NoC 时钟网络的设计方法, 使时钟网络的功耗降低了 11%. 由于单端低摆幅电路抑制噪声的能力较弱, 因此这种方法降低了系统的可靠性. 文献[4]则采用双电源低摆幅电路实现时钟网络, 这种方法增加了时钟网络的实现难度. Mohammad 等^[5]提出了 RVS (Reduced Voltage Swing) 电路结构并用于时钟网络设计, 由于低摆幅电路本身的缺陷, 这种方法在降低时钟网络功耗的同时也降低了时钟频率.

收稿日期: 2011-12-22

网络出版时间: 2013-02-25

基金项目: 国家自然科学基金资助项目 (61172030); 中央高校基本科研业务费专项资金资助项目 (K50510250004)

作者简介: 刘毅 (1971-), 男, 副教授, 博士, E-mail: yiliu@mail.xidian.edu.cn.

网络出版地址: <http://www.cnki.net/kcms/detail/61.1076.TN.20130225.1050.201303.139.017.html>

针对 NoC 时钟网络全局异步、局部同步的结构特点,笔者采用改进的电容驱动型低摆幅发送电路^[6-7]和接收电路设计了一种瀑布型 NoC 时钟网络,这种结构不仅降低了时钟网络的功耗,而且提高了时钟网络的工作频率,并有效地抑制了串扰和电源噪声对时钟网络的影响。

1 NoC 时钟网络总体设计

对于全局同步的 NoC,为了减小时钟偏差,需要采用复杂的时钟网络拓扑结构,例如 H-tree 型、X-tree 型、网格胖树型拓扑结构^[8]。由于 NoC 采用了全局异步、局部同步的时钟策略,各个处理单元之间可以是中等同步或完全异步^[9],因此能够容忍两路由器间的时钟偏差,可以采用瀑布型时钟网络拓扑结构。瀑布结构与 H-tree 结构相比功耗较小,因为它使用少量的互连线就可以将时钟分布到整个芯片^[10]。如果芯片被分成 $N \times N$ 个时钟区域,则瀑布树的功耗可以写成 H-tree 结构功耗的函数:

$$P_w = P_H / N \quad (1)$$

其中, P_w 表示瀑布树的功耗, P_H 表示 H-tree 结构的功耗。

设计采用了全局中同步的时钟策略,由瀑布型时钟网络提供全局中同步的时钟,而 Tile(NoC 节点,包括处理单元和路由开关)内采用由平衡 H-tree 结构时钟分布网络提供的同步时钟。为了减小各种噪声对时钟网络的影响、改善时钟网络的性能,使用了低摆幅差分时钟线。低摆幅技术可以减少中继器的数量,并可使用尺寸更小的驱动器。与单端时钟线相比,差分时钟线对电源电压波动、温度波动和工艺波动等都有更强的抑制作用^[11],而且差分时钟线可以使用更窄的互连线实现。

文献[11]中的验证结果也证实低摆幅差分时钟分布相较于单端时钟分布更有益于芯片性能的提高。在 Interl 的 TeraFLOPS^[2] 中已使用了差分时钟网络,并且时钟频率超过 4 GHz。在此基础上,笔者提出了一种先进的低摆幅收发电路结构,该结构结合瀑布型时钟分布,减小了时钟网络的延时和功耗,并抑制了噪声对信号的干扰。

图 1 为中同步时钟网络结构及低摆幅收发电路,以 Mesh 拓扑结构为基础,每个 Tile 的尺寸为 2 mm × 2 mm,相邻 Tile 之间的时钟线长为 2 mm。图中 TX 与 RX 分别为发送电路和接收电路;S 为路由开关;PE 表示计算节点;Clk_s 为路由器间的源同步时钟线,在每个 Tile 的运算放大器中将差分信号转化为单端输出。

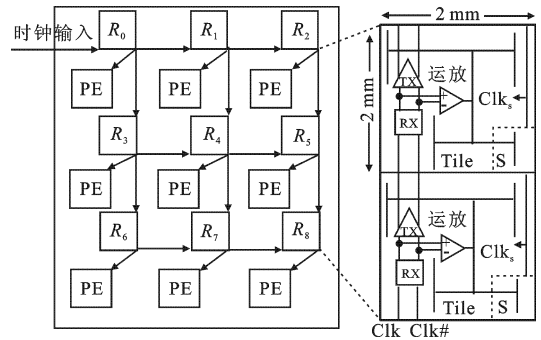


图 1 全局中同步时钟策略及低摆幅收发电路

2 低摆幅收发器结构及性能分析

2.1 低摆幅收发器结构

低摆幅传输技术是在发送端通过发送器将全摆幅信号转变为低摆幅信号,然后在接收端通过接收器将低摆幅信号转变为全摆幅信号的一种低功耗策略。

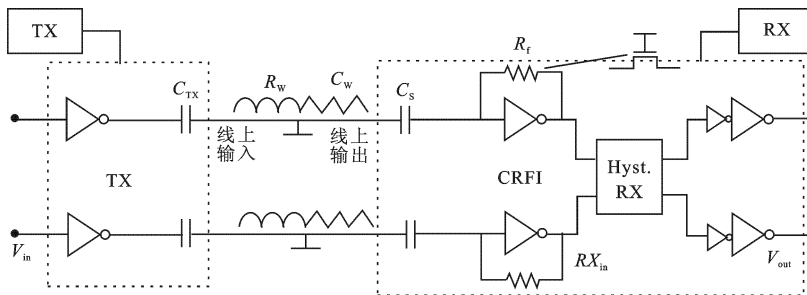


图 2 低摆幅电容预加重收发电路

图 2 为笔者设计的低摆幅电容预加重收发电路,包括发送电路(TX)和接收电路(RX)两部分.其中,TX 为电容预加重发送器,包括反相器和串联电容 C_{TX} . 该电路的主要特点是发送端用一个串联电容 C_{TX} 来驱动.文献[12]采用 MOS 电容实现 C_{TX} 、 C_S ,笔者用金属-绝缘质-金属结构电容替代 MOS 电容,这样既保证了电容值的精确性,又避免了 MOS 电容所需直流偏置带来的功耗.与其他电容结构相比,金属-绝缘质-金属结构电容的单位面积电容值较大,能有效地节省面积. C_{TX} 有如下几个方面的作用:

- (1) C_{TX} 与互连线电容串联起来进行分压,减小了互连线上信号的摆幅,进而减小了功耗.
- (2) C_{TX} 使驱动器的负载电容由原来的 C_W 变为 $C_W C_{TX} / (C_W + C_{TX})$,降低了驱动端的有效线负载,因此可以减少驱动器的级数并可以使用尺寸更小的驱动器.这样不仅弥补了采用差分线带来的面积开销,而且可以降低功耗.
- (3) 电容 C_{TX} 的分压减弱了电源噪声的影响,与双电源的低摆幅发送器相比,电容发送器对电源噪声干扰不敏感.
- (4) C_{TX} 对信号的跳变沿都有过冲作用,从而对信号进行了预加重,因此电容发送器也提高了互连线的带宽.

接收电路由电阻反馈反相器 (Capacitive coupling Resistive Feedback Inverter, CRFI) 和滞回接收放大器^[13] (图 3) 组成.电阻反馈反相器由具有反馈电阻 R_f 的反相器和互连线终端的串联耦合电容 C_S 组成. R_f 可以用工作在深线性区的 MOSFET 来实现,通过 R_f 提供的负反馈使与之并联的反相器自偏置.由于 R_f 较小,具有较强的反馈能力,因此电阻反馈反相器可以放大信号,提高带宽.为了减小漏电流,应使用高阈值晶体管构成的反相器.

滞回接收放大器不仅可以快速地将信号恢复至全摆幅,而且有非常稳定的失调电压,在输入空闲时不消耗能量,其 NMOS 输入和交叉耦合的 PMOS 上拉间存在竞争,因此输入需要偏置到 $V_{DD}/2$,电阻反馈反相器可以通过自偏置来满足上述要求.滞回接收放大器的输出将作为后级驱动器的输入,因此必须仔细检查其噪声阈值.滞回接收放大器可以支持 $6 \text{ Gbit/s}^{[12]}$ 的带宽,满足互连线上时钟信号传输的要求.

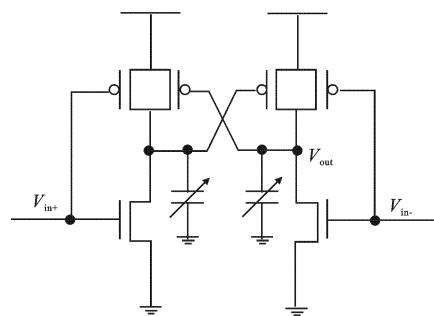


图 3 滞回接收放大器

2.2 功耗分析

时钟网络的功耗包括 3 个部分: 泄漏功耗、短路功耗和动态功耗. 泄漏功耗主要依赖于工艺; 短路功耗与上升下降时间和阈值电压有关,保持适当的上升下降时间可以减小短路功耗; 动态功耗取决于时钟网络的开关活动性. 时钟网络的开关活动性较大,因此动态功耗是主要部分. 忽略泄漏功耗和短路功耗,时钟网络功耗可以描述为

$$P = f C_L V_{DD} V_{swing} \quad (2)$$

其中, f 、 C_L 、 V_{DD} 和 V_{swing} 分别为时钟频率、时钟树电容、电源电压和时钟信号摆幅. 式(2)表明,减小信号摆幅可以降低时钟网络功耗. 引入串联电容 C_{TX} 之后,互连线上的电压摆幅 V_{swing} 为

$$V_{swing} = V_{DD} C_{TX} / (C_W + C_{TX}) \quad (3)$$

发送端消耗的能量(包括互连功耗在内)可以表示为

$$P_{TX} = P_{overhead} + f C_W V_{DD} V_{swing} \quad (4)$$

其中,第 1 项为发送器的功耗,为固定开销;第 2 项为互连线功耗,与摆幅成正比.

接收端的功耗为电阻反馈反相器和滞回接收器的功耗之和. 通过调整串联电容的大小 ($C_{TX} = C_W/11$),可使接收端的输入信号摆幅为 100 mV ,这样的摆幅经过电阻反馈反相器输出可达到 200 mV . 若滞回接收放大器的输入信号摆幅为 200 mV ,就可以在保证成品率的同时降低功耗. 滞回接收放大器的功耗与失调电压的大小有关,增大其晶体管尺寸可以进一步减小失调电压,但是增加晶体管尺寸也增加了晶体管的功耗 ($P \propto 1/\sigma_{os}^2$),其中 σ_{os} 为输入失调电压的标准偏差. 如果滞回接收放大器的失调电压标准偏差是 15 mV ,其功耗为 57 fJ/bit (根据 1 000 次蒙特卡罗仿真),可以设定其晶体管尺寸,使失调电压为 25 mV ,这样可以在 200 mV 摆幅下得到 8σ 成品率.

对于一个完全对称的电路来说,可以假设平均失调电压为零. 归一化的高斯分布 Φ 可以恰当地描述成品率. 成品率 Y 可以表示为^[14]

$$Y(\Delta V_{IN}) = \frac{1}{2} \left(1 + \operatorname{erf} \left(\frac{\Delta V_{IN}}{2^{1/2} \sigma_{os}} \right) \right) \quad (5)$$

其中, $\operatorname{erf}(x)$ 是误差函数. 若失调电压为 25 mV, 信号摆幅为 200 mV, 由式(5)计算可得成品率达 99% 以上.

能耗与失调电压方差的乘积 ($E\sigma^2$) 为常数, 滞回接收放大器的能耗与失调电压的平方成反比, 其功耗可表示为

$$E_{RX} = E\sigma^2 / \sigma_{allowed}^2 \quad (6)$$

其中, $\sigma_{allowed}$ 是上述滞回放大器的失调电压标准偏差. 根据上述分析, 由式(4)和式(6)以及 Spectre 仿真得到的电阻反馈反相器功耗可以计算出整个收发电路的功耗. 假设时钟频率为 5 GHz, 输入信号摆幅为 200 mV, 发送器和差分互连线的功耗为 2.48 mW, 接收端的功耗为 2.04 mW. 在所有参数相同的情况下, 反相器驱动的全摆幅互连线功耗为 8.78 mW, 采用新的电路结构可降低 49% 的功耗.

2.3 延时分析

通过比较传统反相器驱动的互连线和电容驱动式互连线的时常数, 可以看出电容预加重发送器减小了延时^[6]. 图 4 为互连线的 π 形模型.

对于传统反相器驱动的互连线, 其互连线的模型可以用一条电阻-电容线来近似. 这条总长 L 的导线被分隔成完全相同的 N 段, 每段的长度为 L/N . 利用 Elmore 公式, 当 N 值很大时, 传统反相器驱动互连线的时常数为

$$\tau \approx C_w R_w / 2 \quad (7)$$

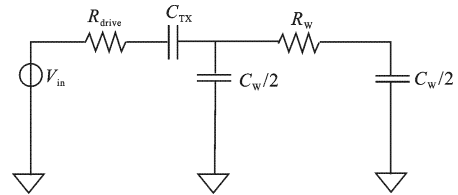


图 4 电容驱动式互连模型

电容驱动式的互连模型时常数可以近似为

$$\tau \approx R_{drive} C_{TX} + R_w C_w / 4 \quad (8)$$

由于驱动端的输出阻抗 R_{drive} 很小, $R_{drive} C_{TX}$ 这一项可以忽略, 电容驱动式互连线的时常数约为传统反相器驱动互连线时常数的 1/2, 即电容驱动式互连线的延迟远小于传统电路结构的延迟.

3 仿真结果

时钟网络仿真使用了 3×3 Mesh 结构的时钟网络架构(图 1)、1.2 V、8 层金属、0.13 μm 的 CMOS 工艺, 时钟网络应用 M7 层布线和差分时钟线, 互连线采用 3π 分布模型. 时钟来自于片内锁相环的输出, 结合本地 Tile 中的收发电路把时钟分布到整个片上网络, 每个接收端的扇出为其相邻 Tile 中收发器的发送端和本 Tile 内的时钟网络. 使用三维 EM-field 求解器来仿真分析互连线特性并提取电路参数, 对于长度为 2 mm 的互连线, 其寄生参数分别为: $R_w = 270 \Omega$, $C_w = 580 \text{ fF}$, $L_w = 540 \text{ pH}$.

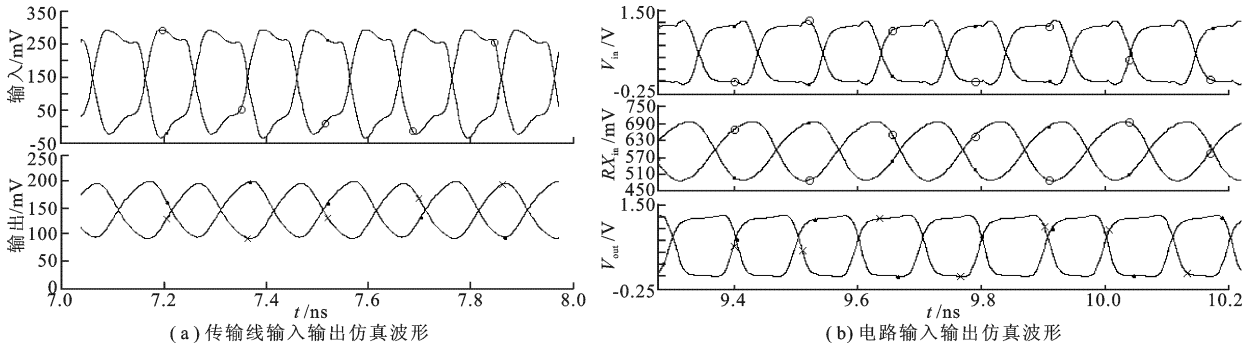


图 5 5GHz 下单级收发器仿真波形

仿真由两部分构成: 第 1 部分为单级收发器的仿真, 第 2 部分为整个时钟网络的仿真. 图 5 给出了单级收发器 Spectre 仿真的波形. 图 5(a) 为线上输入、输出的瞬态波形图, 图中两路信号表示互补的差分信号. 笔

者使用了电容预加重发送器,发送端驱动电容 C_{TX} 对线上输入信号的跳变沿有过冲作用,从而对信号进行预加重,仿真结果显示预加重的效果十分显著.由于信号在线上传输有损耗,同时有码间干扰的影响,所以输出信号的摆幅会降低.图 5(b)分别为输入信号 V_{in} 、电阻反馈反相器的输出信号 $R_{X_{in}}$ 和接收器的输出信号 V_{out} 的仿真波形,从仿真结果可以看出,在 5 GHz 的工作频率下,笔者提出的电路可以正确地将时钟信号恢复至全摆幅,同时具有较好的信号完整性.

为了进一步验证笔者的设计,给出了时钟网络的仿真结果.图 6 中 R_1 、 R_2 、 R_5 、 R_8 曲线分别对应图 1 中 R_1 、 R_2 、 R_5 、 R_8 这 4 个路由节点经低摆幅接收器恢复的时钟信号.仿真结果表明,笔者设计的时钟网络能够正确地将时钟信号传输到片上网络的各个节点,并且时钟信号的传播延迟较小.

表 1 给出了在不同工艺角下全摆幅驱动电路和电容驱动型低摆幅电路的仿真结果.在工艺角为 tt 、 ss 、 ff 的情况下,笔者提出的电容驱动型低摆幅电路与标准全摆幅驱动电路相比,功耗降低了 49%、50%、51%,上升时间减少了 45%、42%、46%,下降时间减少了 46%、42%、49%.表 2 给出了在不同负载下的仿真结果.在负载为 10 fF、60 fF、110 fF 的情况下,笔者提出的电容驱动型低摆幅电路与标准全摆幅驱动电路相比,功耗降低了 50%、48%、45%,上升时间减少了 37%、45%、44%,下降时间减少了 36%、45%、46%.

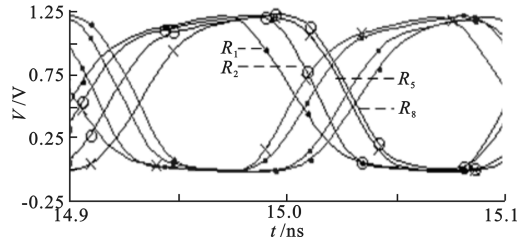


图 6 路由节点时钟信号波形图

表 1 不同工艺角下的仿真结果

性能	笔者设计的电路			传统电路		
	tt	ss	ff	tt	ss	ff
平均功耗/mW	4.52	3.84	4.87	8.78	7.67	9.86
上升时间/ps	16	18	13.5	29	31	25
下降时间/ps	14.6	17	12	27	29.5	23.6

表 2 不同负载下仿真结果

C_{load}/fF	平均功耗/mW		上升时间/ps		下降时间/ps	
	笔者设计	传统	笔者设计	传统	笔者设计	传统
10	4.31	8.69	14.5	23	13.4	21
60	4.64	8.87	17	31	15.6	28.5
110	4.98	9.05	19	34	17	31.5

4 总 结

笔者设计了一种新型的电容预加重型低摆幅电路,将该电路应用到一个中等同步的差分瀑布片上网络时钟网络中,并对其功耗和延时进行了分析.在 $0.13 \mu m$ 的 CMOS 工艺下对该电路进行仿真,结果显示,与传统的全摆幅电路相比,该电路显著地降低了功耗和延时.电容预加重型低摆幅电路不仅可以用于时钟网络,也可以应用于路由间的源同步时钟方案(图 1 中的 Clks)、时钟线与数据线进行同步传输以及对数据进行恢复和校准.该电路与标准的 CMOS 工艺相兼容,因此可以应用于未来高速低功耗片上网络的时钟网络.

参考文献:

- [1] Friedman P G. Clock Distribution Networks in Synchronous Digital Integrated Circuits[J]. Proc of IEEE, 2001, 89(5): 665-692.
- [2] Vangal S R, Howard J, Ruhl G, et. al. An 80-Tile Sub-100-W TeraFLOPS Processor in 65-nm CMOS[J]. IEEE Journal of Solid-state Circuits, 2008, 43(1): 29-41.
- [3] Narasimhan A, Divekar S, Elakkumanan P, et al. A Low-power Current mode Clock Distribution Scheme for Multi-

- GHz NoC-based SoCs[C]//18th International Conference on VLSI Design. Kolkata: IEEE, 2005: 130-133.
- [4] Tawfik S A, Kursun V. Dual-VDD Clock Distribution for Low Power and Minimum Temperature Fluctuations Induced Skew[C]//ESQED 07, 8th International symposium on Quality Electronic Design. Washington: IEEE, 2007: 73-78.
- [5] Mohammad K, Liu Bao, Agaian S. Energy Efficient Swing Signal Generation Circuits for Clock Distribution Networks [C]//IEEE International Conference on Sytterms, Man and Cybernetics. San Antonio: IEEE, 2009: 3495-3498.
- [6] Ho R, Ono T, Hopkins R D, et al. High Speed and Low Energy Capacitively Driven On-Chip Wires[J]. IEEE Journal of Solid-State Circuits, 2008, 43(1): 52-60.
- [7] Mensink E, Schinkel E, Klumperink E A M, et al. Power Efficient Gigabit Communication Over Capacitively Driven RC-Limited On-Chip Interconnects[J]. IEEE Journal of Solid-State Circuits, 2010, 45(2): 447-456.
- [8] 王世庆, 顾华玺, 朱樟明. 网格型胖树: 一种片上光网络新结构 [J]. 西安电子科技大学学报, 2011, 38(6): 8-14.
Wang Shiqing, Gu Huaxi, Zhu Zhangming. Fat tree of Mesh(FoM): a New Optical Network on Chip Architecture[J]. Journal of Xidian University, 2011, 38(6): 8-14.
- [9] 刘毅, 杨银堂, 周东红. 一种面向片上网络的多时钟路由器设计 [J]. 西安电子科技大学学报, 2011, 38(2): 146-150.
Liu Yi, Yang Yintang, Zhou Donghong. Multi-clock Router Designed for the Network-on-chip[J]. Journal of Xidian University, 2011, 38(2): 146-150.
- [10] Seok M, Blaauw D, Sylvester D. Clock Network Design for Ultra-Low Power Applications [C]//ACM/IEEE International Symposium on Low-Power Electronics and Design. Austin: IEEE, 2010: 271-276.
- [11] Sekar D C. Clock Trees: Differential or Single Ended? [C]//ISQED 2005, Sixth International Symposium on Quality of Electronic Design. San Jose: IEEE, 2005: 548-553.
- [12] Seo J S, Ho R, Lexau J, et al. High-Bandwidth and Low-Energy On-Chip Signaling with Adaptive Pre-Emphasis in 90nm CMOS[C]//ISSCC Digest of Technical Papers. San Francisco: IEEE, 2010: 182-183.
- [13] Miural N, Ishikuro H, Sakurai T, et al. A 0.14pJ/b Inductive-Coupling Inter-Chip Data Transceiver with Digitally-Controlled Precise Pulse SOhapin Pulse Shaping[C]//ISSCC 2007, Digest of Technical Pages, IEEE International. San Francisco: IEEE, 2007: 358-359.
- [14] Wicht B, Nirschl T, Schmitt-Landsiedel D. Yield and Speed Optimization of a Latch-Type Voltage Sense Amplifier[J]. IEEE Journal of Solid-State Circuits, 2004, 39(7): 1148-1158.

(编辑: 郭 华)

(上接第 101 页)

- [12] 孙纪敏, 沈玉龙, 裴庆祺, 等. 传感器网络异常时间同步数据过滤算法[J]. 西安电子科技大学学报, 2008, 35(5): 910-915.
Sun Jimin, Shen Yulong, Pei Qingqi, et al. Abnormal Time Synchronization Data Filter Algorithm in Sensor Networks [J]. Journal of Xidian University, 2008, 35(5): 910-915.
- [13] Schneier B. Description of a New Variable-Length Key, 64-bit Block Cipher(Blowfish) [C]//Fast Software Encryption, Cambridge Security Workshop. London: Springer-Verlag, 1993: 191-204.
- [14] Chan H, Perrig A. ACE: an Emergent Algorithm for Highly Uniform Cluster Formation [J]. LNCS, 2004, 2(2920): 154-171.

(编辑: 夏大平)