

文章编号: 1007-2780(2012)03-0303-05

镍硅化物诱导横向晶化制备高性能 多晶硅薄膜晶体管

彭尚龙, 胡多凯, 贺德行

(兰州大学 物理科学与技术学院, 甘肃 兰州 730000, E-mail: pengshl@lzu.edu.cn)

摘 要: 提出一种新的采用镍硅化物作为种子诱导横向晶化制备低温多晶硅薄膜晶体管的方法。分别采用微区 Raman、原子力显微镜和俄歇电子能谱对制备的多晶硅薄膜进行结构和性能表征, 并以此多晶硅薄膜为有源层制备了薄膜晶体管, 测试其 $I-V$ 转移特性。测试结果显示, 制备的多晶硅薄膜具有较低的金属污染和较大的晶粒尺寸, 且制备的多晶硅薄膜晶体管具有良好的电学特性, 可以有效地减小漏电流, 同时可提高场效应载流子迁移率。这主要是由于多晶硅沟道区中镍含量的有效降低使得俘获态密度减少。

关 键 词: 镍硅化物; 金属诱导横向晶化; 多晶硅薄膜晶体管

中图分类号: TN321⁺.5; TN304.055; TN304.8 **文献标识码:** A **DOI:** 10.3788/YJYXS20122703.0303

Fabrication of High Performance Poly-Si Thin Films Transistors by Nickel Silicide Induced Lateral Crystallization

PENG Shang-long, HU Duo-kai, HE De-yan

(School of Physical Science & Technology, Lanzhou University, Lanzhou 730000, China, E-mail: pengshl@lzu.edu.cn)

Abstract: A new crystallization method is proposed for poly-Si thin film transistors by Ni silicide induced lateral crystallization. The poly-Si thin films were characterized by micro-Raman spectroscopy, auger electronic spectroscopy and atomic force microscopy. The poly-Si thin film transistor is also fabricated using this poly-Si as active layer. And the electrical properties are obtained from I_D-I_G transfer curve measurements. Compared with the thin film transistor prepared using conventional Ni induced lateral crystallization method, the fabricated poly-Si thin film transistor showed lower leakage current and higher field-effect mobility. It was attributed to the reduction of Ni concentration in the poly-Si channel. Also, the trap states in grain boundaries were decreased.

Key words: Ni silicide; metal induced lateral crystallization; poly-Si thin film transistors

1 引 言

在玻璃衬底上制备高分辨率、全彩色的有源矩阵液晶显示屏和有源矩阵有机发光二极管显示屏, 尤其是将显示区域与周边驱动电路集成于同一显示基板上, 需要高性能的低温多晶硅薄膜晶

体管作为显示器件的选址或驱动元件^[1-3]。多晶硅薄膜晶体管的制备技术是平板显示发展的关键技术, 而多晶硅薄膜的品质又是影响多晶硅薄膜晶体管性能的重要因素, 并且多晶硅薄膜的品质与其制备方法和工艺密切相关, 所以高品质低温多晶硅薄膜的制备是多晶硅薄膜晶体管制备的关

收稿日期: 2011-11-22; 修订日期: 2012-02-24

基金项目: 国家自然科学基金青年项目(No. 61106006); 中央高校基本科研业务费专项基金

作者简介: 彭尚龙(1980-), 男, 甘肃庆阳人, 博士, 讲师, 主要研究方向为电子信息和能源材料及其器件的研发。

键技术。近年来,多晶硅薄膜的低温制备技术的研究引起了人们极大的研究兴趣,韩国、香港和台湾的许多学者都在这一领域开展了相关的研究。

多晶硅薄膜制备方法主要有固相晶化法、激光诱导晶化法和金属诱导横向晶化法(MILC)等。在上述方法中,MILC技术制备的多晶硅薄膜具有较低的晶界势垒、较大的晶粒尺寸和光滑的表面,并能降低多晶硅薄膜中的金属污染,因此是能够适应批量、低成本、完全兼容传统半导体薄膜工艺的制备技术^[4-5]。

自从1996年韩国研究小组首次报道了采用MILC技术制备多晶硅薄膜晶体管以来^[6],该项技术现已成为制备低温多晶硅薄膜晶体管的主流技术之一。采用此技术制备的晶体管虽然具有较好的电学特性,但其漏电流比采用激光诱导晶化法制备的晶体管的漏电流要高,同时也存在场效应载流子迁移率低等问题。这主要是由于诱导横向晶化晶粒相遇形成的晶界所致,这些晶界作为散射中心,降低了迁移率;并且这些晶界可以俘获Ni、NiSi和NiSi₂等晶化前驱物,使得漏电流和开启电压升高。研究者们正在努力地寻找解决这些问题的办法,有研究报道了分别采用氮化物层作为金属过滤层和喷墨打印式注入Ni盐溶液作为诱导源诱导横向晶化等技术制备多晶硅薄膜和多晶硅薄膜晶体管^[7-8],但是这些工艺比较复杂,使得制备成本变高,而且沟道区存在较多的金属也影响了多晶硅薄膜作为晶体管沟道层的电学特性。

本文提出了一种简单的金属诱导横向晶化制备低温多晶硅薄膜晶体管的工艺,其利用在镍薄膜沉积过程中形成的镍的硅化物作为诱导源诱导横向晶化制备多晶硅薄膜和薄膜晶体管(SILC)。该技术有望在不附加其他工艺的基础上能减少沟道区多晶硅中的镍,从而有效地降低晶体管的漏电流,并提高场效应载流子迁移率。

2 实 验

2.1 多晶硅薄膜的制备

选用Corning 1737玻璃基片作为衬底,沉积厚度为500 nm的SiO₂作为缓冲层。再采用低压化学气相沉积系统沉积厚度为100 nm的本征非晶硅层并加工成有源区图形。然后采用直流溅射在室温下沉积厚度为50 nm的镍薄膜,沉积完镍薄膜之后将样品在80 ℃的硫酸溶液中浸泡30 min,

去除掉没有反应的镍。最后将样品在在氢气保护下550 ℃热处理2 h来完成非晶硅薄膜的晶化。为了比较,也采用传统的MILC技术制备了多晶硅薄膜。

分别采用微区Raman、俄歇电子能谱和原子力显微镜等对制备的多晶硅薄膜进行结构和性能表征。

2.2 多晶硅薄膜晶体管的制备

我们采用制备的多晶硅薄膜作为有源层制备了顶栅结构p沟道多晶硅薄膜晶体管,图1是多晶硅薄膜晶体管制备工艺的示意图。在前面实验的基础上,采用PECVD在多晶硅薄膜表面沉积厚度为100 nm的SiO₂作栅氧化层,随后溅射厚度为200 nm的MoW金属层作为栅电极,并光刻出栅电极图形。接下来采用B₂H₆作为气源对源漏区域进行离子注入。完成介电层沉积后,将样品在氢气保护下进行550 ℃热处理1 h使得掺杂离子激活。最后在介电层上光刻出接触孔,溅射MoW合金层,并进行合金化形成源漏电极。同样为了比较,也采用传统的Ni-MILC技术制备了多晶硅薄膜晶体管。

采用Keithley 2636表对制备多晶硅薄膜晶体管的I-V转移特性做了测试。

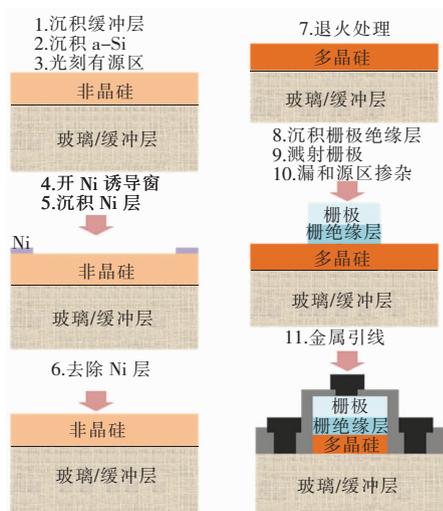


图 1 硅化物诱导横向晶化制备晶体管示意图

Fig. 1 Schematic diagram of process for fabrication of poly-Si TFT by SILC

3 结果与讨论

3.1 材料结构和性能表征

为了测试制样品的结晶质量,分别对 MILC

和 SILC 制备的多晶硅薄膜进行了微区 Raman 光谱测试,测试结果如图 2 所示。从图可以看出。两类样品均在 520 cm^{-1} 波数处出现横向光学模散射峰,可以判定两种薄膜均已晶化。同时,可以通过式(1)结算样品的结晶率,式中 I_c 和 I_a 分别代表结晶和非晶成分的 Raman 峰积分强度,为了考虑非晶和结晶样品对 Raman 散射的不同影响,引进了纠正系数 γ ,计算中取值为 $0.8^{[9]}$ 。

$$X_c = \frac{I_c}{I_c + \gamma I_a} \quad (1)$$

从图 2 可以看出,SILC 制备的多晶硅薄膜的 Raman 峰强度比 MILC 制备的薄膜的峰强度要大。式(1)计算所得结果显示 SILC 制备的薄膜晶化比例为 97.1%,高于 MILC 制备的薄膜的晶化比例 95.8%。此外,SILC 制备的薄膜 Raman 峰的半高宽值为 6.5 cm^{-1} ,小于 MILC 制备薄膜的半高宽值 7.9 cm^{-1} ,说明 SILC 制备的薄膜具有更大的晶粒尺寸。

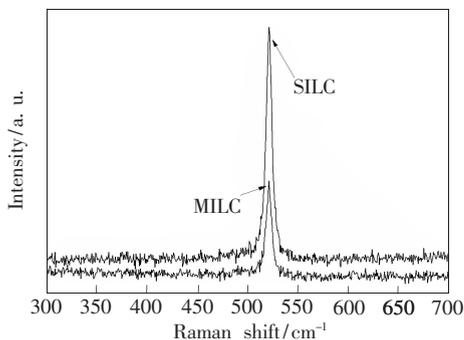


图 2 MILC 和 SILC 制备的多晶硅薄膜的微区 Raman 结果,样品经 $550\text{ }^\circ\text{C}$ 、2 h 退火。

Fig. 2 Raman spectra of MILC and SILC poly-Si thin films after annealing at $550\text{ }^\circ\text{C}$ for 2 h

采用原子力显微镜对采用 MILC 和 SILC 技术制备的多晶硅薄膜表面形貌作测试,测试结果如图 3 所示。结果显示 SILC 制备的薄膜的粗糙度明显小于 MILC 制备薄膜的粗糙度,说明 SILC 技术可以获得更大的晶粒尺寸,此结果与微区 Raman 的测试结果一致。

为了探测多晶硅薄膜中金属元素的分布情况,对采用 MILC 和 SILC 技术制备的样品测试了俄歇电子能谱,测试结果如图 4 所示。在两类样品中均可以发现硅和氧的峰位,但仅在 MILC 技术制备的样品中,在电子动能为 801.5 eV 附近发现有镍的峰位出现,进一步说明 SILC 技术可以

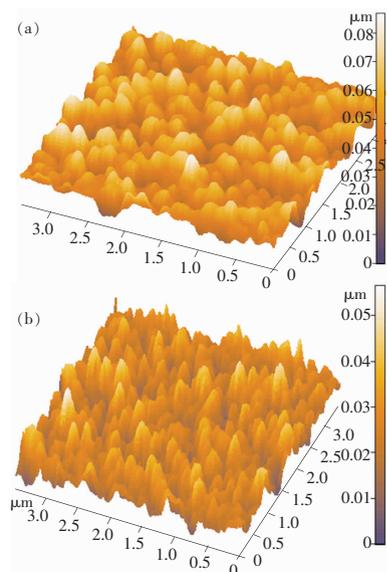


图 3 SILC(a)和 MILC(b)多晶硅表面原子力显微镜照片

Fig. 3 AFM images of the poly-Si thin films using SILC (a) and MILC (b)

有效地减少薄膜中镍含量。在两类样品中的原子浓度分布如表 1 所示。在 SILC 制备的样品中发现的镍浓度为 2.1%,远小于 MILC 制备的样品镍浓度值 17.23%。两类样品中均有氧元素出现,这是由于薄膜表面的镍和硅氧化形成的。

通过以上的测试结果可以发现,SILC 技术可以有效地减少多晶硅薄膜中镍含量。这是由于在硫酸溶液浸泡的过程去掉了非晶硅表面没有参与反应的镍,从而减少诱导晶化过程中的镍。反应的镍在约 $350\text{ }^\circ\text{C}$ 时形成 NiSi_2 , NiSi_2 作为晶核

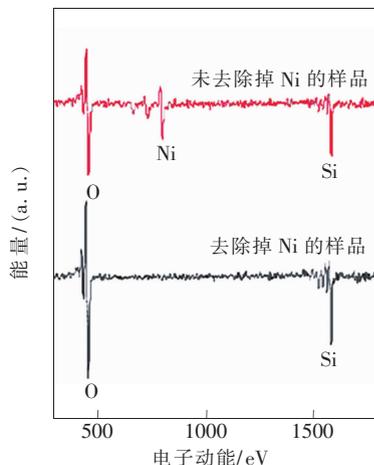


图 4 去除镍前后非晶硅样品的俄歇电子能谱图

Fig. 4 AES spectra of a-Si samples before and after Ni removal

表 1 去除镍前后非晶硅样品中各原子浓度百分比

Table 1 Relative atomic percentages on the surface of a-Si samples before and after Ni removal

| [%] | MILC | SILC |
|-----|-------|-------|
| O | 61.80 | 84.33 |
| Si | 5.12 | 6.13 |
| Ni | 17.23 | 2.10 |

使得晶粒横向生长。而且 NiSi_2 的浓度直接决定了制备的多晶硅薄膜的晶粒尺寸。因为 NiSi_2 的晶体结构与硅的晶体结构相近,晶格常数相差 0.4%,所以容易使得 Si 在 NiSi_2 (111) 面生长。Hayzelden 等认为非晶硅薄膜的诱导晶化是以 NiSi_2 为媒介,通过 NiSi_2 的迁移晶化为多晶硅的^[10]。

3.2 多晶硅薄膜晶体管电学特性表征

分别采用 MILC 和 SILC 技术制备了顶栅自对准结构 p 沟道多晶硅薄膜晶体管,并测试其电学特性,典型的转移特性测试曲线如图 5 所示,其中横坐标为栅源电压 (V_{GS}),纵坐标为源漏电流 (I_{DS})。被测晶体管的沟道宽长比为 $10 \mu\text{m}/10 \mu\text{m}$,测试的源漏电压为 -5 V ,栅电压的测量范围为 $-25 \sim +15 \text{ V}$ 。

源漏电压为 -5 V 时,综合测量和计算的结果如表 2 所示。其中亚阈值摆幅 S 通过式 (2) 给出:

$$S = \frac{dV_G}{d(\log I_D)} \quad (2)$$

场效应迁移率是通过计算在栅极电压为 -0.1 V

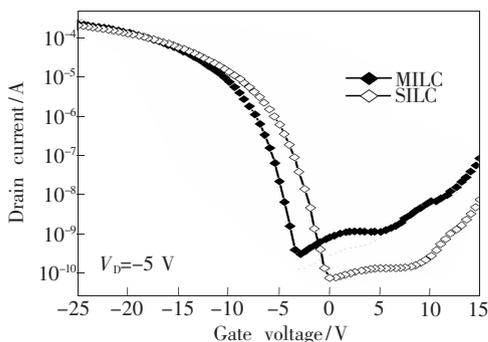


图 5 漏极电压为 -5 V 时 MILC 和 SILC 技术制备的多晶硅薄膜晶体管转移特性曲线

Fig. 5 Electrical properties of the p-channel poly-Si TFTs fabricated by MILC and SILC at $V_D = -5 \text{ V}$

时线性区跨导最大值得出,采用式 (3) 计算:

$$g_m = \left. \frac{\partial I_D}{\partial V_G} \right|_{V_D = \text{const}} = \frac{W}{L} C_i \mu_h V_D (V_D < V_{D\text{sat}}) \quad (3)$$

$$\mu_h = \frac{L}{WC_i V_D} g_m = \frac{L}{WC_i V_D} \left. \frac{\partial I_D}{\partial V_D} \right|_{V_D = \text{const}} (V_D < V_{D\text{sat}}) \quad (4)$$

表 2 栅压为 -5 V 多晶硅薄膜晶体管综合测量结果Table 2 Device parameters of the MILC and SILC poly-Si TFTs at $V_D = -5 \text{ V}$

| 参数 | MILC | SILC |
|---|-------|-------|
| 场效应迁移率 μ_{FE} ($\text{cm}^2/\text{V} \cdot \text{s}$) | 32.0 | 67.0 |
| 阈值电压 V_{th} (V) | 8.6 | 7.3 |
| 亚阈值摆幅 (V/dec) | 1.0 | 0.83 |
| 最低漏电流 I_{off} ($\times 10^{-10} \text{ A}$) | 7.8 | 1.2 |
| 开态电流 I_{on} ($\times 10^{-4} \text{ A}$) | 1.5 | 3.8 |
| 最大开关态电流比 I_{on}/I_{off} ($\times 10^5$) | 3.125 | 31.67 |

从计算结果可以看出,SILC 制备的薄膜晶体管电学特性有很大的提高。与 MILC 制备的器件相比,SILC 制备的晶体管的场效应迁移率从 $32 \text{ cm}^2/\text{V} \cdot \text{s}$ 提高到 $67 \text{ cm}^2/\text{V} \cdot \text{s}$,而漏电流从 $7.8 \times 10^{-10} \text{ A}$ 降低到 $1.2 \times 10^{-10} \text{ A}$ 。漏电流的减小主要是由于 SILC 制备的多晶硅薄膜中镍浓度有效降低。残留在多晶硅薄膜中的镍将作为深的掺杂能级俘获态,这些俘获态限制了载流子传输并建立了势垒,这些势垒和晶界处附加的散射导致了场效应迁移率的降低。同时高的俘获态密度也导致了亚阈值摆幅、阈值电压和漏电流的增大^[11]。

4 结 论

以镍的硅化物作诱导源诱导横向晶化制备了多晶硅薄膜,与 MILC 技术制备的多晶硅薄膜相比,发现镍含量有效地减少,且晶粒尺寸增大。实验中以 SILC 技术制备的多晶硅作为沟道层制备了低温多晶硅薄膜晶体管,发现晶体管的场效应迁移率提高到 $67 \text{ cm}^2/\text{V} \cdot \text{s}$,漏电流降低到 $1.2 \times 10^{-10} \text{ A}$ 。这主要是由于 SILC 技术使得制备的多晶硅薄膜中镍浓度有效地降低,晶粒尺寸变大,并且减少了晶界所产生的俘获态密度,从而改善了多晶硅薄膜晶体管的电学特性。

