

四相电压调整模块中 平面型可消除直流偏磁集成磁件研究

杨玉岗¹, 于庆广², 李洪珠¹, 刘春喜¹

(1. 辽宁工程技术大学电气系, 辽宁省阜新市 123000; 2. 清华大学电机系, 北京市 海淀区 100084)

Research on Planar Integrated Magnetics Whose DC-bias Can be Eliminated in 4 Phase Interleaving VRM

YANG Yu-gang¹, YU Qing-guang², LI Hong-zhu¹, LIU Chun-xi¹

(1. Department of Electrical Engineering, Liaoning Technology University, Fuxin 123000, Liaoning Province, China;
2. Department of Electrical Engineering, Tsinghua University, Haidian District, Beijing 100084, China)

ABSTRACT: Because of the DC-bias in the magnetics of voltage regulation module(VRM), the size and loss can't be reduced easily, this restricts VRM's development of low voltage and large current and "light, thin and small". In order to eliminate DC-bias, this paper proposed a 2-phase planar integrated magnetics and a 4-phase planar integrated magnetics whose DC-bias in the central poles and yokes can be eliminated in 4-phase interleaving VRM, and gave the theory analysis and the electric-magnetic design of the integrated magnetics with the method of combining "field" and "circuit". The magnetics proposed in this paper have the advantages of shorter winding length, smaller winding area, smaller loss and simpler winding manufacture technology, and the core can be utilized most sufficiently. The simulation and experiment results show that the magnetics proposed in this paper are valid.

KEY WORDS: direct current-bias; planar integrated magnetics; 4-phase interleaving parallel; voltage regulator module; 2-phase integrated magnetics; 4-phase integrated magnetics

摘要: 由于电压调整模块(VRM)的磁件中存在较大的直流偏磁, 限制了磁件尺寸和损耗的减小, 进而制约了VRM向着低压大电流和“轻、薄、小”方向发展。文中以消除磁件的直流偏磁为突破点, 提出了用于四相VRM的可消除直流偏磁的平面型两相集成磁件和四相集成磁件, 并用“场”、“路”相结合的方法进行了理论分析和电磁设计, 使磁件铁心中柱和中轭的直流偏磁都得到消除, 与现有集成磁件相比, 具有

绕组长度小, 所占VRM主板面积小, 绕组损耗小, 绕组制造工艺简化, 铁心得到最充分利用等优点。通过仿真和实验验证了其正确性。

关键词: 直流偏磁; 平面集成磁件; 四相交错并联; 电压调整模块; 二相集成磁件; 四相集成磁件

0 引言

随着微处理器的不断发展, 要求为微处理器提供电能的电压调整模块(VRM)继续向着低电压大电流方向发展, 要求输出电压可调(如0.8~1.6V), 输出电流达到甚至超过100A, 且效率高, 动态响应速度快, 稳态电流纹波小, 并实现“轻、薄、小”^[1-2]。为达到此目的, 当前普遍采用提高开关频率的办法和多相交错并联技术^[3-8], 采用平面型器件和表面贴装器件以及多层印刷电路板技术^[4,9]。

和其他种类的开关电源一样, 磁件也是VRM的重要部件, 其体积、损耗、电感量等是影响VRM的体积、高度、电流纹波、效率和动态速度的重要因素。仅从外观上看, 磁件是VRM中的最大部件, 对于多相交错并联的VRM, 同样具有多个大体积的磁件。为此, 在提高开关频率和采用多相交错并联技术的同时, 还研究了磁集成技术, 以减小磁件的体积和高度, 改善VRM的性能^[3-8,10-11], 从而适应电力电子装置集成化的发展趋势^[12-16]。

以往研究多相交错并联VRM的磁集成技术, 一般都采用E型铁心, 实现两相磁件的集成, 每相磁件的绕组通过铁心的一个窗口, 两窗口绕组的电流方向相反, 形成心式铁心结构, 使绕组长度和所

基金项目: 国家自然科学基金项目(50207004)。

Project Supported by National Natural Science Foundation of China (50207004).

占 VRM 的面积大大增加, 并产生较大的绕组铜耗^[3,4,6-8]。也有个别的采用壳式结构铁心, 即铁心中柱窗口中的绕组电流方向相同, 但对于四相以上的 VRM, 每两个集成相的相位相差不是 180°, 铁心中柱正负半轴的工作磁密不对称, 使铁心没有得到充分利用^[5], 而且没有实现四相电感的集成, 不能使磁件总体积进一步减小。

本文以消除直流偏磁为突破点, 首先提出可消除中柱直流偏磁的两相平面集成磁件结构, 采用壳式铁心, 使两集成相的相位相差 180°, 从而克服了上述问题。又提出四相集成的可消除所有中柱和中轭直流偏磁的集成磁件结构, 使磁件的总体积进一步减小。并用“场”、“路”相结合的方法进行了理论分析和仿真试验。

1 四相交错 VRM 中平面型可消除直流偏磁集成磁件结构

四相非隔离交错并联型 VRM 采用 Buck 变换器拓扑, 如图 1 所示, 其 4 个电感采用两两集成结构。以往进行两相电感的集成, 多采用心式铁心, 反相耦合, 把绕输入端和输出端放在铁心的同一侧, 如图 2(a)所示, 位于铁心两侧柱外侧及端部的导体对磁件建立主磁场和产生电感量不起任何作用, 相反却增加了绕组长度, 产生大的绕组铜耗, 并占用了非常有限的 VRM 主板面积, 由于绕组电流很大, 绕组导体采用薄铜箔, 有时绕组为两匝, 所占用面积更大, 而且其中的一个输入端和输出端存在交叠的情况, 更增加了制造工艺的复杂性。

由于当前 VRM 逐步实现了高频化, 同时为了提高动态响应速度, 对电感量的要求不是很大, 绕组只需一匝就可满足要求。为此, 本文将集成

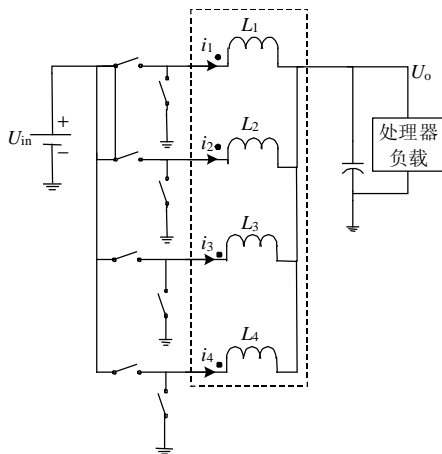


图1 四相交错并联型 Buck 变换器拓扑
Fig.1 4 Phase Interleaving Buck converter

磁件的输入端和输出端分置于铁心两侧, 采用壳式结构, 实现正向耦合, 使铁心中柱的直流偏磁得以消除, 两电感实现解耦, 如图 2(b)所示。比较图 2(a)和(b)可知, 考虑绕组端部的长度, 后者比前者的绕组长度减小一倍以上, 而且绕组制造工艺大大简化。两相集成可消除直流偏磁集成磁件如图 3(a)所示。

为了进一步减小磁件体积及所占 VRM 主板的面积, 本文提出如图 3(b)所示的四相集成可消除直流偏磁集成磁件结构, 铁心中柱和中轭的直流偏磁都得以消除, 4 个电感都互相解耦, 使磁件所占面积比两相集成减小一倍, 而且少用一片 I 型铁心。

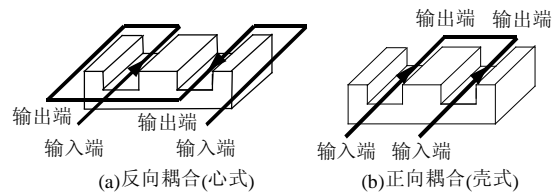


图2 正向耦合和反向耦合时的绕组结构
Fig.2 Winding structure of positive and negative coupling

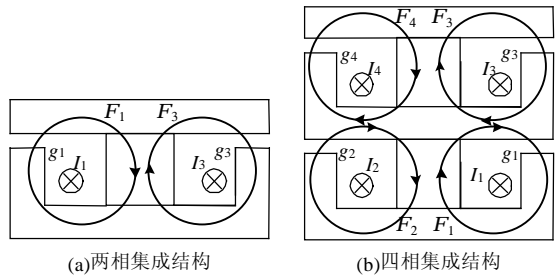


图3 四相 Buck 变换器中电感的可消除直流偏磁集成方式
Fig.3 Inductors' integrated mode Whose DC-Bias can be eliminated in 4 phase Buck converter

2 可消除直流偏磁集成磁件的分析与设计

2.1 直流磁通分布

2.1.1 两相集成结构

两相集成结构磁件的直流磁通分布如图 3(a)所示。由于 2 个电感实现了解耦集成, 铁心中柱直流磁通为

$$F_{31} = F_3 - F_1 = 0 \tag{1}$$

可见, 铁心中柱的直流偏磁得以消除。两相集成结构磁场的有限元仿真结果如图 4(a)、(c)所示, 与理论分析结果一致, 虽然在铁心中柱两边还有少量的直流磁通, 但它们大小相等, 方向相反, 平均直流磁通为零, 得以消除。

2.1.2 四相集成结构

四相集成结构磁件的直流磁通分布如图 3(b)所示。各相相邻绕组间铁心的直流磁通为

$$\begin{cases} F_{21} = F_2 - F_1 = 0 \\ F_{24} = F_2 - F_4 = 0 \\ F_{31} = F_3 - F_1 = 0 \\ F_{34} = F_3 - F_4 = 0 \end{cases} \quad (2)$$

可见，两相邻绕组间铁心中柱和中轭的直流偏磁得以消除，4 个电感互相解耦，实现解耦集成。有限元仿真结果如图 4(b)、(d)所示，与理论分析一致。

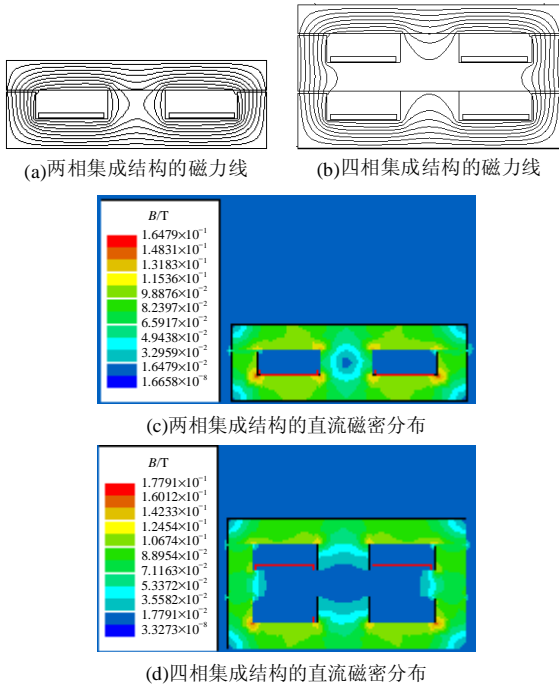


图 4 集成磁件直流磁场的有限元仿真

Fig. 4 Finite element simulation of DC-magnetic-field in integrated magnetics

2.2 交流磁通分布

2.2.1 两相集成结构

两相集成结构的交流磁通分布与直流磁通相同，各相电流所产生的磁通如图 5 所示。由图 5 也可看出，铁心中柱只剩下交流磁通，直流磁通全部消除。各相电流在各自的铁心侧柱中所产生的交流磁通峰-峰值为

$$\Delta f_{pp} = \frac{(1-D)U_o}{f} \quad (3)$$

式中： U_o 为输出电压值； D 为占空比； f 为开关频率，各绕组匝数 $N=1$ ，下同。

铁心中柱的交流磁通峰-峰值为

$$\Delta f_{31,pp} = U_o / f \quad (4)$$

由于 12V 输入 VRM 的占空比很小(接近于 0.1)，所以铁心中柱交流磁通峰-峰值比侧柱增加很少。通常铁心中柱截面积为侧柱的 2 倍，所以中柱的磁密峰-峰值约为侧柱的一半，其铁损小于

侧柱。

本文采用如图 3(a)所示的相位相差 180° 的两电感集成方式，即让一、三相和二、四相的电感分别集成，其铁心中柱交流磁通如图 5 中的“ f_3-f_1 ”所示，正负半轴的磁通峰值相等，铁心得到最充分的利用。而文献[5]采用两相邻相电感的集成方式，即两电感的相位相差 90°，中柱交流磁通如图 5 中的“ f_2-f_1 ”所示，正负半轴的磁通峰值不相等，不利于铁心的充分利用。

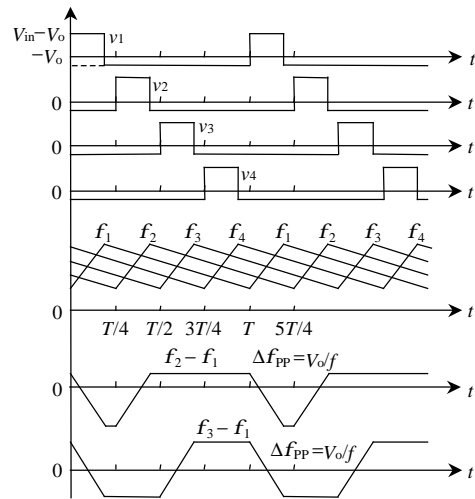


图 5 可消除直流偏磁集成磁件的磁通波形
Fig. 5 Flux wave in integrated magnetics whose DC-bias can be eliminated

2.2.2 四相集成结构

四相集成结构的交流磁通的分布与直流磁通相同，任意两相邻绕组间的铁心只有交流磁通，无直流偏磁。之所以采用图 3(b)所示的绕组排列方式，是为了让铁心中柱和中轭的磁通波形实现如图 5 中曲线“ f_2-f_1 ”和“ f_3-f_1 ”所示的波形，由于绕组“1”和“3”之间的铁心中轭截面积较小，所以使其通过正负半轴对称的磁通，而让绕组“1”和“2”之间截面积较大的铁心中柱通过正负半轴峰值不等的磁通，使铁心得到充分利用。

2.3 等效磁路和等效电路

2.3.1 两相集成结构

两相集成结构磁件的等效磁路如图 6(a)所示，图中， R_{mg} 为气隙磁阻。2 个电感实现解耦，可以单独设计。考虑气隙边缘效应时磁件电感量 L 为

$$L \approx m_0 \frac{(a+2g)(b+3g)}{g} \quad (5)$$

其中： a 、 b 分别为铁心侧柱的长和宽； g 为气隙长度； m_0 为空气磁导率。由式(5)计算的电感量与有限元仿真和试验结果一致。有限元仿真结果如表 1 所

示,互感量小于自感量的5%。

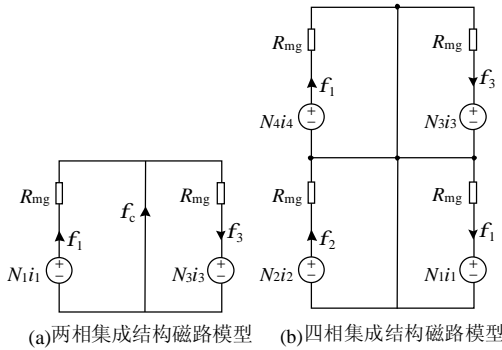


图6 可消除直流偏磁集成磁件的等效磁路模型
Fig. 6 Magnetic model of integrated magnetics whose DC-bias can be eliminated

表1 两相集成结构电感量的有限元仿真结果
Tab. 1 Inductances of Finite element simulation of 2 phase

名称	电感量/($\mu\text{H}/\text{m}$)	名称	电感量/($\mu\text{H}/\text{m}$)
L_{11}	21.7	L_{33}	21.5
L_{13}	1.22	L_{31}	1.22

两相集成结构的等效电路如图7(a)所示^[17],图中 R 为电感的等效电阻, $R=R_{ac}+R_c$, R_{ac} 为绕组交流电阻, R_c 为考虑铁心损耗影响的等效电阻, $R_c = \frac{P_{Fe}}{I_L^2}$ 。

$$R_{ac} = R_{dc} \cdot \frac{(d/2d)^2}{(d/2d)^2 - (d/2d - 1)^2} \quad (6)$$

式中: d 为导线集肤深度, $d = 7.5/\sqrt{f}$ cm; d 为导线直径; R_{dc} 为绕组直流电阻; I_L 为电感电流; P_{Fe} 为铁心损耗; P_{Fe} 可根据铁心产品的材料损耗曲线得到,也可根据Steinmetz^[4]公式进行计算

$$P_v = C f^a \Delta B_p^b \quad (7)$$

式中: P_v 为铁心损耗密度, W/m^3 ; f 为励磁频率; ΔB_p 为磁密峰值; C 、 a 、 b 为常数。

2.3.2 四相集成结构

四相集成结构磁件的等效磁路如图6(b)所示,各个电感实现了解耦。有限元仿真结果如表2所示。四相集成结构磁件的等效电路如图7(b)所示。

表2 四相集成结构电感量的有限元仿真结果
Tab. 2 Inductances of Finite element simulation of 4 phase integrated magnetics

名称	电感量/($\mu\text{H}/\text{m}$)	名称	电感量/($\mu\text{H}/\text{m}$)
L_{11}	21.9	L_{31}	2.09
L_{12}	1.20	L_{32}	1.15
L_{13}	2.09	L_{33}	22.0
L_{14}	1.15	L_{34}	1.19
L_{21}	1.20	L_{41}	1.15
L_{22}	21.9	L_{42}	2.09
L_{23}	1.15	L_{43}	1.19
L_{24}	2.09	L_{44}	22.0

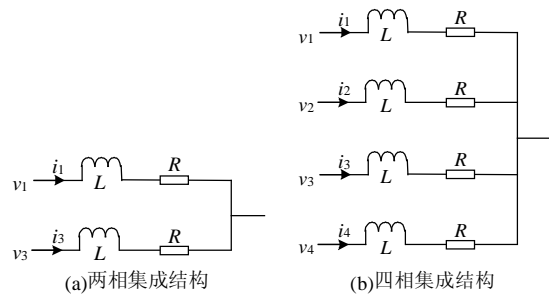


图7 可消除直流偏磁集成磁件的等效电路模型
Fig. 7 Electrical model of integrated magnetics whose DC-bias can be eliminated

2.4 可消除直流偏磁集成磁件对变换器性能影响

2.4.1 对稳态电流纹波和动态响应速度的影响

由于集成磁件的各个电感互相解耦,可单独设计,所以其对VRM的稳态电流纹波和动态响应速度的影响与同电感量的分立磁件相同。

2.4.2 对铁心损耗的影响

由式(3)、(4)可知,对于分立磁件,设铁心截面积为 A ,其磁密峰-峰值为: $\Delta B_{1PP} = \frac{(1-D)U_o}{Af}$ 。

对于两相集成结构,设侧柱截面积为 A ,中柱截面积为 $2A$,侧柱磁密峰-峰值 ΔB_{2CPP} 与分立磁件相同,中柱磁密峰-峰值为: $\Delta B_{2CPP} = \frac{U_o}{2Af}$,由于12V

输入、1.2V输出的VRM其占空比 $D \approx 0.1$,所以, $\Delta B_{2CPP} \approx 0.56 \Delta B_{1PP}$,则由式(7)可知,对于3F3铁心材料,铁心中柱的损耗密度只有分立磁件的23%,这一点通过实验得到验证,中柱温度明显低于侧柱和分立磁件。

对于四相集成结构,第一相与第二相绕组之间及第三相与第四相绕组之间的中柱截面积与两相集成结构相等,均为 $2A$,其磁密峰-峰值 $\Delta B_{C1PP} = U_o/2Af$,所以其铁损密度也与两相集成结构相等,也只有分立磁件的23%;而第一相与第三相绕组之间及第二相与第四相绕组之间的中柱截面积与分立磁件相等,所以其磁密峰-峰值 $\Delta B_{4C2PP} = U_o/Af \approx 1.1 \Delta B_{1PP}$,其铁损密度约为分立磁件的1.27倍,但由于是两相共用这一段铁心,其铁损为分立磁件及两相集成结构的63%。

2.5 可消除直流偏磁集成磁件的电磁设计

2.5.1 两相集成结构

铁心中柱的直流磁密 $B_{2C} = 0$,铁心中柱直流偏磁得以消除。铁心侧柱及轭部直流磁密 $B_2 = m_0 I/g$,其中 I 为每相电流平均值。铁心中柱交流磁密峰-峰值 $\Delta B_{2CPP} = U_o/2Af$ 。铁心侧柱及轭部交流磁密峰-

峰值 $\Delta B_{2PP} = \frac{(1-D)U_o}{Af}$ 。铁心中柱最大工作磁密

$B_{2Cmax} = \frac{\Delta B_{2CPP}}{2} = \frac{U_o}{4Af}$ 。铁心侧柱及轭部最大工作

磁密 $B_{2max} = B_2 + \frac{\Delta B_{2PP}}{2} = \frac{\mu_0 I}{g} + \frac{(1-D)U_o}{2Af}$ 。

2.5.2 四相集成结构

铁心中柱和中轭的直流磁密 $B_{4C1} = B_{4C2} = 0$ ，直流偏磁得以消除。铁心侧柱及轭部直流磁密 B_4 同 B_2 。铁心中柱交流磁密峰-峰值 ΔB_{4C1PP} 同 ΔB_{2CPP} 。

铁心中轭交流磁密峰-峰值 $\Delta B_{4C2PP} = \frac{U_o}{Af} = 2\Delta B_{4C1PP}$ 。

铁心侧柱及轭部交流磁密峰-峰值 $\Delta B_{4PP} = \Delta B_{2PP} = \frac{(1-D)U_o}{Af}$ 。铁心中柱最大工作磁密 $B_{4C1max} = \frac{3U_o}{8Af}$ 。

铁心中轭最大工作磁密 $B_{4C2max} = U_o / 2Af$ 。铁心侧柱及轭部最大工作磁密 $B_{4max} = B_{2max}$ 。

2.6 可消除直流偏磁集成磁件的平面化

对于上述无直流偏磁集成磁件，将其铁心采用如图 2 所示的平面型铁心，其绕组采用铜箔或多层印刷电路板(本文采用铜箔)，从而实现平面化，可以进一步降低磁件的体积和高度，增大散热面积，实现自动化生产和表面贴装^[9]。

3 仿真与实验

3.1 设计结果

根据前面的分析，本文设计了四相平面型无直流偏磁集成磁件，将其应用于四相 VRM，并与采用分立磁件的四相 VRM 进行了性能比较。VRM 额定输入电压：12VDC，额定输出电压 1.2VDC，额定输出电流 85A。设计结果为：开关频率：550kHz，四相等效开关频率：2.2MHz；主 MOS 管：IRF6603；同步整流 MOS 管：IRF6604；控制芯片：ISL6561；两相集成结构磁件铁心：平面 EI18，四相集成结构磁件铁心：平面 EEI18，材料：PC40，气隙长度： $g=0.15\text{mm}$ ；电感量： $L=0.2\mu\text{H}$ 。负载： $R_o=0.064\Omega$ 。

3.2 仿真结果

3.2.1 两相集成结构

采用两相集成结构磁件的四相 VRM 的电路仿真波形如图 8 所示，与理论分析一致。其中，图 8(a)为输出电压，图 8(b)中下部的四条曲线为各相电感电流，最上面一条曲线为四相总电流，总电流的纹波明显小于每相电流纹波。

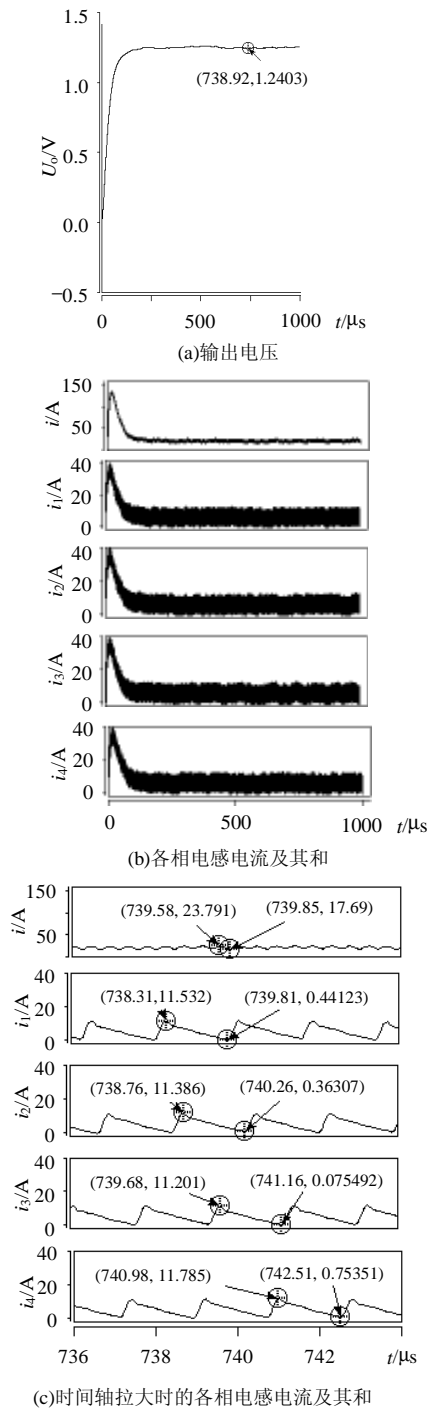


图 8 采用两相集成磁件的四相 VRM 仿真波形
Fig. 8 Simulated waves of 4 phase VRM which adopt 2 phase integrated magnetics

3.2.2 四相集成结构

采用四相集成结构磁件的四相 VRM 的仿真波形如图 9 所示，与两相集成结构相同。

3.3 实验结果

图 10 为采用平面型无直流偏磁集成磁件的四相 VRM 实验波形，其中，图 10(a)为采用两相集成结构磁件的输出电压波形，图 10(b)为采用四相集

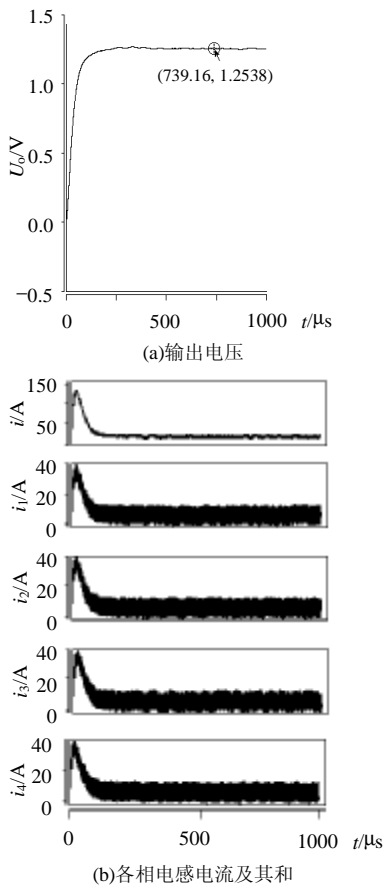


图9 采用四相集成磁件的四相VRM仿真波形
Fig. 9 Simulated waves of 4 phase VRM which adopt 4 phase integrated magnetics

成结构磁件的输出电压波形。由图可见，二者几乎完全相同，且与仿真结果一致。从而证明本文提出的两相和四相集成磁件结构是可行的。

根据以上分析，表3给出了3种磁件的性能对比。由表可见，本文提出的如图3所示的可消除直

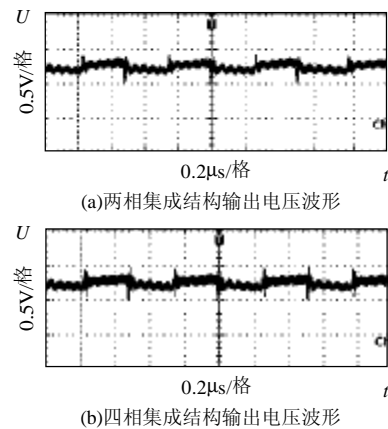


图10 采用无直流偏磁集成磁件的四相VRM实验波形
Fig. 10 Experiment waves of 4 phase VRM which adopt integrated magnetics whose DC-bias can be eliminated

表3 3种磁件的对比
Tab. 3 Comparison of three kinds of integrated magnetics

磁件类别	铁心总体积	铁心总面积	铁心高度	磁件数量	铁心损耗	铁心中柱和中轭最大磁密/T	铁心侧柱最大磁密/T	稳态电流纹波	动态响应速度
分立磁件	2160	360	6	4	较大				
两相集成磁件	2160	360	6	2	较小	0.027	0.226	相	相
四相集成磁件	1800	180	10	1	较小	中柱: 0.041 中轭: 0.054		同	同

流偏磁集成磁件的各项性能指标都优于或等于分立磁件的性能指标。

4 结论

本文提出的平面型可消除铁心中柱直流偏磁的两相集成结构磁件和四相结构磁件用于四相交错并联型VRM式可行的。与分立磁件相比，具有总体积小、所占VRM主板面积小、铁心损耗小、使铁心得到最充分利用等优点；与现有集成磁件相比，具有绕组长度小、所占VRM主板面积小、绕组损耗小、绕组制造工艺简单、使铁心得到最充分利用等优点。因而适合VRM的低压大电流发展趋势及“轻、薄、小”的发展趋势。

本文运用“场”、“路”相结合的方法研究平面集成磁件，采用电磁场有限元方法仿真平面集成磁件的直流场和涡流场，采用磁路的方法分析和设计磁件，采用电路的方法进行系统仿真，从而得到较好的效果，为集成磁件的理论分析和电磁设计提供了有效的方法。

本文提出的四相集成结构的高度比两相集成结构高，不利于磁件高度的减小，但随着磁性材料的发展，铁心采用薄膜材料，绕组采用薄铜箔或银

箔, 该问题可以得到解决。由于气隙位于两侧柱上, 存在铁心生产成本增加、机械稳定性变差等问题, 但由于绕组只是穿过铁心窗口一次, 不用绕制, 而且气隙也很小, 所以在批量生产时, 可以在 E 片和 I 片铁心连接处采用点胶工艺, 或者开模, 将铁心做成一个整体。

参考文献

- [1] Bill Colson. Preparing for 2001 with a new power supply architecture [R]. <http://developer.intel.com>. 2001.
- [2] Intel Company. VRM 9.1 DC-DC converter design guidelines[R]. <http://www.intel.com>. 2002.
- [3] Xu Peng, Wei Jia, Lee F C. Multiphase coupled-buck converter-a novel high efficient 12V voltage regulator module[J]. IEEE Trans. on Power Electronics, 2003, 18(1): 74-81.
- [4] Chen Wei, Lee F C, Zhou X, et al. Integrated planar inductor scheme for multi-module interleaved quasi-square-wave(QSW) DC/DC converter[C]. IEEE PESC, USA, 1999.
- [5] Yao Kaiwei, Wong Pit-Leong, Lee F C. The inductor design for the multi-channel voltage regulator module[C]. IEEE PCIM, USA, 2000.
- [6] Wong Pit-Leong, Wu Qiaoqiao, Xu Peng, et al. Investigating coupling inductors in the interleaving QSW VRM[C]. IEEE APEC, Louisiana, 2000.
- [7] Wei Jia, Xu Peng, Wu Ho-Pu, et al. Comparison of three topology candidates for 12V VRM [C]. IEEE APEC, USA, 2001.
- [8] Chin Chang, Mike A. Knights. Interleaving technique in distributed power conversion systems[J]. IEEE Trans. on Circuit and Systems, 1995, 42(5): 245-251.
- [9] 杨玉岗, 李洪珠. 平面型高频 PCB 变压器材料和结构工艺[J]. 辽宁工程技术大学学报, 2004, 23(3): 351-353.
Yang Yugang, Li Hongzhu. Material and technology of planar high frequency PCB transformer[J]. Journal of Liaoning Technical University, 2004, 23(3): 351-353(in Chinese).
- [10] 杨玉岗, 李洪珠, 等. 可削减直流偏磁集成磁件在 DC/DC 变换器中的应用[J]. 中国电机工程学报, 2005, 25(11): 50-54.
Yang Yugang, Li Hongzhu, et al. Research on the Application of an Integrated Magnetics Whose DC-Bias can be reduced in DC/DC converter[J]. Proceedings of the CSEE, 2005, 25(11): 50-54(in Chinese).
- [11] Xu Peng, Ye Mao, Lee F C. Single magnetic push-pull forward converter featuring built-in input filter and coupled-inductor current double for 48V VRM[C]. IEEE APEC, Canada, 2002.
- [12] 陈乾宏, 阮新波, 严仰光. 开关电源中磁集成技术及其应用[J]. 电工技术学报, 2004, 19(3): 1-8.
Chen Qianhong, Ruan Xinbo, Yan Yangguang. Integrated magnetics technology and its application in power supply[J]. Transactions of China Electrotechnical Society, 2004, 19(3): 1-8(in Chinese).
- [13] 钱照明, 张军明, 吕征宇, 等. 我国电力电子与电力传动面临的挑战与机遇[J]. 电工技术学报, 2004, 19(8): 10-20.
Qian Zhaoming, Zhang Junming, Lu Zhenyu, et al. Challenge and opportunity for power electronics and electrical drive in china [J]. Transactions of China Electrotechnical Society, 2004, 19(8): 10-20(in Chinese).
- [14] 陈文洁, 杨旭, 杨拴科, 等. 分立元件构成的电力电子集成功率模块的设计[J]. 中国电机工程学报, 2003, 23(12): 104-110.
Chen Wenjie, Yang Xu, Yang Shuanke, et al. A design of discrete components based integrated power modules[J]. Proceedings of the CSEE, 2003, 23(12): 104-110(in Chinese).
- [15] 曾翔君, 陈继明, 杨旭, 等. 基于局部元等效电路原理对混合封装电力电子集成模块内互感耦合的研究[J]. 中国电机工程学报, 2004, 24(7): 133-139.
Zhen Xiangjun, Chen Jiming, Yang Xu, et al. Mutual inductance coupling research based on PEEC theory inside hybrid IPEM [J]. Proceedings of the CSEE, 2004, 24(7): 133-139(in Chinese).
- [16] 顾亦磊, 吕征宇, 钱照明. 中小功率系统集成 DC/DC 标准模块的族候选拓扑[J]. 中国电机工程学报, 2005, 25(10): 45-49.
Gu Yilei, Lu Zhengyu, Qian Zhaoming. A family of candidate topologies for low to medium power system integration standard DC/DC module[J]. Proceedings of the CSEE, 2005, 25(10): 45-49(in Chinese).
- [17] 梁贵书, 张喜乐, 王晓晖, 等. 特快速暂态过电压下变压器绕组高频电路模型的研究[J]. 中国电机工程学报, 2006, 26(4): 144-148.
Liang Guishu, Zhang Xile, Wang Xiaohui, et al. Research on high-frequency circuit model of transformer windings in VFTO [J]. Proceedings of the CSEE, 2006, 26(4): 144-148(in Chinese).

收稿日期: 2006-05-01。

作者简介:

杨玉岗(1967—), 男, 博士, 教授, 研究领域为电力电子技术及磁集成技术, yangyugang21@126.com;

于庆广(1966—), 男, 博士, 副教授, 研究领域为电力电子技术及磁集成技术;

李洪珠(1974—), 男, 硕士, 讲师, 研究领域为电力电子技术及磁集成技术;

刘春喜(1977—), 男, 硕士, 助教, 研究领域为电力电子技术及磁集成技术。

(责任编辑 云爱霞)