

采用 0.13 μm CMOS 工艺开关电容调制器的设计和实现

杨志民¹, 马永杰^{1,2}, 摆玉龙¹, 马义德³

(1. 西北师范大学 物理与工程学院, 甘肃 兰州 730070; 2. 兰州交通大学 机电技术研究所, 甘肃 兰州 730070; 3. 兰州大学 信息科学与工程学院, 甘肃 兰州 730000)

摘要: 采用 0.13 μm CMOS 工艺设计并实现了一个开关电容 2 阶调制器. 该调制器能够将一个中心频率为 455 kHz, 带宽为 10 kHz 的调幅信号转换成具有 10 位分辨率、信噪比为 62 dB 的 1 位编码信号. 在设计运算放大器时, 充分考虑了短沟道晶体管设计的一些特殊要求, 特别是考虑了 MOS 场效应管的输出电导 g_d 这个非常敏感的设计参数. 所设计电路的芯片的面积为 260 $\mu\text{m} \times 370 \mu\text{m}$, 工作电压为 1.2 V. 与其他的同类调制器相比, 由于采用 0.13 μm CMOS 工艺进行设计, 因而芯片面积小, 工作电压低.

关键词: 集成电路; 0.13 μm 工艺; 调制器; 设计

中图分类号: TN 713.8 **文献标识码:** A **文章编号:** 0258-7971(2008)04-0344-06

模数转换器 A/D 和数模转换器 D/A 是数字设备和模拟世界的接口. 随着通信系统和移动设备的发展, 对于 A/D, D/A 转换器的精度要求越来越高. 数据转换器就是能够满足这种要求的转换器. 传统的以奈奎斯特取样率工作的转换器通过采用高位量化器来实现数据的高位量化, 因此为了提高转换器的转换精度, 必须提高元件的匹配精度. 这就使得这种转换器精度的提高受到了很大的限制. 调制器采用了一种过取样增量总和调制技术即调制技术, 通过采用高取样率来实现数据的高位量化, 减小了对元件匹配精度的要求. 因而得到了广泛的应用. 近年来, 这方面的研究工作有了很大的进展, 调制电路的性能有了如下几方面的提高^[1~4]: 工作频率有了较大的提高, 已经能够工作在 1 MHz 的频率; 分辨率有了较大的提高, 可以达到 16 位以上; 工作电压降低, 一般的调制器可以在单电源 1.5 V 以下工作; 采用新工艺、新工艺的采用, 使得调制器所占用的芯片面积不断减小、工作电压进一步降低. 这正是本文研究的主要目的.

本文设计和实现了一个适合于音频段使用的开关电容调制器. 所设计的调制器能够将一个中心频率为 455 kHz, 带宽为 10 kHz 的调幅信号转换成具有 10 位分辨率、信噪比为 62 dB 的 1 位编码信号. 论文主要是对 0.13 μm CMOS 新的集成工艺条件下调制电路的设计进行研究和实现. 新工艺的使用能够提高电路的整体性能. 但是集成电路新工艺会给电路设计提出更高的要求, 使设计工作更加麻烦. 因此, 开展这方面的研究是具有理论意义和实际价值的^[5,6].

由于本文所涉及的场效应管都属于短沟道场效应管, 因此在设计运算放大器时, 充分考虑了短沟道晶体管设计的一些特殊要求. 特别是考虑了 MOS 场效应管的输出电导 g_d 这个非常敏感的设计参数. 对沟道长度为 0.13 μm 、不同沟道宽度、不同工作电压、不同沟道类型的场效应管的特性进行了考察和分析, 从大量的数据中拟合出 N 沟道场效应管输出电导 $g_{d, \text{NMOS}}$ 和 P 沟道场效应管的输出电导 $g_{d, \text{PMOS}}$ 的设计公式. 根据这些公式对运算放大器进行了设计.

收稿日期: 2007-07-16

基金项目: 国家自然科学基金资助项目(60572011).

作者简介: 杨志民(1949-), 男, 回族, 甘肃人, 教授, 主要从事电路理论及设计方面的研究.

该调制器采用先进的 0.13 μm CMOS 集成工艺进行设计,与其他的同类调制器相比,具有芯片面积小、工作电压低的优点。所设计的芯片面积为 260 μm \times 370 μm ,工作电压为 1.2 V,属于低电压电路^[7,8]。较低的电源电压对于移动通讯设备和便携式的电子设备是有十分重要的意义的。

1 调制器的系统级设计

1.1 系统级设计方法 本调制器采用从顶到底的系统设计方法。首先提出调制器的总体性能指标,根据这些主要性能指标确定电路的结构、阶数、过取样频率和系统实现框图。再根据系统实现框图利用仿真软件对系统进行仿真,检查仿真结果,再对系统框图的性能进行修正,直到系统框图的性能达到所要求的调制器的总体性能指标为止。系统框图设计好之后,就要对其中的每一个子模块进行具体的实现。选择具体的实现电路,并对它们的性能逐一进行仿真。最后,将这些子模块按系统框图的原理进行组合,以构成该调制器的芯片级总体实现电路。再利用仿真软件对具体芯片的性能进行实际仿真,其中包括将寄生电容考虑在内的仿真。将仿真结果与设计的性能指标进行对比,并进行修正。直到满足总体设计要求的性能指标为止。

1.2 系统框图的确定 为了用数字方法对模拟信号进行处理,需要采用 $\Sigma\Delta$ A/D 转换器。我们知道,普通的以奈奎斯特取样率工作的转换器,是一种输出序列值与输入信号存在一一对应关系的转换器。它的理论取样频率 f_s 应大于等于信号最高频率 f_0 的 2 倍,即 $f_s \geq 2f_0$ 。由于这种转换器的取样频率比较低,使得它对抗混叠电路和重构滤波器的要求很高而难以实现。为了使电路容易实现,在很多情况下,这种转换器的取样频率总是高于理论值,一般取理论值的 1.5~10 倍。也就是说,取样频率一般

为输入信号带宽的 3~20 倍。但是,取样电路必然产生量化噪声,高的取样频率必然影响电路的信噪比 SNR 和动态范围 DR。以奈奎斯特取样率工作的转换器是靠增加转换器的位数来提高信噪比的。另一种取样转换电路是过取样转换器。这种转换器的取样频率 f_s 更高,一般为信号带宽的 20~512 倍。这种转换器通过采用比奈奎斯特取样率更高的取样频率使转换器具有更高的分辨率,而且还可以通过使用负反馈对量化器产生的噪声加以整形,既提高了转换器的信噪比,又不会使过取样频率太高。这种转换器称为 $\Sigma\Delta$ 调制器或增量总和调制器。

由于本系统处理的不是一个单一频率的信号,而是一个中心频率为 455 kHz 带宽为 10 kHz 的调幅信号,因此,选用带通 $\Sigma\Delta$ A/D 调制电路。二阶带通 $\Sigma\Delta$ A/D 调制电路的系统框图如图 1(a) 所示。

其中, $H(Z)$ 是一个二阶带通滤波器。电路通过外环反馈,使信号传输的极点和噪声传输的零点均位于 j 处。从而实现了信号的传输和对噪声的整形。通过对噪声的整形,将噪声移到通带之外,降低了通带内的噪声,达到了提高信噪比的目的。如果该信号是一个电台的调制信号,通过该调制器还可以达到抑制邻近频道电台信号干扰的目的。

如果将量化器等效为一个附加的噪声源 $e(n)$,则二阶 $\Sigma\Delta$ A/D 调制器的模型如图 1(b) 所示。

1.3 有关参数的设计 为了实现二阶带通 $\Sigma\Delta$ A/D 转换器,需要对一些主要的电路参数进行设计。这些参数是:取样频率 f_s ,过取样率 OSR,开环前向传输函数 $H(Z)$ 。

过取样率 OSR 的确定:过取样电路信噪比 SNR 与过取样率 OSR 的关系为

$$\text{SNR} = 6.02N + 3.41 + 30 \log(\text{OSR}). \quad (1)$$

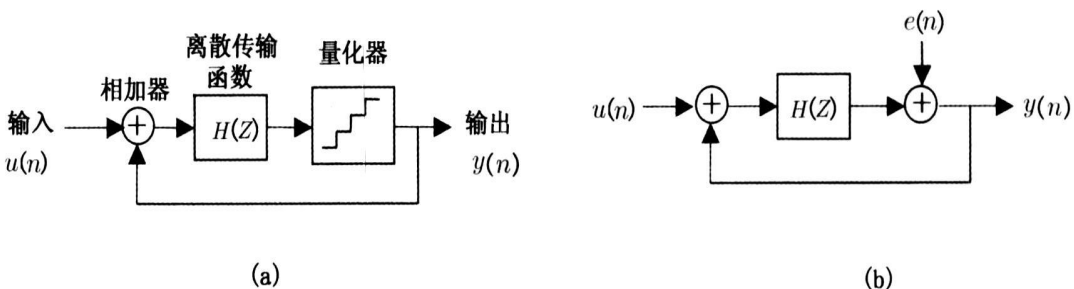


图 1 二阶带通 $\Sigma\Delta$ A/D 调制电路的系统框图和模型

Fig. 1 Graph and model of second-order $\Sigma\Delta$ A/D converter

其中, N 是量化器的分辨率. 本设计中使用一位量化器, $N = 1$. 设所设计的转换器的分辨率为 10 位, 则相应的信噪比 $SNR = 60 \text{ dB}$. 由式(1)可以求得满足设计要求的过取样率为

$$OSR = 10^{\frac{60 - 6.02N - 3.14}{30}} = 81.84. \quad (2)$$

开环前向传输函数 $H(Z)$ 的确定: $H(Z)$ 的确定应同时满足 2 个要求: 对信号而言, 使闭环前向信号传输函数的频率响应为 1, 从而使得由它构成的闭环传输函数不影响有用信号的传输; 对噪声而言, 使闭环前向传输函数的频率响应呈现一个带阻特性, 阻带的中心频率等于信号频带的中心频率. 从而使得带内噪声被移到高频段和低频段, 在信号中心频率处没有噪声, 在信号中心频率附近噪声很小. 使系统的信噪比 SNR 得到提高. 这就是 A/D 调制器对噪声的整形功能.

根据图 1(b) 所示电路的模型, 可以得到信号的传输函数 $S_{TF}(Z)$ 和噪声的传输函数 $N_{TF}(Z)$ 分别为

$$S_{TF}(Z) = \frac{Y(Z)}{U(Z)} = \frac{H(Z)}{1 + H(Z)}, \quad (3)$$

$$N_{TF}(Z) = \frac{Y(Z)}{E(Z)} = \frac{1}{1 + H(Z)}. \quad (4)$$

因此可得, 开环前向传输函数 $H(Z)$ 为

$$H(Z) = \frac{-1}{Z^2 + 1}. \quad (5)$$

根据所选取的 $H(Z)$, 可得到信号的传输函数 $S_{TF}(Z)$ 和噪声的传输函数 $N_{TF}(Z)$ 分别为

$$S_{TF}(Z) = \frac{H(Z)}{1 + H(Z)} = -Z^2, \quad (6)$$

$$N_{TF}(Z) = \frac{1}{1 + H(Z)} = 1 + Z^{-2}. \quad (7)$$

为了判断这 2 个传输函数是否满足前面所提出的 2 个要求, 将 $Z = j$ 代入式(6)和式(7), 得

$$|S_{TF}(Z)| = \left. \frac{H(Z)}{1 + H(Z)} \right|_{Z=j} = \left. \frac{1}{e^{-j2}} \right|_{Z=j} = 1, \quad (8)$$

$$|N_{TF}(Z)| = \left. \frac{1}{1 + H(Z)} \right|_{Z=j} = \left. \frac{1}{e^{-j2} + 1} \right|_{Z=j}. \quad (9)$$

可见, 对信号而言, $H(Z)$ 只是起一个延迟作用. 而对噪声而言, 其传输零点位于 $\frac{1}{2}$ 处. 这完全满足前面所提出的 2 个要求, 正是我们所期望的结果.

取样频率 f_s 的确定: 由于 A/D 调制器是一个取样数据系统, 系统的频率响应在 $0 \sim f_s/2$ 和 $f_s/2 \sim f_s$ 之间是以 $f_s/2$ 映射的. 如果将极点设置在 $0 \sim f_s/2$ 的中点, 则 f_s 可按下式选取

$$f_s = 4f_{in} = 4 \times 455 = 1.82. \quad (10)$$

1.4 系统级框图及其仿真 电路的系统级框图如图 2 所示. 它主要是由一个二阶延时积分器、一个由继电器实现的比较器以及输入、输出信号构成的闭环反馈系统组成.

利用 MATLAB 对系统进行仿真的结果如图 3 所示.

由仿真结果可求出系统的信噪比 SNR 为

$$SNR = 10 \log \frac{P_{\text{signal}}}{P_{\text{noise}}} = 60.5. \quad (11)$$

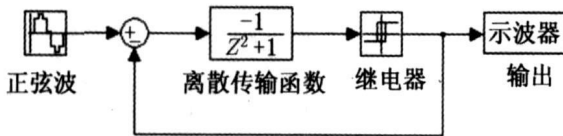


图 2 电路的系统级框图

Fig.2 System graph of the circuit

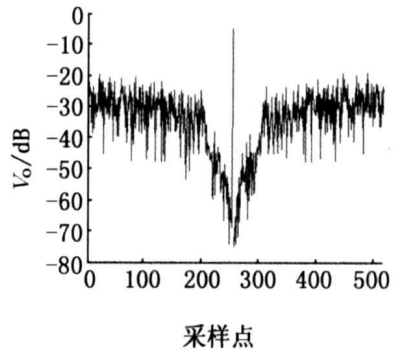
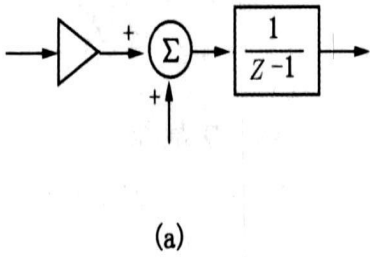


图 3 系统的仿真结果

Fig.3 Simulated result of the system

2 电路级设计

2.1 开关电容基本功能电路及其实现 对应前面所设计的系统, 采用开关电容(SC)电路实现. 开关电容最基本的功能块如图 4(a)所示. 它是一个有延迟的同相积分器. 其中的相加部分可以通过虚地输入实现, 增益部分可以通过设计合适的电容比实现. 开关采用传输门来实现. 开关电容同相积分器的基本实现电路如图 4(b)所示.



用开关电容电路实现的二阶带通 A/D 调制电路的系统框图如图 5 所示.

2.2 运算放大器的实现 运算放大器选用两级全差分折叠式共射-共基(Folded-Cascode) CMOS 运算放大器. 其电路如图 6 所示. 采用 0.13 μm 工艺实现的该运算放大器有关电路如图 7 所示. 它的主要参数是: 差模增益 $A_D = 61 \text{ dB}$, 单位增益带宽 $U_{GB} = 290 \text{ Hz}$, 摆率 $SR = 40 \text{ V}/\text{S}$, 芯片面积 $4670 \mu\text{m}^2$, 相位余量 $PM = 74.7^\circ$.

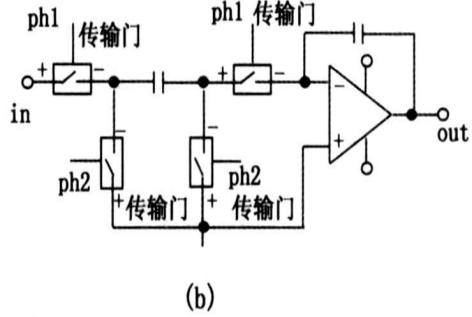


图 4 开关电容积分器

Fig. 4 Switched- capacitor integrator

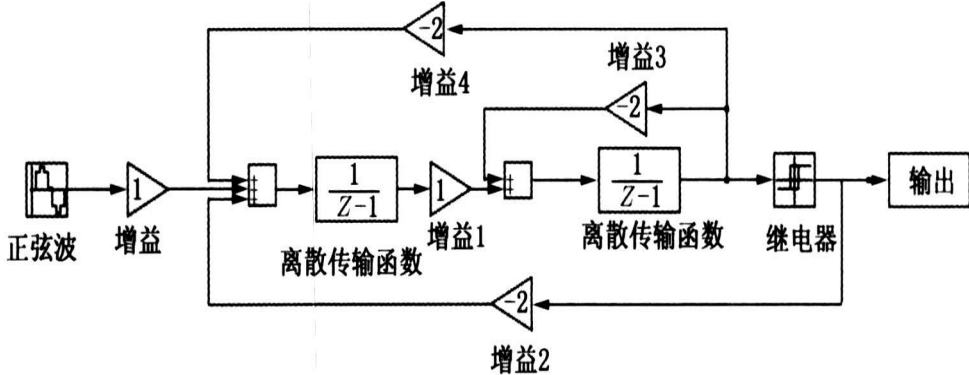


图 5 用开关电容实现的二阶带通 A/D 调制电路的系统框图

Fig. 5 System graph of second- order A/D converter realized by switched- capacitor circuit

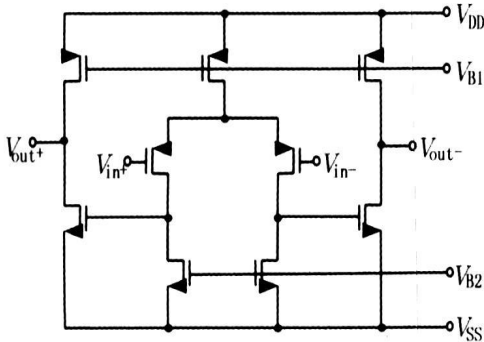


图 6 CMOS 运算放大器电路

Fig. 6 Circuit of CMOS operational amplifier

由于本文所涉及的场效应管都属于短沟道场效应管, 在设计这样的短沟道 MOS 场效应管特别是确定管子的几何尺寸时, 使用普通的场效应管模型参数会产生较大的误差. 因而, 所设计电路的性能与设计值就会产生较大的误差. 为了得到比较准确的设计, 需要对场效应管的一些主要的模型参数进行修正. 在场效应管模型的众多参数中, 输出电导 g_d 是设计场效应管尺寸的一个非常重要的参数. 它与沟道调制效应有关, 而且对沟道长度非常敏感. 短沟道器件模型中的参数和长沟道器件模型中的参数偏差最大的就是输出电导 g_d . 而且 g_d 的设计公式随着生产工艺的不同而不同, 在低电压工

作条件下和高电压工作条件下也有较大的区别.因此本文在设计运算放大器时,充分考虑了短沟道晶体管在低电压工作条件下设计的一些特殊要求.特别是考虑了 MOS 场效应管的输出电导 g_d 这个非常敏感的设计参数.我们利用集成电路设计软件 CADENCE 中的 0.13 μm 工艺专用设计软件对沟道长度为 0.13 μm 、不同沟道宽度、不同工作电压、不同沟道类型的场效应管的特性进行了考察和分析,从大量的数据中拟合出 N 沟道场效应管输出电导 $g_{d,NMOS}$ 和 P 沟道场效应管的输出电导 $g_{d,PMOS}$ 的表达式,并利用这 2 个公式对电路进行了设计.取得了较好的设计结果.这 2 个公式分别为

$$g_{d,NMOS} = 0.22 W^{0.50} L^{-0.22} I_D^{0.5} (1 + 10 e^{-25.46 V_{DS}}), \quad (12)$$

$$g_{d,PMOS} = 0.02 W^{0.50} L^{-0.36} I_D^{0.5} (1 + 15 e^{-22.28 V_{DS}}). \quad (13)$$

其中,场效应管输出电导 g_d 的单位为微西门子(μS),沟道长度 L 和沟道宽度 W 的单位为微米(μm),电流的单位为微安(μA),电压的单位为伏(V).

2.3 量化器的实现 本系统选用 1 位量化器,因为它具有良好的线性关系.1 位量化器由一个前置放大器和一个锁存器级联而成.锁存器由 2 个数字反相器连接成的正反馈电路实现.如图 8 所示.

3 集成电路的实现和仿真

采用 0.13 μm 工艺实现的全差分二阶带通 A/D 调制器整体电路的集成芯片如图 7 所示.芯片总面积为 1500 $\mu\text{m} \times$ 3300 μm .其中, A/D 调制器的芯片面积为 260 $\mu\text{m} \times$ 370 μm .单个运算放大器的芯片面积为 46 $\mu\text{m} \times$ 70 μm .

用集成电路设计软件 CADENCE 对图 7 所示集成芯片进行仿真,结果如图 9 所示.仿真结果显示,其信噪比 $\text{SNR} = 62 \text{ dB}$,达到了设计的要求.

4 结论

本文采用从顶到底的设计方法设计并实现了一个可用于音频信号处理的开关电容 2 阶调制器,并用 0.13 μm CMOS 工艺实现了该电路.通过合理的设计,使电路工作在 1.2 伏的低电压条件下.同时,由于采用 0.13 μm CMOS 工艺进行设计,因而电路具有芯片面积小的特点.对所设计的电路

和集成芯片进行了仿真,仿真结果证明了设计的正确性.

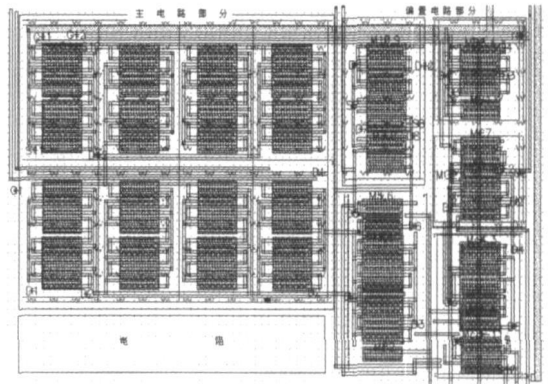


图 7 A/D 调制器集成芯片
Fig. 7 Chip of the A/D converter

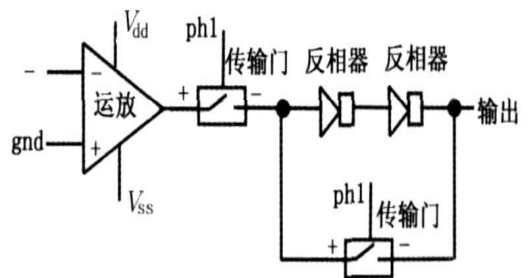


图 8 1 位量化器的实现电路
Fig. 8 Circuit of 1-bit quantizer

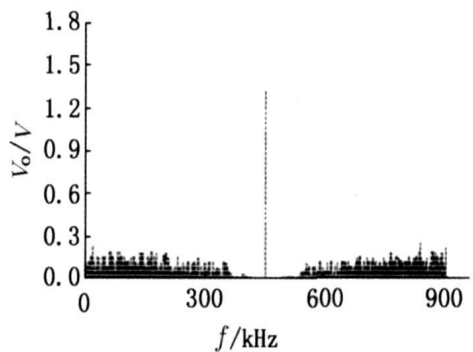


图 9 集成芯片的仿真结果
Fig. 9 Simulated result of the chip

致谢: 对加拿大麦吉尔大学电子和计算机工程系微电子技术研究所 G. W. Roberts 教授的支持和帮助表示衷心的感谢!

参考文献:

[1] Mona Safi-Harb, ROBERTS G W. Low power delta-sig-

- ma modulator for ADSL applications in a low-voltage CMOS technology [J]. IEEE Trans Circuits and systems I: regular papers, 2005, 52(10): 2075-2089.
- [2] GAGGLI R, WIESBAUER A, FRITZ G, et al. A 85-dB dynamic range multibit delay-sigma ADC for ADSL-CO applications in 0.18 μm CMOS [J]. IEEE J Solid-State Circuits, 2003, 38(7): 1105-1114.
- [3] VLEUGELS K, RABII S, WOOLEY B A. A 2.5-V sigma-delta modulator for broadband communications applications [J]. IEEE J Solid-State Circuits, 2001, 36(12): 1887-1899.
- [4] GEERTS Y, STEYAERT M, SANSEN W. A high performance multibit CMOS ADC [J]. IEEE J Solid-State Circuits, 2000, 35(12): 1829-1840.
- [5] JOHNS D A, MARTIN K. Analog integrated circuit design [M]. New York: John Wiley & Sons, 1997.
- [6] SEDRA A S, SMITH K C. Microelectronics circuits [M]. London: Oxford University Press, 1998.
- [7] RON H, JOHAN H H. Design of low-voltage low-power operational amplifier cells [M]. New York: Kluwer Academic Publishers, 1966.
- [8] KAO C H, LIN W P, HSIEH C S. Low-voltage low-power current mode exponential circuit [J]. IEE Proc, Circuits Devices & Systems, 2005, 152(6): 633-635.
- [9] JIANG Y, LEE E K F. Design of low-voltage bandgap reference using transimpedance amplifier [J]. IEEE Trans Circuits Syst, 2000, 47: 552-555.
- [10] BANBA H, SHIGA H, VMEZAWA A, et al. A CMOS bandgap reference circuit with sub-1V operation [J]. IEEE Journal of Solid-State Circuits, 2001, 34: 670-674.

Design and realization of delta-sigma modulator with CMOS 0.13 μm technology

YANG Zhimin¹, MA Yongjie^{1,2}, BAI Yulong¹, MA Yide³

(1. College of Physics and Electronic Engineering, Northwest Normal University, Lanzhou 730070, China;

2. Institute of Mechatronics and Electronic Technology, Lanzhou Jiaotong University, Lanzhou 730070, China;

3. College of Information Science and Engineering, Lanzhou University, Lanzhou 730000, China)

Abstract: A second-order switched-capacitor delta-sigma modulator is designed and realized in 0.13 μm CMOS technology. The modulator is suitable for transform a AM signal with central frequency of 455 kHz and bandwidth of 10 kHz into 1 bit coded signal with accuracy of 10bits and SNR of 62 dB. The chip area of the circuit is 260 μm \times 370 μm , power voltage is 1.2 V. Compared with other modulators, the circuit has advantages of low-voltage, small area with benefit from the use of 0.13 μm CMOS technology. The circuit is simulated to show the correction of the design.

Key words: integrated circuits; CMOS 0.13 μm technology; delta-sigma modulator; design