

基于 FPGA 的 SLC-LSCMA 算法的 波束形成器的设计与实现^{*1}

张 凯, 王小军, 舒平平, 杨 军
(云南大学 信息学院, 云南 昆明 650091)

摘要:以 SLC-LSCMA 算法为基础, 利用该算法的高稳定性和快速收敛的特性, 设计实现了一个 16 元均匀圆阵的波束形成器; 该波束形成器利用复数乘法器和累加器实现复输入信号和复加权因子的相乘和累加, 与传统算法准则设计的波束形成器相比具有消耗硬件资源少、运算速度快等特点. 该波束形成器采用硬件描述语言 Verilog HDL 设计, 利用 Quartus II 8.0 进行了综合和布线, 最终以 Altera 公司的 EP2C35F672C6 芯片为下载目标, 其时序仿真可稳定工作在 50MHz 的时钟频率下. 本设计可广泛应用于移动通信和卫星通信领域.

关键词:SLC-LSCMA 算法; 波束形成器; 智能天线; FPGA

中图分类号:TP 309.7 **文献标识码:**A **文章编号:**0258-7971(2012)02-0142-05

智能天线在当今通信中发挥着越来越重要的作用, 波束形成器是智能天线的重要组成部分, 通过满足某种准则的自适应算法调整加权值来控制天线阵的方向函数产生高增益窄波束, 使智能天线达到增强所需信号抑制干扰信号的目的. 传统的恒模算法是基于最陡下降形式的算法, 收敛速度较慢; SLC-LSCMA 算法(基于子空间的线性约束最小二乘恒模算法)具有收敛速度快、计算复杂度低、误码率低等特点, 对线性无关的输入数据能确保全局收敛性和稳定性. CDMA 系统是一种多个恒模信号共存的环境, 传统的 CMA 算法极易捕获到其他干扰信号而不是所需信号, 解决的方法是采用多个恒模阵列级联的方法, 这种方法复杂度相当高, 线性约束恒模算法能很好地解决干扰捕获问题, 但是其收敛性能受步长因子的影响很大^[1]; SLC-LSCMA 算法可以有效解决干扰捕获问题, 而且收敛性能不受步长的影响, 消除了噪声子空间的影响. 本文采用 FPGA 技术, 其高集成度可完成复杂的时序和组合逻辑电路功能, 将多个子系统的功

能集成到一个芯片中, 从而大大减少运算时间和传输延迟. 故选用此技术可以满足天线波束的实时快速扫描要求.

1 信号模型

考虑一个具有 M 个用户的同步 DS-SS-CDMA 通信系统, 在加性高斯白噪声信道下, 经过码片匹配滤波器和码片速率采样后, 在一个符号间隔 T 内, 接收端的输出样本为一个 N 维向量

$$r = \sum_{k=1}^M A_k b_k s_k + \delta n, \quad (1)$$

其中 A_k 是第 k 个用户接受信号的幅度; $b_k \in \{\pm 1\}$, 是第 k 个用户接受信号的信息比特; $s_k = \frac{1}{\sqrt{N}}[\beta_0^k, \beta_1^k, \dots, \beta_{N-1}^k]^T$, 是第 k 个用户的归一化扩频码向量; $\beta_i^k \in \{\pm 1\}$ ($i = 0, 1, \dots, N-1$), 是第 k 个用户的扩频码序列. 假设 M 个用户的特征波形彼此正交, $s \triangleq [s_1, s_2, \dots, s_M]$, $A \triangleq \text{diag}(A_1^2, A_2^2, \dots, A_M^2)$. 则接受端输入信号 r 的自相关函数矩阵为:

* 收稿日期: 2011-07-01

基金项目: 云南大学 2010 年度研究生优秀教材建设基金项目经费资助.

作者简介: 张 凯(1985-), 男, 山东人, 硕士生, 主要从事 FPGA 及嵌入式系统设计方面的研究.

通讯作者: 杨 军(1963-), 男, 云南人, 教授, 硕士生导师, 主要从事 EDA、计算机系统结构的研究.

$$R = E\{rr^T\} = \sum_{k=1}^k A_k^2 s_k s_k^T + \delta^2 I_N = sAs^T + \delta^2 I_N. \quad (2)$$

对矩阵 R 进行特征值分解:

$$R = [U_s U_n] \begin{bmatrix} \Lambda_s & \\ & \Lambda_n \end{bmatrix} \begin{bmatrix} U_s^T \\ U_n^T \end{bmatrix}. \quad (3)$$

其中 $\Lambda_s = \text{diag}[\lambda_1, \lambda_2, \dots, \lambda_M]$, λ_k 是矩阵的 M 个特征向量,按降序排列与相对应的正交特征向量组成的矩阵为 $U_s = \text{diag}[u_1, \dots, u_M]$; $\Lambda_n = \delta^2 I_{N-M}$; $U_n = [u_{M+1}, \dots, u_N]$ 分别表示 $N - M$ 个正交特征向量. U_s 为信号子空间,它的正交部分 U_n 为噪声子空间.

2 SLC-LSCMA 算法简介

SLC-LSCMA 算法通过将权向量约束在信号子空间内,从而消除噪声子空间的影响. 定义基于信号子空间新的权向量

$$w = s_1 + B_1 x, \quad (4)$$

其中 x 是新的更新权向量, $B_1 = U_s U_s^T$, $U_s \in R^{N \times M-1}$, 是向量 s_1 的零信号子空间; x 是向量 s_1 的自适应调整部分.

为了得到权向量 w , 必须估计信号子空间 U_s . 定义在 s_1 上的投影为:

$$Q = s_1 (s_1^T s_1)^{-1} s_1^T. \quad (5)$$

由此可得其在正交于 s_1 的子空间上的投影 Q_1 , 将接收向量 r 投影到 Q_1 上得到新的向量 r_2 , 则 r_2 的自相关矩阵为:

$$C = E\{r_2 r_2^T\}. \quad (6)$$

对 C 进行特征值分解为:

$$C = [U_s \ U_n \ U_0] \begin{bmatrix} \Lambda_s & 0 & 0 \\ 0 & \Lambda_n & 0 \\ 0 & 0 & \Lambda_0 \end{bmatrix} \begin{bmatrix} U_s^T \\ U_n^T \\ U_0^T \end{bmatrix}, \quad (7)$$

其中 $\Lambda_s = \text{diag}(\lambda_1, \dots, \lambda_{M-1})$ 包含了 C 的 $M - 1$ 个最大的特征值; $\Lambda_n = \delta^2 I_{N-M}$ 为噪声的特征值; $\Lambda_0 = 0$; U_s, U_n 和 U_0 分别为对应的正交特征分量.

与传统的 LMS 算法和 LSCMA 算法相比, SLC-LSCMA 算法不仅收敛速度快, 输出信噪比大, 误码率低, 而且在动态环境下也能很好地工作^[2].

3 波束形成器的设计原理

波束形成的目的是在阵列的输出端重构出某个方向的源信号. 不同的信号源存在于空间中的不同位置, 这些信号被波束形成器接受, 通过调整每一个阵元上的权值, 对信号空间里的每个信号源加权求和, 所以, 权值调整是波束形成的核心^[3]. 图 1 为波束形成原理框图.

根据图 1 的原理, 系统的输出 $z(t)$ 为:

$$z(t) = w^T x(t), \quad (8)$$

其中, $w = [w_1, w_2, \dots, w_M]^T$ 为波束形成器的加权矢量. 加权矢量一般为复数, 实际运用中分为实部和虚部 2 部分, 分别与信号的实部和虚部相乘.

3.1 SLC-LSCMA 算法的 FPGA 实现 本系统使用 FPGA 实现 SLC-LSCMA 算法、复数乘法器、双口 RAM、移位寄存器等模块.

SLC-LSCMA 算法是一种恒模算法, 不需要导频信号和训练序列就可计算权值和系统输出. 本文是利用 SLC-LSCMA 算法对权值进行调整和加权求和, 波束形成器采用 SLC-LSCMA 算法不断调

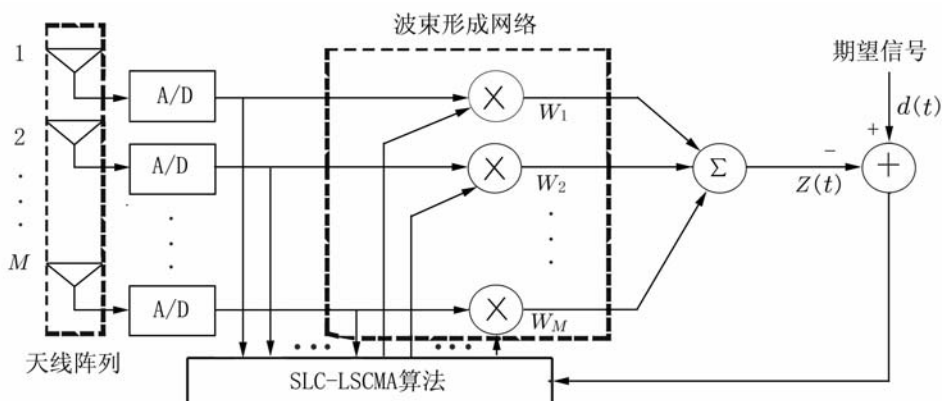


图 1 波束形成原理框图

Fig. 1 The principle diagram of beam formation

整加权值来控制天线阵的方向函数产生高增益窄波束. 根据算法的计算过程和每一步实现的功能, 利用 FPGA 把算法所需的权值存储器 and 输入信号存储器组合起来, 以满足权值和输入信号的时分复用^[4]. SLC - LSCMA 算法的 RTL 级结构图如图 2 所示.

3.2 复数乘法器 数字波束形成器其中一路接受机较详细框图如图 3 所示. 第 i 阵元接收信号 $x_i(t)$ 经变频、中放后, 再由正交混频产生 I, Q 双通道信号 $x_{iI}(t)$ 和 $x_{iO}(t)$, 这两信号分别由 A/D 变成数字基带双通道信号 $x_{iI}(n)$ 和 $x_{iO}(n)$. 这一过程需要用复数乘法器来实现^[5].

复数乘法器的 RTL 结构如图 4 所示. 该复数乘法器中所用的加法器是在 FPGA 的内核逻辑中实现的, 使用了逐位进位模式. 本模块采用 FPGA 技术, 设计 3 个乘法器来实现数字变频.

3.3 双口 RAM 数字波束的输出信号系数更新通过双口 RAM 交互, 将加权因子写入 RAM 中的相应地址, 然后用波束形成模块从中读出^[6]. 本文采用 FPGA 技术实现了一个双口 BLOCK RAM, 位

宽为 32 比特, 深度为 16, A 口只读, B 口只写. 双口 RAM 的 RTL 结构如图 5 所示.

3.4 移位寄存器 本模块采用 FPGA 技术设计实现一个 16 位寄存器输出的桶形移位寄存器, 用于滤波数据的缓存. 当数据送入累加器和累加器中的数据进行运算时, 先通过该桶形移位寄存器进行 0 ~ 16 位循环左移, 然后再进行运算^[7]. 其 RTL 级结构如图 6 所示.

4 系统测试

本设计以 Verilog HDL 语言对该数字波束形成器进行了 RTL 级描述, 并以 Altera 的 EP2K35F672C6 为目标芯片, 在 Quartus II 8.0 平台上进行了综合、布局、布线, 最后利用 ModelSim SE 6.0 做了时序仿真.

设计在 Quartus II 8.0 中可达到 61.4 MHz 运行速度. 表 1 为本设计的综合结果与文献资料的对比. 相较传统算法准则实现的波束形成器, 本文设计的波束形成器在硬件资源消耗和运算时间上均有一定优势. 相较文献[3]中传统的 LMS 算法准则

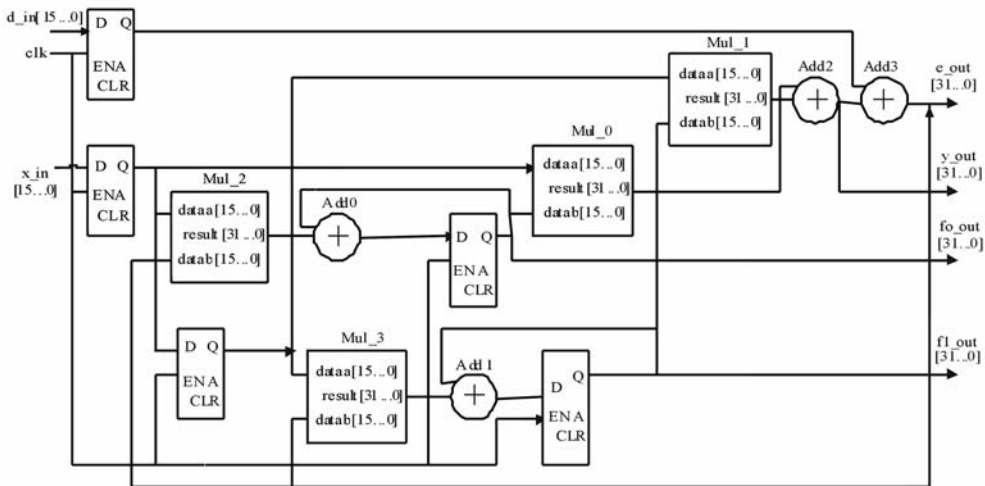


图 2 SLC - LSCMA 算法的硬件设计的 RTL 结构图

Fig. 2 The RTL structure of hardware design of SLC - LSCMA algorithm

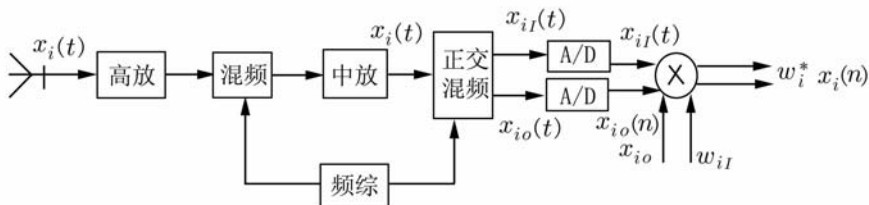


图 3 数字波束形成 - 路接收机框图

Fig. 3 Digital beam forming - all the way receiver diagram

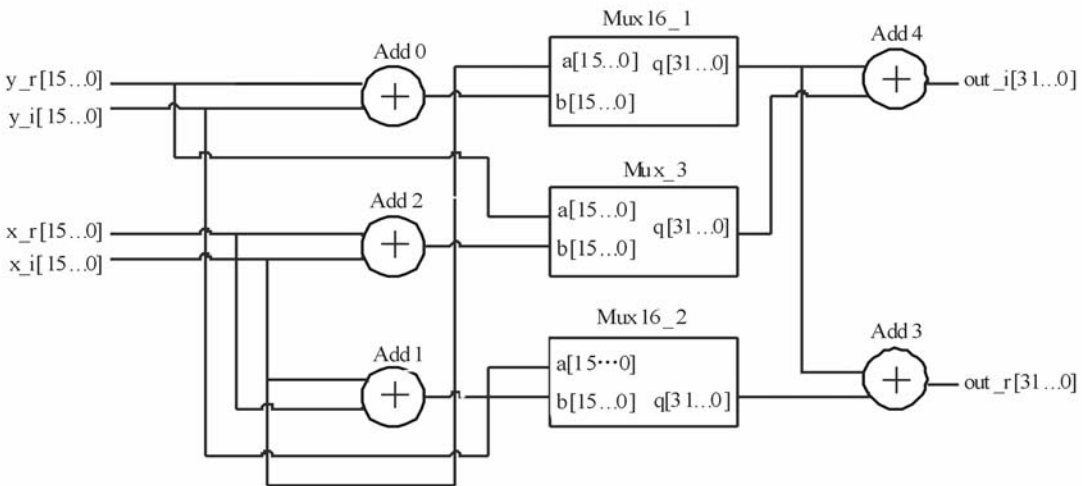


图 4 复数乘法器的结构

Fig. 4 The structure of plural on time - multiplier

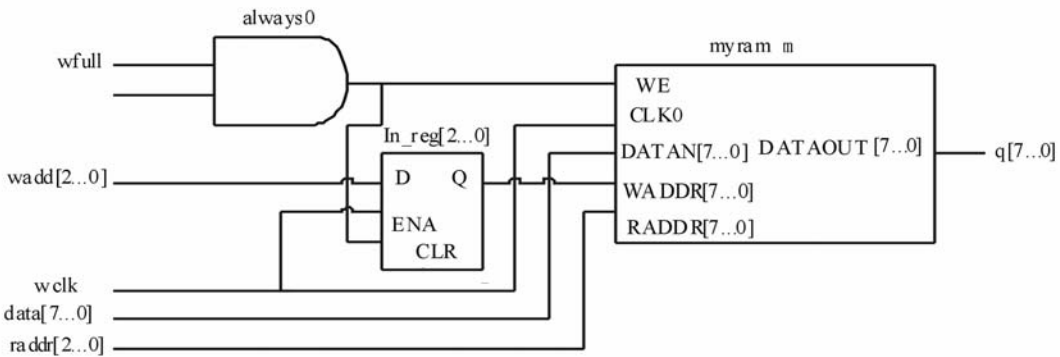


图 5 双口 RAM 的结构

Fig. 5 The structure of double mouth of RAM

表 1 综合结果与文献资料的对比

Tab. 1 Comprehensive results and the literature material contrast

项目名称	占用逻辑单元	运算时间/ns
SLC - LSCMA 准则波束形成器	2 649	33. 874
传统 LMS 准则波束形成器 ^[3]	2 703	41. 376
LSCMA 准则波束形成器 ^[8]	2 697	37. 259

设计的波束形成器,硬件资源消耗节省了 2%,运算速度提高了 18%. 相较文献[8]中 LSCMA 算法准则设计的波束形成器,硬件资源消耗节省了 2%,运算速度提高了 9%. 且以 FPGA 的高集成度缩小了波束形成器的面积. 以 SLC - LSCMA 算法为准则设计的波束形成器,在仿真时钟为 50 MHz

的情况下,其仿真波形如图 7 所示.

对仿真结果进行分析,输入 4 个数据: ar - 1010101111001101 br - 1001010000101000 ai - 0101001101110111 bi - 1000101001000111, ar, br 分别为输入信号和期望信号的实部, ai, bi 分别为输入信号和期望信号的虚部. 数据经过数字波束形成器后输出 2 个数据 pr - 1001111010001001000100000000111, pi - 01011101001001101111111001110011 其 pr, pi 分别为输出信号的实部和虚部. 结果与用 SLC - LSCMA 算法的结果是一致的^[4].

5 结 论

本文充分利用 FPGA 内部丰富的硬件资源和 Verilog HDL 语言的灵活性,以 SLC - LSCMA 算法为基础,利用该算法的高稳定性和快速收敛的特

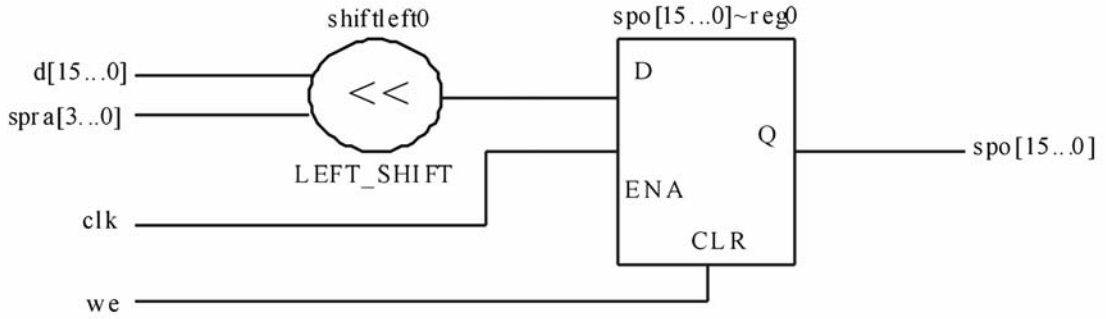


图 6 桶形移位寄存器的结构

Fig.6 The structure of bucket shift register

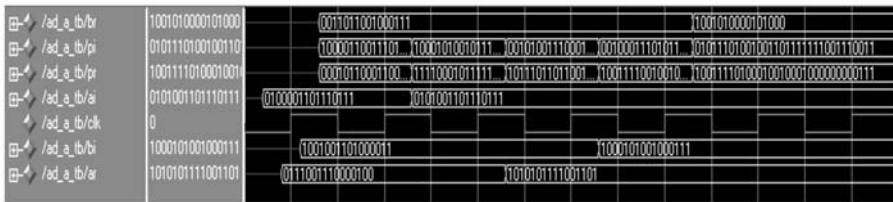


图 7 波束形成器仿真波形

Fig.7 The simulation waveform of beam formation device

性,设计实现了一个 16 元均匀圆阵波束形成器,增强了稳定性,加快了收敛速度,提高了输出信噪比和误码率性能.可被广泛应用于移动通信和卫星通信领域.

参考文献:

- [1] 赵丽娟, 鄞广增. 基于子空间方法的最小二乘常模算法的研究[J]. 电路与系统学报, 2010, 15(1): 21-27.
- [2] 孟艳, 汪晋宽, 朱骏. 基于子空间的线性约束最小二乘恒模算法[J]. 电子与信息学报, 2009, 31(1): 49-52.
- [3] 颜海, 庄圣贤, 杨硕, 等. 基于 FPGA 圆阵超声自适应波束形成的设计[J]. 通信与信息技术, 2008(9): 67-69.
- [4] 张伟平, 赵嘎, 舒平平, 等. 一种片上可配制安全网络适配器的设计与实现[J]. 云南大学学报: 自然科学版, 2012, 34(1): 33-38.
- [5] 田耘, 徐文波, 张延伟. 无线通信 FPGA 设计[M]. 北京: 电子工业出版社, 2009.
- [6] 秦鸿刚, 刘京科, 吴迪. 基于 FPGA 的双口 RAM 实现及应用[J]. 电子设计工程, 2010, 18(2): 72-74.
- [7] 董寅, 杨军, 唐佐侠. 基于 Sopc 的 Twofish 加解密单元的设计与实现[J]. 云南大学学报: 自然科学版, 2011, 33(4): 397-401.
- [8] 田可. 一种高速实时数字波束形成器的设计[J]. 现代电子技术, 2009(18): 89-91.

The design and implementation of beamforming device with SLC – LSCMA algorithm based on FPGA

ZHANG Kai, WANG Xiao-jun, SHU Ping-ping, YANG Jun

(School of Information Science and Engineering, Yunnan University, Kunming 650091, China)

元的设计与实现[J]. 云南大学学报:自然科学版, 2011,33(4):397-401.

Mathematics and Computers in Simulation, 2001, 55 (1):149-158.

[8] 夏锋. 误码测试仪的硬件部分的设计与实现[D]. 西安电子科技大学,2009.

[10] SÁNCHEZ S, CRIADO R, VEGA C. A generator of pseudo - random numbers sequences with a very long period[J]. Mathematics and Computers in Simulation, 2005,42(4):809-816.

[9] LIANG Yu-feng, WHITLOCK P A. A new empirical test for parallel pseudo - random number generators [J].

Design of a configured pseudo - random sequence generator based on FPGA

ZHAO Ga, WANG Xiao-jun, SONG Ming, SHU Ping-ping, YANG Jun
(School of Information Science and ENgineering, Yunnan University, Kunming 650091, China)

Abstract: In this paper, we study the implements a data rate that can be adjusted, m series can be equipped with pseudo - random series of sequence generator. This design in the basis of linear feedback shift register, through the linear feedback function to produce mould the longest m sequence. In order to carry on it, we use the hardware description language VHDL, take advantage of the FPGA reconfigurability and flexibility, using Quartus II 8.0 for the integrated wiring, and give the ModelSim simulation waveforms. For the sake of verifying the feasibility of this design, we adapt it to the DE2 board, and with an oscilloscope and other equipment were tested.

Key words: pseudo - random; linear feedback shift registers; m - sequence; field programmable gata array (FPGA)

(上接第 146 页)

Abstract: In this paper, we design a 16 uniform circular array beamforming device based on the least squares SLC - LSCMA algorithm based on the linear subspace constrained least squares cma high stability and rapid convergence for the foundation. The design of the complete beam - forming that is based on the SLC - LSCMA algorithm is completed by plural, time - multiplier and accumulators, which uses less resources and faster than the traditional algorithm. The beamforming device uses hardware description language of Verilog HDL , and wires on the QUARTUS II 8.0. Finally the beamforming device is downloaded to the Altera's EP2C35F672C6, and its timing simulation can be run properly in the 50 MHz clock frequency. This design can be widely used in mobile communication and satellite communications.

Key words: SLC - LSCMA algorithm; beamforming device; smart antenna; field programmable gata array (FPGA)