

1 正交混频器的电路设计与仿真

考虑图 2 所示的双平衡混频器,在本振信号端口和射频信号端口中只有 1 个输入时,输出为零.理想的 Gilbert 型混频器(如图 3)的输出不包含本振信号及其谐波,因此存在很高的端口隔离度,减缓了本振泄漏及中频滤波的压力.输出级可以是电阻或调谐回路,对于下变频应用,由于其中频较低,采用调谐回路将需要得大的电感电容,因而设计时通常采用多晶电阻作为输出负载(因为多晶电阻不存在闪烁噪声),在开关对的源极注入 1 个电流减少开关对晶体管的噪声,在输出产生低频成分,如图 4 所示.

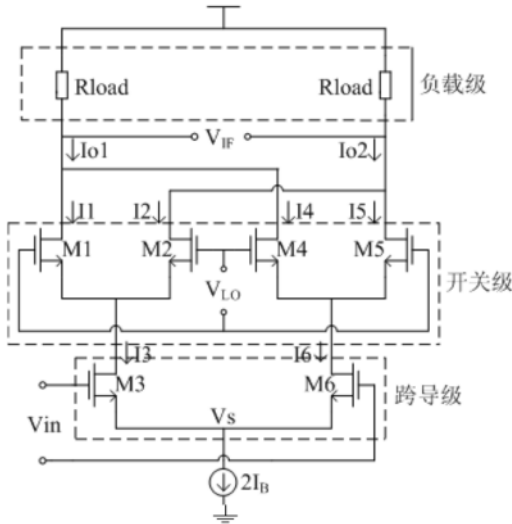


图 3 CMOS Gilbert 双平衡混频器

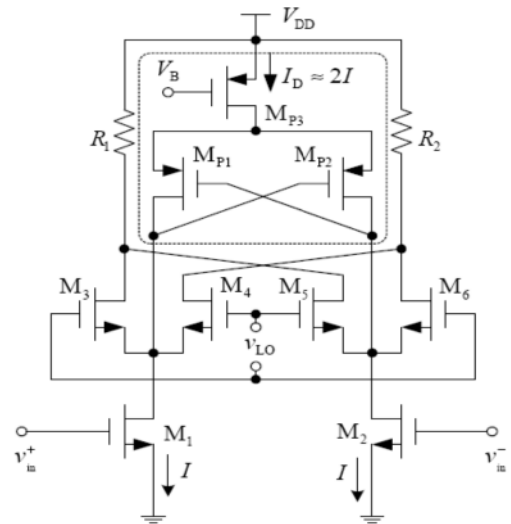


图 4 采用动态电流注入技术电路

为了减小直流失调的影响,可以在共源节点串联 1 个电感,它可以吸收对寄生电容进行充放电的电流,减小寄生电容充放电电流对混频过程的干扰,如图 5 所示.同时使该混频器有较高的三阶交调性能和二阶交调性能,可以使得驱动级的源筒并阻抗在低频下具有较高的阻抗而高频下具有较低的阻抗,如图 6 所示,通过晶体管 \$M_{deg}\$ 和电容 \$C_{deg}\$ 并联来实现.

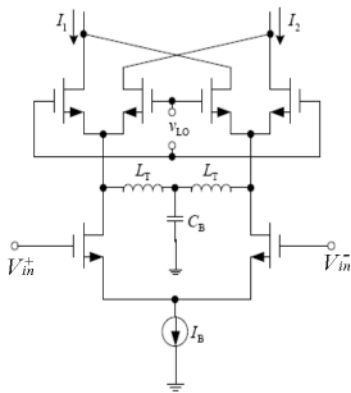


图 5 采用共源节点谐振技术电路

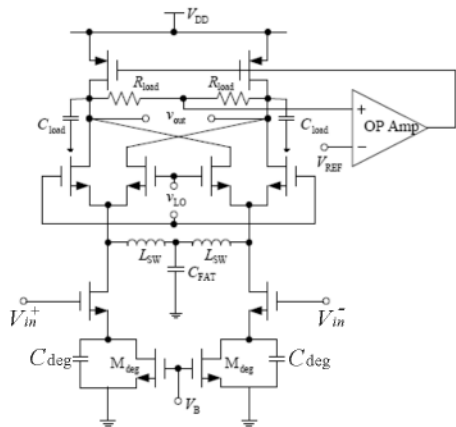


图 6 改善二阶线性度性能技术的电路

为了保证最小的 I/Q 失配,笔者采用了 2 路混频器共用 \$V-I\$ 变换跨导级结构,因为 I/Q 两路信号的增益主要由跨导级提供,这样便可最小化因跨导不匹配所带来的增益差异,而相位差异主要取决于两路正交信号的相位匹配程度,另外对称的版图设计对减小失配也很关键,具体设计的电路如图 7 所示.

在电源电压为 1.8 V,本振信号输入功率为 3 dBm 的条件下,仿真显示混频器在 1 MHz 中频处的单边带噪声系数为 7.47 dB,在 100 kHz 中频处为 9.35 dB,在 10 kHz 中频处为 16.39 dB,这是因为正交混频器增加了一路开关通道,且都连接到信号折叠处,使得该点处的寄生电容增大,对于相同的工作频率来说,谐振所需的电感值减小,这使得增益降低,从而增大噪声,正交混频器性能参数见表 1.

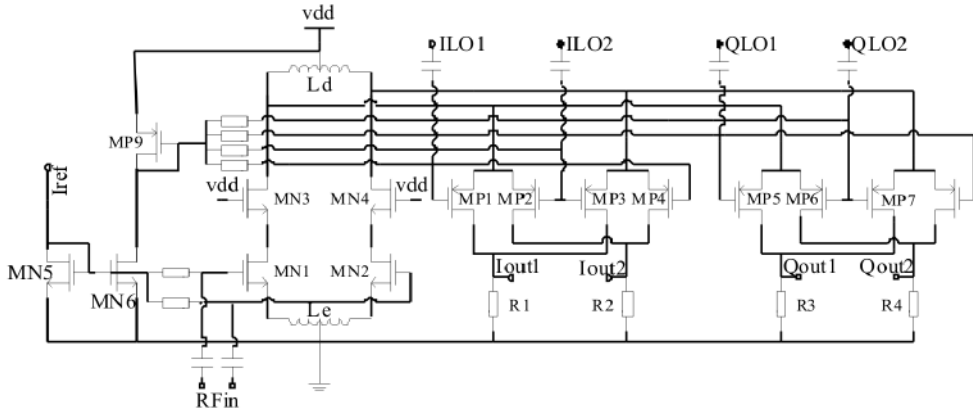


图 7 正交混频器原理图

表 1 正交混频器性能参数

参数	TT(27 °C, 1.8 V)	SS(85 °C, 1.6 V)	FF(-40 °C, 2 V)
NF _{ssb} (dB) (IF=1 MHz)	7.48	8.91	6.20
NF _{ssb} (dB) (IF=100 kHz)	9.35	10.34	8.96
NF _{ssb} (dB) (IF=10 kHz)	16.39	20.85	17.08
GV/dB	8.46	9.23	7.57
IIP3/dBm	8.42	9.13	7.74
P1dB/dBm	-3.83	-2.34	-5.34
IIP2/dBm	89.60	—	—
RF-LO/dB	<-52.01	—	—
LO-RF/dB	<-110.03	—	—
Current/mA	7.25	5.40	11.27

2 正交混频器版图设计

应用 Cadence 软件、采用 CMOS 工艺进行设计时,考虑到混频器由于涉及到射频信号、本振信号和中频信号这 3 个不同的频率,且本振信号的幅度相对较大,因而其版图对匹配的要求比起低噪声放大器来说更高. 输入跨导管的失配会引起增益的失配,LO 泄漏、DC 馈通以及降低二阶交调点等^[5];而对于开关管来说,不仅要保证每个差分对管内部的匹配,还要保证每个差分对管之间的匹配;在 I/Q 混频器中,还需考虑两路开关对之间的匹配;输出负载以及隔直电容等均需高度对称,在设计前应对其进行合理的布局,如图 8 所示. 设计时通过对本振信号幅度和开关管尺寸优化、对称性版图设计(共心型设计)和优化寄生电容的版图设计等措施来减小噪声和二阶交调引入的低频失调. 混频器的输入跨导级采用与低噪声放大器相同的布局方式,输入共源管四方交叉,共栅管采用指状交叉以提高对称性;开关管两两拆开利用四方交叉以提高其内部对称性,开关对管之间相互靠近放置以提高匹配性;射频信号、本振信号及中频信号位于 3 个不同的方向,极大的减少了各端口间的馈通效应,图 9 为正交混频器的版图.

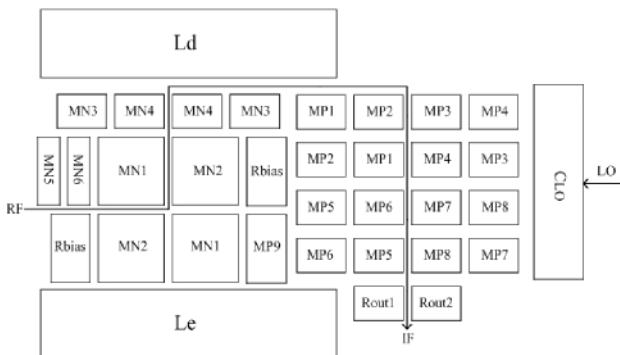


图 8 正交混频器的布局示意图

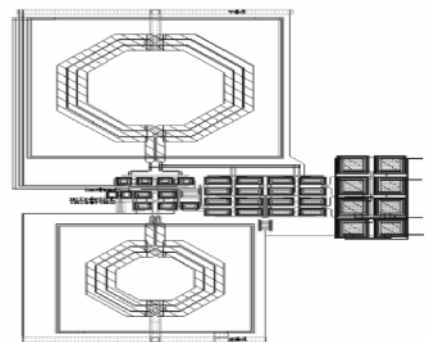


图 9 正交混频器的版图

3 结论

以双平衡吉尔伯特型混频器为基础,采用 Cadence 完成了双通道即 I/Q 正交混频器电路设计,仿真结果表明:在电源电压为 1.8 V,本振信号输入功率为 3 dBm 时,混频器在 1 MHz 中频处的单边带噪声系数为 7.47 dB,在 100 kHz 中频处为 9.35 dB,在 10 kHz 中频处为 16.39 dB;变频增益降为 8.46 dB,从而提高了线性度,且其三阶交调点为 8.42 dBm. 与单通道双平衡吉尔伯特型混频器比较,性能有了大幅度的提高.

参考文献:

- [1] 徐世六,范麟,郭树田. 世界 RFIC 发展趋势与中国 RFIC 发展思考 [J]. 微电子学,2006,36(5):533-539.
- [2] BEHZAD RAZAVI. Design of Analog CMOS Integrated Circuit [M]. [S. l.]: McGraw-Hill,2001.
- [3] PHILLIP E ALLEN, DOUGLAS R HOLBERG. CMOS Analog Circuit Design [M]. England: Oxford University,2002.
- [4] GILBERT B. A Precise Four-Quadrant Multiplier with Subnanosecond Response. IEEE [J]. Solid-State Circuits,1968 (3):365-373.
- [5] SALEM R F, TAWFIK M S, RAGAIE H F. A New RF CMOS Mixer with a High Performance in 0.18 μm Technology [C]//The 2002 45th Midwest Symposium on Circuits and Systems,2002:262-265.

Design of CMOS RF Mixer Based on Gilbert Cell

ZHOU Shao-hua

(Hunan Engineering Technology Vocational College, Changsha 410151, China)

Abstract: A novel double channel quadrature mixer is proposed in the paper. In this mixer, polycrystal resistance, source injection current of switch transistor, series inductor of common source node, degeneration impedance in driving stage were adopted. The circuit was designed and simulated by Cadence. The results indicated that the SSB noise factors were 7.47 dB/Hz@ 1 MHz, 9.35 dB/Hz@ 1 MHz and 16.39 dB/Hz@10 kHz when the input power was equal to 3 dBm with $V_{DD}=1.8$ V. In addition, the conversion gain decreased to 8.46 dB to increase linearity, and the 3th point of intermodulation was 8.42 dBm.

Key words: Gilbert mixer; quadrature mixer; CMOS process

(责任编辑 陈炳权)