

【光学工程与电子技术】

基于 FPGA 的高速数据采集系统设计

代耀东, 苏彦辰

(西南交通大学 机械工程学院, 成都 610031)

摘要:介绍了基于 FPGA 的高速数据采集系统,系统的控制时序、逻辑信号以及对所采集数据的存储均用 FPGA 来实现。为了达到高速采样的目的,系统搭建了基于 USB2.0 的接口,由 FPGA 与芯片 CY7C68013 实现。介绍了数据采集系统的硬件电路、USB 硬件设计以及驱动程序设计。该系统研发周期短,可移植性强。

关键词:FPGA; USB; 高速; 数据采集系统

中图分类号:TP216+.2

文献标识码:A

文章编号:1006-0707(2012)06-0089-03

随着现代工业生产与科学研究的高速发展,数据采集的地位也变得越来越重要,因此,对于数据采集的研究也越来越深入。目前高速数据采集卡、PC 机实时处理和存储数据已经得到了广泛的应用,而如何让数据采集的数据传输率高,接口简单,设计周期短,以及能将所采集数据准确传输给 PC 机是研究的目的。

本文用 USB2.0 接口与 PC 机连接实现高速数据采集,不仅连接方便,而且传输率与性价比都很高。USB2.0 灵活性很高,可即插即用,而且传输率很高,可达 480 Mb/s,是高速数据传输的不错选择。而在数据采集数字电路的选择上,FPGA 以其频率与集成度高,设计周期短,稳定性高,抗干扰能力强成为首选。FPGA 的集成软核 nios 设计周期短,成本低,能模拟具体的芯片以及相关电路,其灵活性与适应性都非常之高,而且可以在很多平台进行开发。文中主要进行了各种模块的设计,硬软件的实现,并对测试结果进行了分析。

1 总体设计

本文采用 FPGA 和 CY7C68013 芯片来实现 USB2.0 接口的数据采集传输系统。全系统主要由 FPGA 控制端口、采集电路、驱动程序部分以及应用程序组成。通过设置将 CY7C68013 芯片配置为 Slave FIFO 模式,使用 FPGA 的软核 NIOS II 为主控端,对 EZ-USB FX2 内部的 FIFO 和数据缓存 SDRAM 进行控制,通过驱动程序与上位机进行通信,应用程序完成接受数据包并将其写入指定目录文件的工作^[1]。该系统的总体结构框图如图 1 所示,前端使用高速 A/D 采集数据,模拟信号经过前置放大器进行放大,数据进入高速宽带 A/D 转换器,经过转换得到数字量信号,存进 FIFO 先进先出缓存器。其中 A/D 的采样速率通过数控分频器实现,经过分频的时钟信号送给 A/D 采样时钟,从而达到控制采样速率的目的。数据在 FPGA 主芯片中进行控制,并经 USB 接口

传送给计算机。

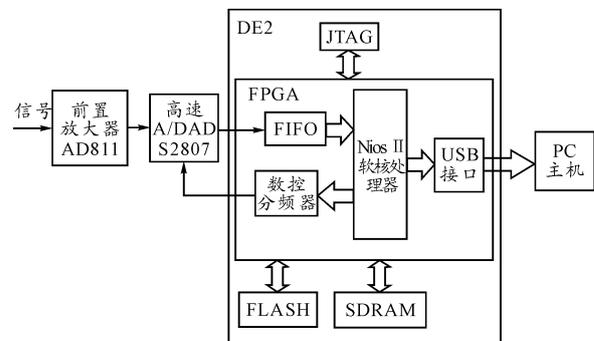


图 1 系统总体结构框图

2 硬件设计

2.1 前端数据采集电路

随着 A/D 技术的发展,高速、高精度的 ADC 完全适用于复杂信号的采集,然而如何将采集到的数据快速准确地传输给 PC 机进行处理却成了制约其应用的瓶颈^[2]。本系统中模数转换电路由信号调理电路与高速 A/D 转换器组成。信号调理电路负责对待测模拟信号进行差分放大,高速 A/D 转换器负责模拟信号到数字信号的转换。本系统选择 AD811 芯片作为前置放大电路,用于将信号放大到 A/D 转换器要求的范围和要求的形式,隔开信号源和 A/D 转换器,以提供低阻驱动给 A/D,同时提供一些额外输入信号的利益,以匹配输入电压范围。

根据系统性能要求,综合考虑提供的技术资料、价格等因素,设计选择 ADS2807 作为采集电路的核心器件。ADS2807 有双通道各为 12 位的数据接口,通道 A 和通道 B 使能端、输出数据使能端、电源、接地等接口,加入放大器后组成采样电路。以 ADC 为核心,前端数据采集电路如图 2

收稿日期:2012-03-27

作者简介:代耀东(1982—),男,硕士研究生,主要从事自动测试技术与 PC 仪器研究。

所示,2个运放配置为反相和同相增益级转换输入,使输入信号从单端变为差分,增益设置为+2 V/V。AD811的输出从交流耦合变成转换器的差分输入。

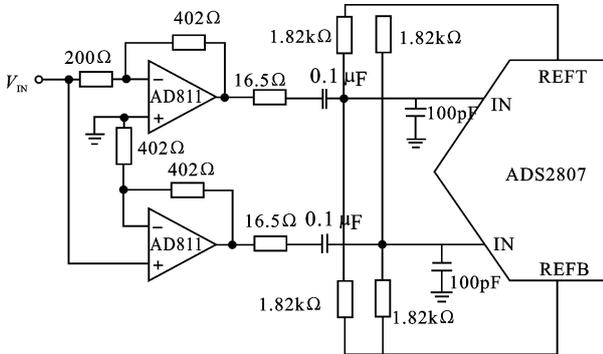


图2 前端数据采集电路

2.2 USB 接口电路设计

本文采用EZ-USB FX2芯片CY7C68013来实现该系统的USB接口芯片。CY7C68013有Slave FIFO、Ports和GPIF3种接口方式^[3]。该芯片支持480 Mb/s高速传输,为本设计的数据传输提供了速率保证。外部控制器由FPGA来实现,CY7C68013采用slave FIFO模式。USB接口芯片为FPGA提供自定义状态和频率,以及空满的控制字。FPGA对USB的控制通过以下一系列端口控制实现:FIFOADD[1:0]、写使能信号、数据线FD[15:0]/FD[7:0]、片选信号Cs#。FPGA与USB的接口电路如图3,主要接口如下。

- 1) FD[15:0]/FD[7:0]为双向数据线,在本设计中,USB固件是16位,所以选择FD[15:0]位;
- 2) 片选线SLCS#, FPGA选用端点6,采用低电平有效;
- 3) 端点选择接口FIFO_address[1:0],选择与FD相连的接收数据端缓冲区,设计为端点6,FIFO[1:0]为10;
- 4) SLWR信号线为FPGA对端点进行写操作的写使能信号,将其设置为下降沿有效;
- 5) FLAGB/FLAGC为端点FIFO的空满标志,FLAGB代表“满”,FLAGC代表“空”;
- 6) STAR/STOP为控制信号,信号高电平时发送数据,低电平时停止发送数据;
- 7) Freq_control[2:0]为上位机发出的频率控制系数。

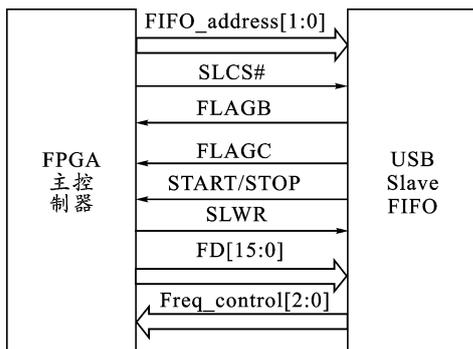


图3 FPGA与USB的接口电路

2.3 USB 接口外围芯片电路

本设计的存储芯片为芯片AT24C016A,是容量为16kB的EEPROM芯片。设置CY7C68013上面的VID与PID,将其上电,再脱离复位后,其内部逻辑会自行检查I2C端口上是否连接有串行EEPROM^[4]。如果有,则可以判断其上的EEPROM第1个字节是0xC2亦或是0xC0。在本系统中设置EEPROM的第1个字节为0xC0,另外再设置VID=0x1234、DID=0x0001、PID=0x2211。设置完毕以后,USB描述符则由CY7C68013内核提供,可以使用EEPROM存储的VID/PID/DID值替换CY7C68013内部的值,并且设置RENUM=0。这时候,当设备重新列举后,芯片内部的程序代码就以全新的自定义设备来实现了。

3 系统软件设计

系统软件设计包括3个部分:USB固件程序设计、FPGA软核设计和应用程序设计。

3.1 USB 固件程序设计

本文系统使用异步FIFO方式,内部时钟为48 MHz,方式为自动。程序使用固件程序框架,用户配置代码在初始化函数中添加。本设计中使用异步自动从属FIFO数据传输,其初始化代码如下:

```

Viod TD_Init(void)
{
    BREAKPT& = ~bmBPEN;
    Rwuen = TRUE;
    CPUCS = ((CPUCS& ~bmCLKPSD) |bmCLKPSD1);
    IFCONFIG = 0XE3;
    EP1_OUTCFG = 0xA0;
    EP1_INCFG = 0xA0;
    EP2CFG = 0xA2;
    EP4CFG = 0xA0;
    EP6CFG = 0xE2;
    EP8CFG = 0xE0;
    PINFLGSAB = 0x00;
    PINFLGSAB = 0x00;
    WAKEUP = 0xF4;
    AUTOPTSETUP = 0x01;
}
    
```

USB驱动程序位于固件程序与应用程序之间,是USB设备与PC机的通信接口。Cypress公司为用户设计了一款通用驱动程序包(ezusb.sys),可以完成应用程序与USB接口的通信与控制任务。本设计即使用该通用驱动程序。

3.2 FPGA 软核设计

FPGA内部控制部分的功能,由3个软核分别完成:FIFO控制单元、ADC接口控制单元以及USB接口控制单元^[5]。3个软核连接示意图如图4所示。

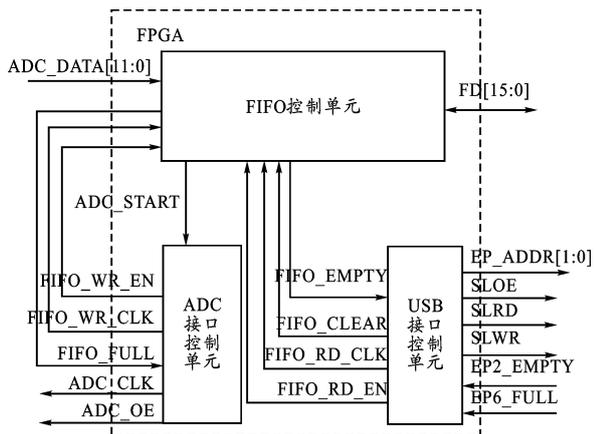


图4 3个软核连接示意图

1) ADC 接口控制单元

ADC 接口主要用于控制数据采集的传输和起停。数据采集一旦开始,ADC 接口控制单元便会将时钟信号频率分为 30 MHz,以提供 ADS2807 为转换时钟 ADC_CLK 的时候使用。与此同时,控制单元内寄存器 CLK_CNT 对 ADC_CLK 做周期计数。ADS2807 转换延时为 6.5 个时钟周期,为了保持转换数据的稳定,本设计会延时半个时钟周期输出,在 7 个时钟周期后,CLK_CNT = 8,CLK_CNT 清零,FIFO 写时钟 (FIFO_WR_CLK) 为输出,同时端口 FIFO_WR_EN 置高电平,在经过 ADC 转换完成的数据补齐 16 bit 后,随时钟 FIFO_WR_CLK 上升沿存入 FIFO 中。

2) FIFO 控制单元

本设计中,FIFO 由 FPGA 内部 Block RAM 生成。因为 A/D 接口控制单元输出数据宽度为 16 bit,所以 FIFO 的宽度也设置为 16bit,其深度为 4kB。XilinxISE 套件中的 Core Generator 生成器可用作 FIFO,其控制单元则用 Core Generator 生成的 FIFO 软核配合其控制部分构成,如图 5。

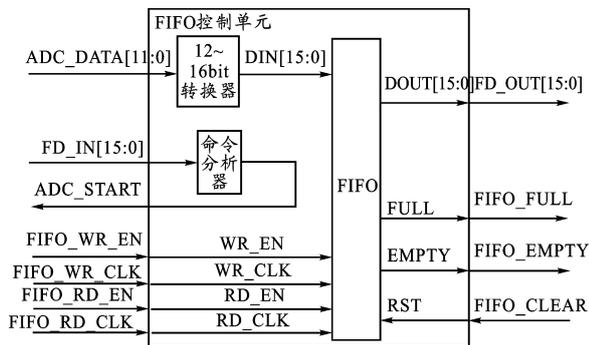


图5 用 Core Generator 生成的 FIFO 软核配合其控制部分构成的控制单元

3) USB 接口控制单元

USB 接口控制单元需要实现 2 个功能:① 通过接口芯片把数据传输到 PC 机。在这个过程中,FIFO 中的数据写入 EP6,当其写满 1 哈,数据将会被 USB 接口芯片自动打包并传输到 PC 机。② USB 接口控制单元要协助 FIFO 来接受 PC 机的命令数据。命令数据从 USB 接口传输到 EP2 中,然后将 EP2 的数据读取到 FIFO 的控制单元中的命令分析器里。

3.3 应用程序设计

应用程序将通过 USB 驱动程序实现与 USB 接口的通信^[6]。本文中的应用程序则使用 LabVIEW 进行设计。其图形编程法简单易学,非常直观,比起传统的编程语言,节约了开发时间。用户对数据采集系统的控制可以通过 LabVIEW 的应用程序完成,可以通过控制界面实时显示采集到的数据。

4 结束语

本文介绍了一款高速数据采集系统设计方法,基于 USB2.0 实现,并通过 FPGA 在系统中的应用,使很多硬件电路设计中的问题得到了很好的解决,不仅仅可以让开发者对产品进行优化与修改,还可以大大缩短开发周期,降低开发成本。本系统在硬软件调试过程中,工作正常,非常稳定。

参考文献:

[1] 谭安莉,龚彬. USB2.0 控制器 CY7C68013 与 FPGA 接口的 VerilogHDL 实现[J]. 电子工程师,2007,33(7):52-55.
 [2] 沈兰荪. 数据采集技术[M]. 北京:中国科学技术大学出版社,1990.
 [3] Altera. QuartusII Handbook version 11.0 [EB/OL]. <http://www.altera.com/2011-05>.
 [4] 马伟. 计算机 USB 系统原理及其主/从机设计[M]. 北京:北京航空航天大学出版社,2004.
 [5] 徐志军,徐光辉. CPLD/FPGA 的开发与应用[M]. 电子工业出版社,2002.
 [6] 孙志强. 从 2.0 到 3.0,简化 USB 设计的调试和验证[J]. 电子设计应用,2009(10):56-58.
 [7] 龙祖利. 钻地试验硬回收数据采集系统[J]. 兵工自动化,2010(6):87-88.

(责任编辑 鲁进)