

可编程逻辑阵列分段递进优化布局算法研究

崔秀海^① 杨海钢^① 龚萧^{①②} 黄娟^{①②} 谭宜涛^{①②}

^①(中国科学院电子学研究所 北京 100190)

^②(中国科学院研究生院 北京 100039)

摘要: 为了提高FPGA(Field Programmable Gate Array)的布通率并优化电路的连线长度,在模拟退火算法的基础上,该文提出一种新的FPGA布局算法。该算法在不同的温度区间采用不同的评价函数,高温阶段采用半周长法进行快速优化布局,低温阶段在评价函数中加入变量因子并进行适度的回火处理,以此来优化布局。实验表明,该算法提高了布通率,优化了连线长度,与最具代表性的VPR(Versatile Place and Route)布局算法相比布线通道宽度提高了近6%,电路总的连线长度降低了4~23%。

关键词: FPGA; 布局; 评价函数; 布通率; 模拟退火; VPR (Versatile Place and Route)

中图分类号: TN432.2

文献标识码: A

文章编号: 1009-5896(2010)06-1395-06

DOI: 10.3724/SP.J.1146.2008.01689

A Research on Subsection Progressive Optimization Placement Algorithm of FPGA

Cui Xiu-hai^① Yang Hai-gang^① Gong Xiao^{①②} Huang Juan^{①②} Tan Yi-tao^{①②}

^①(Institute of Electronics, Chinese Academy of Sciences, Beijing 100190, China)

^②(Graduate University, Chinese Academy of Sciences, Beijing 100039, China)

Abstract: A novel FPGA simulated annealing placement algorithm is proposed to improve the routability and optimize the length of wires. Different cost functions are applied to different temperature range. In high temperature stage, the half perimeter method is utilized to fast optimize the placement; while in low temperature stage, a variable factor is added into the cost function and the reasonable temper process is also used to improve the quality of placement. Experiment results demonstrate that, compared with the VPR, the proposed method requires 6% fewer routing tracks and the length of wire is 4~23% shorter.

Key words: FPGA; Pacement; Cost function; Routability; Simulated annealing; VPR (Versatile Place and Route)

1 前言

布局是层次化FPGA CAD^[1]流程中的关键步骤。通常的布局算法总是要求芯片的使用面积尽可能的小,连线总长尽可能的短^[2]。随着FPGA规模的越来越大,实现的功能越来越复杂,不但要求电路尽可能少的占用连线资源,同时要求FPGA具有较高的布通率^[3-5]。而FPGA的布局对电路的连线长度和布通率有着直接的影响。目前最具代表性的布局、布线软件VPR^[6],先后提出了两种布局算法分别是VPlace和T-VPlace^[7]。VPlace为了提高布通率和降低连线长度,采取的措施是使所有的逻辑功能模块(Configurable Logic Blocks, CLB)靠的尽可能的近。这种方法只考虑了CLB的管脚和CLB之间的关系,而没有考虑CLB和CLB之间的整体连接关系,显然会导致某些CLB摆放的位置不合理,从而降低

FPGA的布通率。T-VPlace是在VPlace的基础上进行了改进,主要是在布局时考虑了时延^[8],对布通率相对于VPlace而言没有什么实质性的提高。文献^[9]提出SPCD布局算法,使布局和装箱同时进行,并利用逻辑复制技术最小化延时路径的长度。这种算法对影响布通率的因素考虑的很少,更多的是考虑优化时序的性能。有些研究者用遗传算法^[10]对FPGA进行布局,只是使布局时间变得较短,并没有提高FPGA的布通率。现有的布局算法由于在布局时对CLB之间的连接关系考虑不足从而降低了FPGA的布通率。

本文提出一种新的FPGA布局算法,不仅考虑了CLB的管脚和管脚之间的关系,而且还考虑了CLB和CLB之间整体的连接关系,这种算法优化了电路的连线长度,同时也为布线提供了尽可能多的布线资源,提高了FPGA的布通率。本算法将布局分为两个阶段,在高温阶段利用半周长法使相连的CLB之间以及CLB与输入、输出管脚(Input/

OutPut Block, IOB)之间组成的长方形的半周长尽可能的小,使相连的CLB尽可能的紧凑,这样有利于将有连接关系的CLB连接起来,从而提高FPGA的布通率,优化电路的连线长度。当温度较低时单一的半周长法已经不能很好地优化布局,为了更好地优化布局,低温时不但考虑了CLB的管脚和CLB之间的连接关系,还考虑了CLB与CLB之间整体的连接关系,通过在评价函数中引入变量因子并进行适度的回火处理,从而提高FPGA的布通率,实现了一种优化的布局算法。

2 结构描述

本文面向的是岛型层次化^[1]FPGA,其组成结构如图1(a)所示。芯片中间是CLB阵列,CLB行和行之间分布着水平布线通道,CLB列和列之间分布着垂直布线通道;在水平布线通道和垂直布线通道的交汇处有可以进行转向的交叉开关(Switch Box, SB),芯片四周分布着IOB。CLB的组成结构如图1(b)所示,每个CLB由*N*个逻辑单元(Logic Element, LE)组成,LE之间可以共用输入端。图1(c)是LE的组成结构,LE主要由一个*K*输入的查找表(Look-Up Table, LUT)和一个D触发器组成,LUT表和触发器的输出端经由一个2选1的多路选择器将信号输出。*N*和*K*的大小对FPGA的性能有着显著的影响,提高*N*的值可以将更多的LE装箱到一个CLB中,减轻CLB之间的布线压力。提高*K*可以增强LE的逻辑功能,用较少的LE来实现电路,进而能够提高芯片的速度。增大*N*和*K*带来的影响主要是使CLB和LE的面积急剧增大,容易造成逻辑资源的浪费。CLB输入端的数量*I*要小于等于*NK*,文献[12]说明*I*、*K*、*N*之间满足 $I = (N + 2) \times 2$ 为较好的选择,同时*K*的值一般不超过6,而*N*的值不超过12。

3 算法

本算法要解决的问题主要包括以下两个方面:

(1)以信号为单元,使一个信号单元中的CLB及IOB 尽可能的紧凑,这样既提高了布通率又减小了电路的连线长度。(2)以CLB为单元考虑CLB与CLB之间的连接关系,使具有较多连接关系的CLB尽可能的靠近,这样有利于布线时对两个需要连接的管脚进行连接,既提高FPGA的布通率又减小了电路总的连线长度。

3.1 算法评价函数的构建

为了提高FPGA的布通率、优化电路的连线长度和提高FPGA的利用率,通常构造评价函数时主要是使同一个信号连接的CLB或IOB尽可能地靠地比较近,由于同一个信号连接的CLB或IOB靠得越近,则越易于信号的连接,从而提高FPGA的布通率,同时优化了电路的连线长度。然而这种以信号为单元来优化布局,只是考虑了CLB的管脚和CLB之间的连接关系,而没有考虑CLB和CLB之间的连接关系。图2(a)和2(b)表示此信号由*A*, *B*, *C*, *D*, *E*, *F*, *G*, *H*, *I*这几个模块以及连接这些模块的线段1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13所组成,其中CLB块*C*的一个管脚为此信号的源,其中CLB块*I*, *F*, *G*, *H*为此信号的边界块,*C*管脚通过线段1, 2, 3, 4扇出到相应的边界模块,这个信号边界模块围成长为 L_x 宽为 L_y 的长方形。*A*, *B*, *D*, *E*为此信号的内部模块,其中*C*模块的输出端通过线段6, 5, 10扇出到*A*模块,通过线段7, 8扇出到*E*模块,通过线段11, 12, 13扇出到*B*模块。显然当以信号为单元,用半周长法作为评价函数进行布局时,图2(a)和图2(b)的CLB块*A*、*B*、*C*、*D*、*E*、*F*、*G*、*H*、*I*以及连接这几个CLB的线段所组成的信号,其半周长的长度都为 $(L_x + L_y)$ 。即图2 (a)和2(b)两个信号在布局算法中是没有差别的,他们的评价函数的值是相同的。当进一步进行分析时发现这两种评价函数值相同的布局结构,对布线的影响是不同的。在图2(b)中把图2(a)中*B*和*E*的位置以及*A*和*D*的位置进行了交换。通过这种交换,使和*C*具有较

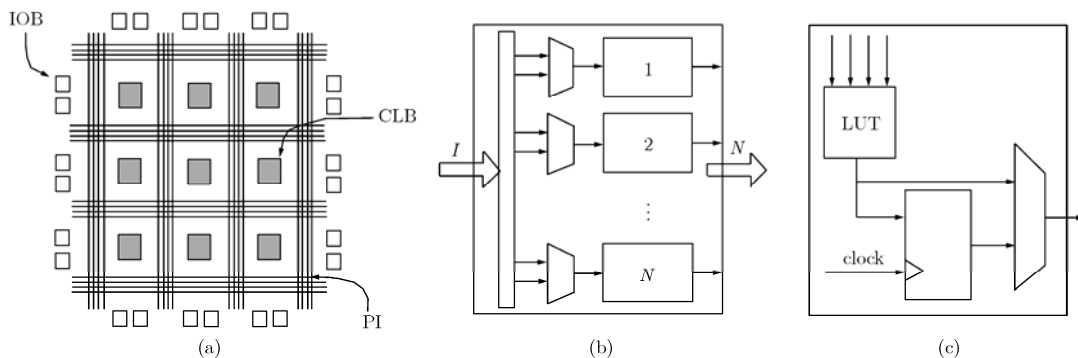


图1 FPGA结构组成图

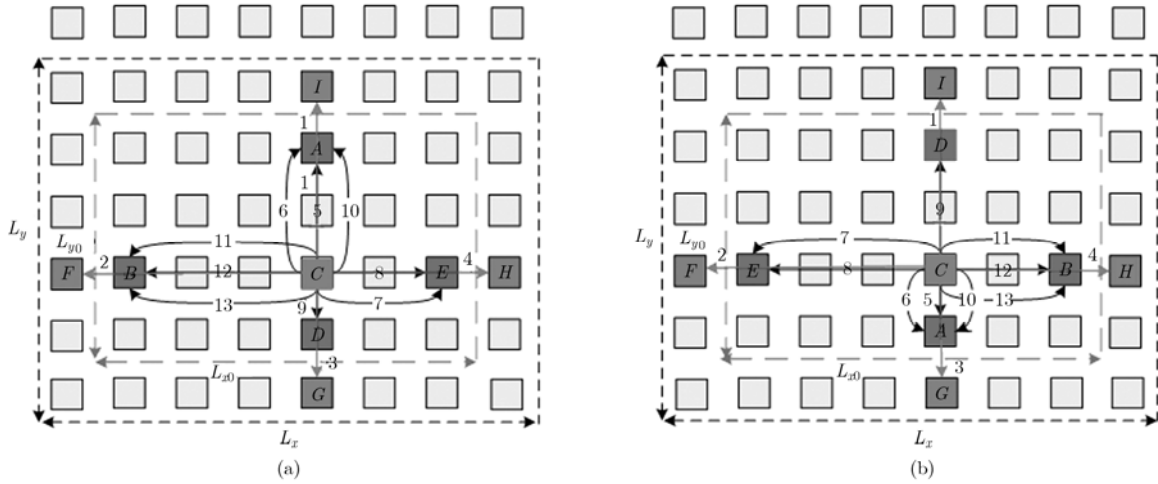


图2 信号单元图

多连接关系的A和B与C靠的更近，图2(b)的布局结构显然比图2(a)的布局结构有利于布线的优化。为了更好地优化信号的内部模块，使其放置的更加合理从而提高FPGA的布通率优化电路的性能。本文在构建评价函数时不但考虑CLB的管脚和CLB之间的连接关系，还考虑了CLB和CLB之间的连接关系，即不同的CLB之间有多少个管脚进行了连接也是需要考的一个因素。为此本文为FPGA的布局构造的评价函数如式(1)所示，其cost的值越小表示布局效果越好。

$$\text{Cost} = \begin{cases} \sum_{i=1}^{N_{\text{Nets}}} |L_x(i)| + |L_y(i)|, & T > T_m \quad (1a) \\ \sum_{i=1}^{N_{\text{Nets}}} |L_x(i)| + |L_y(i)| + f(i), & T \leq T_m \quad (1b) \end{cases}$$

其中 $|L_x(i)|$ 为信号 i 所连接的CLB的边界所构成的四边形X方向的长度。 $|L_y(i)|$ 为信号 i 所连接的CLB的边界所构成的四边形Y方向的长度。

$f(i)$ 为计算不同CLB之间连接关系的评价函数

$$f(i) = \sum_{j=1}^{M_{\text{CLB}}} |L_x(i, j)| + |L_y(i, j)| \quad (2)$$

其中 $L_x(i, j)$ 为信号 i 所在的CLB和与其相连的位置 j 的CLB之间X方向的距离。 $L_y(i, j)$ 为信号 i 所在的CLB和与其相连的位置 j 的CLB之间Y方向的距离。

N_{Nets} 为电路中的信号总数； M_{CLB} 为电路中用到的CLB的总数； T 为表示温度高低的变量。

3.2 温度的确定

本算法的实现需要确定两个温度，一个是初始温度 T_0 的确定，另一个分段温度 T_m 的确定。为了更好的优化布局，将优化过程以 T_m 为界限分为两段。在不同的温度区间调用不同的评价函数。这是因为当温度较高时，几乎所有的布局交换都被接受，为

了快速的进行布局优化，选用半周长法作为评价函数。但温度降低到 T_m 以后，布局交换接受的概率降低，此时再采用同样的评价函数去优化布局，优化的效果不再明显。这时不能再从单一角度出发去考虑布局的优化，此时需要从多角度考虑布局的优化。因此当温度低于 T_m 以后，构建的评价函数既要考虑CLB的管脚和管脚之间的连接关系，也要考虑CLB和CLB之间的连接关系。

为了节省布局的时间，提高算法的效率，初始温度 T_0 的构建必须合理。初始温度设计过高，导致系统的布局时间过长，降低算法的效率。初始温度过低，缩小了算法的优化空间，使系统得不到较优的结果。为此构建确定初始温度的函数，如式(3)和式(4)所示。式中的 m 值为算法在每一温度下指定的交换次数， $\text{cost}(i)$ 为第 i 次交换得到的评价函数值， λ 为通过实验确定的实验常数。图3(a)是初始温度和退火时间的关系图，在图中将初始温度用 λ 来代替。图中的①、②、③线段分别表示MCNC的测试电路 elliptic、alu4和apex4的退火时间和初始温度的关系图，从图中可以看出当初始温度值较低时，退火时间增长很快。当 λ 值达到1以后，退火时间随初始温度的增加而缓慢增加。从图中可以看出，不同的电路增长趋势有所不同，较大的elliptic电路随初始温度的增加，退火时间增长较快。为了提高算法的效率，初始温度不应设的太高。图3(b)中①，②，③线段分别为电路elliptic，alu4和apex4的初始温度和退火结束时评价函数值的关系图，在图中将初始温度用 λ 来代替。从图3(b)可以得出当 λ 的值为1时，电路的评价函数值基本趋于稳定，此时再提高初始温度对电路的优化效果已经不再明显。评价函数的最小值出现。

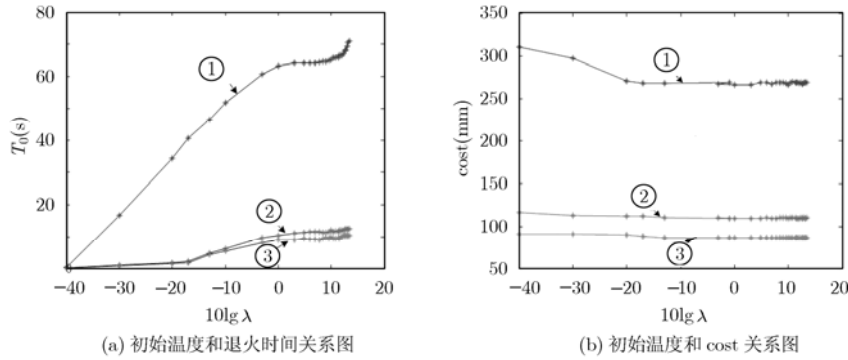


图3

$$\overline{\text{cost}} = \frac{\text{cost}(1) + \text{cost}(2) + \dots + \text{cost}(m)}{m} \quad (3)$$

$$T_0 = \lambda \sqrt{\frac{\sum_{i=1}^m \text{cost}^2(i) - m\overline{\text{cost}}^2}{m}} \quad (4)$$

在 λ 大于等于 1 的情况下。根据以上对图 3(a) 和 3(b) 的分析可以得出结论，为了得到较优的布局结果而又使算法具有较高的效率， λ 的值一般应该取在 1~20 之间。

本文结合 VPR 温度更新参数表并根据本算法的特点，构建新的温度更新参数表。其具体的参数设置如表 1 所示。 R_{accept} 为在同一温度下多次交换被接收的概率。构建这个参数表一方面为降温提供参数，另一方面是为了得到合理的 T_m 值。当电路的 R_{accept} 小于 0.3 时，此时用式 (1b) 作为评价函数优化电路。

表 1 温度更新参数表

R_{accept} (交换接收概率)	α (降温系数)
$R_{\text{accept}} > 0.96$	0.5
$0.8 < R_{\text{accept}} \leq 0.96$	0.9
$0.3 < R_{\text{accept}} \leq 0.8$	0.95
$0.10 < R_{\text{accept}} \leq 0.3$	0.96
$R_{\text{accept}} \leq 0.10$	0.7

为了得到更好的优化结果我们取优化的温度为当前温度的 1.2 倍，即 $T = 1.2 \times T_m$ 作为第 2 阶段的初始优化温度。

通过实验测试分析可知，当以单纯的温度作为退火算法的控制条件时，有些电路在 R_{accept} 还大于 0.3 时，温度已经基本降低到接近 0，从而使程序优化终止。显然当 R_{accept} 还大于 0.3 时电路还有优化空间，为了更好的对电路进行优化，本文将算法的控制条件进行了修改，除了用温度对算法进行控制还加入了 R_{accept} 作为算法退出的控制条件。这样使算法变得更加完备，能使电路优化得到更好的结果。

3.3 布局算法实现

算法的输入为装箱的结果，根据装箱的结果进行初始布局，通过初始布局得到初始温度，然后以温度 T_m 为界限，分别调用不同的评价函数进行模拟退火循环。当温度达到退火结束条件，完成布局优化，输出布局结果。算法的伪代码如下表 2。

表 2 算法的伪代码

```

(1) While((T > Exit) && (R_accept < 0.3)) { // 开始模拟退火循环
(2) // 在同一温度下进行迭代计算
(3) For(i=0; i < M; i++) {
(4) 对不同位置的 CLB(IOB) 与 CLB(IOB) 进行交换;
(5) If((T > T_m) && (flag == 0)) {
(6) 根据交换结果，通过 T > T_m 的评价函数，计算的 cost 值;
(7) 计算评价目标函数的差值 Δcost = f_new - f; }
(8) Else {
(9) Flag = 1;
(10) T = 1.2 * T_m;
(11) 根据交换结果，通过 T <= T_m 的评价函数，计算 cost 的值;
(12) 计算评价目标函数的差值 Δcost = f_new - f; }
(13) If(Δcost < 0 or exp(-Δcost / T) > rand(0,1))
(14) 接受新解，记录当前的布局结果
(15) Else
(16) 还原布局结果;
(17) } // 结束 for 循环
(18) T = αT
(19)} // 结束 while 循环
    
```

3.4 算法复杂度分析

在每一个温度下，布局交换的次数为 $O(n^{4/3})$ ，所以在每一温度下布局算法的时间复杂度为 $O(n^{4/3})$ 。每一次交换需要重新确定信号边界最坏情况的时间复杂度为 $O(K)$ ，因为电路的连接关系用信号来表示，每个信号都有一定的扇出数，这里的 K 表示信号的最大扇出数，因此处理信号边界的平均时间复杂度为 $O(1)$ 。当在低温阶段，在每次交换时还要确定这个信号所在的 CLB，与其交换的 CLB 的

管脚连接距离,其最坏的情况的时间复杂度为 $O(K \times M)$,这里的 M 为CLB的最大输入引脚的数目,其时间复杂度的平均值也为 $O(1)$ 。此算法最坏情况下的时间复杂度为 $O[(M \cdot K \cdot N)^{4/3}]$,但其平均时间复杂度仍为 $O(n^{4/3})$ 。此时间复杂度与VPR布局算法的时间复杂度相同。

4 试验结果

实验中,网表来自MCNC的标准测试网表中规模较大的20个测试电路^[13],每个网表都是首先通过逻辑综合优化^[14]和工艺映射^[15]后的输出结果。装箱算法采用的是VPR的T-VPack算法,布线算法采用的是VPR的Pathfinder算法。实验环境为Windows2000,CPU的运行频率为3.6 GHz,内存为1 GB。

图4为本文布局算法、VPR布局算法以及文献[11]的布局算法(Partitioning-Based Placement for FPGAs, PPF)比较图,图中 X 方向为20个测试电路名称的序号,其序号对应的电路名字见表3,纵轴方向为布局结束时评价函数的cost值。图中曲线①为PPFF布局算法的结果,曲线②为VPR布局算法的结果,曲线③为本文布局算法的结果。从图中曲线可以看出本文布局算法得到的评价函数的值最小。本文算法得到电路总连线长度的值比VPR和PPFF布局算法的值分别降低了4%~23%和6%~20%。本文算法更好地优化了电路总的连线长度。

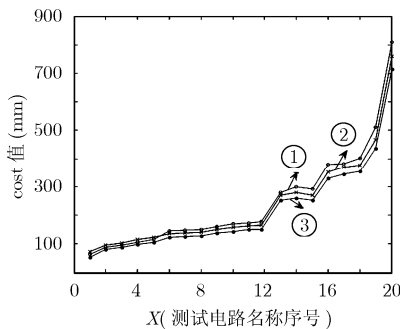


图4 评价函数值的比较结果

用本文的布局算法、VPR的布局算法和PPFF布局算法分别对来自MCNC的20个标准测试电路进行布局,然后通过VPR的Pathfinder布线算法进行布线。表3为3种不同的布局算法产生的布局结构对布线通道宽度的影响,从表中可以看出使用本文提出的算法进行布局,通过改变评价函数对FPGA的布局进行了优化,从而提高了电路的布通率。从表3中可以看出,针对不同的电路,本算法对其布通率的影响虽有所不同,但都有一定程度的提高,与VPR

表3 VPR布局算法、PPFF布局算法和本文布局算法对布线通道 tracks 数的影响

电路名称序号	电路名称	VPR ^[7] (tracks数)	PPFF ^[11] (tracks数)	本文算法 (Tracks数)
1	tseng	36	34	34
2	ex5p	47	46	45
3	diffeq	36	34	34
4	apex4	50	48	47
5	misex3	49	46	45
6	alu4	55	54	52
7	s298	48	46	45
8	seq	53	51	49
9	apex2	56	54	52
10	dsip	38	36	36
11	des	33	32	32
12	bigkey	40	38	37
13	frisc	58	56	55
14	elliptic	62	59	58
15	spla	78	74	72
16	ex1010	62	60	58
17	s38584.1	46	44	44
18	s38417	46	45	44
19	pdc	85	82	81
20	clma	77	75	73
本文算法平均提高(%)		6%	3.8%	

布局算法相比布通率提高幅度的平均值约为6%,与PPFF布局算法相比布通率提高幅度的平均值约为3.8%。

5 结论

本文提出一种新的改善布局性能的优化算法,该算法通过在不同的温度区间采用不同的评价函数对布局进行优化,克服了以往用单一的评价函数对布局优化带来的不足。这种分段递进优化的算法不但使电路连线长度更加优化,同时提高了FPGA的布通率。实验表明,该算法是一种性能较优的布局算法。

参考文献

- [1] Siva Nageswara Rao Borra, Annamalai Muthukaruppan, Suresh S. A novel approach to the placement and routing problems for field programmable gate arrays. *Applied Soft Computing*, 2007, 7(1): 455-470.
- [2] Edmund Lee, Guy Lemieux, and Shariar Mirabbasi. Interconnect driver design for long wires in field-programmable Gate Arrays. *Journal of Signal Processing Systems*, 2008, 51(1): 57-76.
- [3] Xu Wenyaoy, Xu Kejun, and Xu Xinxin. A novel placement algorithm for symmetrical FPGA. ASICON '07. 7th

- International Conference on ASIC, Guilin, Oct., 2007: 1281-1284.
- [4] Marconi Ye Lo, Gaydadjiev T, and Bertels G. An efficient algorithm for free resources management on the FPGA. Design, Automation and Test in Europe, Date'08, Munich, Mar., 2008: 1095-1098.
- [5] Lin Y, Hutton M, and He L. Statistical placement for FPGAs considering process variation. *IET Computers & Digital Techniques*, 2007, 1(4): 267-275.
- [6] Betz V and Rose J. VPR: A new packing, placement and routing tool for FPGA research. Seventh International Workshop on Field-Programmable Logic and applications, London, UK, 1997: 213-222.
- [7] Marquardt A, Betz V, and Rose J. Timing-driven placement for FPGAs. ACM/SIGDA Int. Symp. on FPGAs, Monterey, CA USA, 2000: 203-213.
- [8] Hu Bo. Timing-driven placement for heterogeneous field programmable gate array. International Conference on Computer Aided Design Proceedings of the 2006 IEEE/ACM international conference on Computer-aided design, CA, Santa Clara, 2006: 383-388.
- [9] Chen G and Cong J. Simultaneous timing driven and duplication. Proc. 13th FPGA, Monterey, CA, USA, 2005: 51-59.
- [10] Yang M. Hybrid genetic algorithm for Xilinx-style FPGA placement. Proc. of the First Intl. Conf. on CAD/ECAD, Durham University, UK, 2004: 95-100.
- [11] Maidee P, Ababei C, and Bazargan K. Timing-driven partitioning-based placement for island style FPGAs. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2005, 24(3): 395-406.
- [12] Ahmed E and Rose J. The effect of LUT and cluster size on deep-submicron FPGA performance and density. Proceedings of the 8th ACM/SIGDA International Symposium on Field Programmable Gate Arrays, Monterey, 2000: 3-12.
- [13] Yang S. Logic synthesis and optimization benchmarks. Version 3.0, Tech. Report, Microelectronics Centre of North Carolina. 1991.
- [14] Singh D P and Manohararajah V. Incremental retiming for FPGA physical synthesis. Annual ACM IEEE Design Automation Conference, California, USA, 2005: 433-438.
- [15] Lin Joey Y, Chen Deming, and Cong Jason. Optimal simultaneous mapping and clustering for FPGA delay optimization. Annual ACM IEEE Design Automation Conference Proceedings of the 43rd annual conference on Design automation, San Francisco, CA, USA, 2006: 472-477.
- 崔秀海: 男, 1976年生, 助理研究员, 从事数字集成电路计算机辅助设计研究工作.
- 杨海钢: 男, 1960年生, 研究员, 博士生导师, 研究方向为高性能可编程逻辑芯片设计技术、数模混合信号SOC设计技术.
- 龚 萧: 男, 1982年生, 博士生, 从事可编程逻辑芯片设计研究工作.
- 黄 娟: 女, 1983年生, 博士生, 从事数字集成电路计算机辅助设计研究工作.
- 谭宜涛: 男, 1984年生, 博士生, 从事数字集成电路计算机辅助设计研究工作.