

版图面积受限 POR 电路中复位延迟问题的研究

屈小钢^{①②} 杨海钢^①

^①(中国科学院电子学研究所 北京 100190)

^②(中国科学院研究生院 北京 100049)

摘要: 针对上电复位电路中实现毫秒级复位时间的电阻和电容所需面积过大的问题, 该文给出了一种基于指数时间扩展技术的面积有效的延时电路。该电路利用环形振荡器产生信号的周期作为参考单位延时, 通过异步分频实现增大的指数倍的延时, 能在节省芯片面积的情况下实现毫秒级延时, 在上电复位电路中实现足够长的复位时间。同时, 该文给出了 SMIC 0.18 μm 工艺下设计的 SPICE 仿真和实验测试结果。实现延迟时间 0.91 ms 和 54.9 ms 时, 电路版图面积分别约为 $172 \mu\text{m} \times 75 \mu\text{m}$ 和 $172 \mu\text{m} \times 95 \mu\text{m}$ 。与通常的 RC 方法相比, 实现相同的延时至少各节省约 82.8% 和 97% 的面积。

关键词: VLSI; ASIC; 可编程逻辑器件; 延时电路; 上电复位电路

中图分类号: TN402

文献标识码: A

文章编号: 1009-5896(2010)06-1389-06

DOI: 10.3724/SP.J.1146.2009.00873

Design Technique for Generating Large Delay in Area-Constraint Power-On Reset Circuit

Qu Xiao-gang^{①②} Yang Hai-gang^①

^①(Institute of Electronics, Chinese Academy of Sciences, Beijing 100190, China)

^②(Graduate University of the Chinese Academy of Sciences, Beijing 100049, China)

Abstract: To solve the problem of an excessive area required to implement milliseconds reset time with resistance and capacitance in POR (Power-On Reset) circuit, an area-efficiency delay circuit based on an exponential time-extending technique is proposed in this paper. The circuit utilizes asynchronous frequency division to increase delay exponentially, using the period of signal which ring oscillator generates as a reference delay unit and is capable of implementing milliseconds delay for minimum silicon area. It is used to generate a long enough reset time in the POR circuit. To verify the technique, the circuit is designed and fabricated in the SMIC 0.18 μm process. According to the measured results, the circuit typically achieves 0.91 ms delay with an area of $172 \mu\text{m} \times 75 \mu\text{m}$ and 54.9 ms delay with an area of $172 \mu\text{m} \times 95 \mu\text{m}$. As compared with RC method, the circuit can respectively save at least 82.8% and 97% layout area for implementing the same delays.

Key words: VLSI; ASIC; PLD (Programmable Logic Device); Delay circuit; Power-On Reset (POR) circuit

1 引言

随着集成电路工艺尺寸的不断缩小, 使单一芯片中集成更多的电路成为了可能, 但仍需要集成电路设计者们设计的电路在实现功能的同时尽量占用较少的芯片面积。因为多用一些芯片面积就意味着更高的流片成本。很多大规模集成电路芯片都需要把上电复位电路集成到其中, 比如可编程逻辑器件和微处理器等。在大规模集成电路中, 为了复位分布在芯片内的很多逻辑单元(存储器和寄存器等)上电复位信号需要充足的时间驱动大的负载。因此, 复位时间须是毫秒级的。然而, 上电复位电路中实

现延迟上电复位信号的延时电路却面临着实现较大的延时就会占用过大的芯片版图面积的问题。

在研究集成电路中一般采用的延时方法的基础上, 本文给出了一种基于指数时间扩展技术的新型延时电路。该电路占用较小硅面积且能实现一个毫秒左右到二百个毫秒的延时。基于 SMIC 0.18 μm 工艺设计的延时电路用于上电复位电路中延迟上电复位信号。文中详述了该延时电路的设计、仿真和测试结果。

本文内容安排如下: 第 2 节介绍了用 RC 串联在集成电路中实现毫秒级延时的困难和集成电路中一般采用的延时方法实现相同延时; 第 3 节介绍了本文给出的面积有效的延时电路, 可以产生毫秒级延时延迟上电复位信号; 第 4 节介绍该电路形式在

SMIC 0.18 μm 工艺下, 针对延迟上电复位信号的电路设计、仿真和测试结果; 第 5 节对全文进行了总结。

2 传统延时方法

在电路设计中要实现一定的延时, 首先会想到用电阻和电容串接起来。通常在 PCB 版级电路设计中, 这种方法既简单又有效。但在集成电路设计中, 如果要实现毫秒级的延时, 这却不是一个好的选择。主要是由于毫秒级延时需要很大的电阻和电容, 而大的电阻和电容会占用过大的芯片版图面积。

上面的问题可以用一个简单的例子阐明。以 SMIC 0.18 μm 工艺下的电阻和电容估算版图面积。1 $\mu\text{m} \times 1 \mu\text{m}$ 的 MIM(Metal-Insulator-Metal) 电容约为 9.71×10^{-4} pF, 电阻采用高阻特性的多晶硅电阻估算, 2 $\mu\text{m} \times 2 \mu\text{m}$ 电阻约为 1.03 k Ω 。如果要达到 1 ms 左右的延时, 可大约设时间常数为 $t=RC=0.5$ ms。若 R 为 10 M Ω , 则 C 为 50 pF。电阻和电容所占总的版图面积为 90328 μm^2 。无论是电阻还是电容所占的版图面积都很可观, 所以增大电阻减小电容, 或者反之, 总的版图面积都很大。

在集成电路中, 通常还可以用反向器级链实现延时^[1,2]。在 0.18 μm 标准 CMOS 工艺下, 这种延时一般是纳秒级的。例如, 占用相同的 90328 μm^2 版图面积的 7796 级反向器链产生的延时是 374 ns。文献[3]中介绍了产生连续的展宽的脉冲的方法, 而展宽脉冲也要把脉冲的下降沿延迟。该文献中除了提到 RC 方法和计数器外, 还给出了另一种省面积的方法。该方法利用 3 个振荡器输出的不同频率方波的占空比调低后相与产生连续的相隔较大延迟时间的高电平脉冲, 触发 D 触发器翻转, 产生连续的展宽的脉冲, 但若振荡器周期为纳秒级, 而要实现毫秒级间隔的脉冲, 则振荡器输出的周期和占空比的精度偏差的累积会使延时受寄生效应、温度、工艺和电源电压的影响易偏离设计值并难以确定具体值。

3 用在上电复位电路中的新型延时电路

上电复位电路一般集成在可编程逻辑器件和微处理器等系统芯片中, 用来在芯片上电时对其中存储单元等电路进行复位。这里的上电复位电路由上电复位信号产生电路和延迟上电复位信号的延时电路组成。延时电路用来保证复位时间足够长。

3.1 面积有效的延时电路

图 1 中的延时电路是将要介绍的基于指数时间扩展技术的面积有效的电路。该电路能在节省芯片面积的情况下实现毫秒级延时。由于通过对环形振

荡器产生信号在下降沿处分频, 而且是级联式的多次分频信号相与, 所以该电路可以实现延迟且延值是环形振荡器周期一半的整数倍, 电源电压和环境温度的变化特别是上电时电源电压的上升对精度的影响使偏差累积, 不会如文献[3]中电路难以确定延时值, 而上电复位电路中对延时电路的精度要求不高, 只要足够长, 满足复位要求即可。图 1 中的电路是用来延迟下降沿信号的。由包括 Brown-Out^[4]探测的上电复位信号产生电路在上电时 POR 端输出的复位信号可被看作下降沿信号, 而当电源上电后探测到 Brown-Out 时 POR 端输出的信号可被看作高电平脉冲, 其下降沿被延迟, 保证足够长的复位时间。若要延迟上升沿信号, 只要在该电路的输入端和输出端各加一个反向器即可。

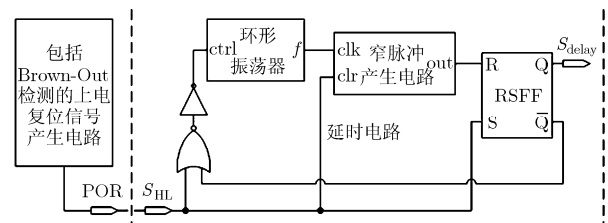


图 1 本文给出的面积有效的延时电路

下面着重介绍该延时电路的工作原理和电路形式。延时电路中的环形振荡器的输入端 ctrl 用来控制振荡器振荡与否。延时电路中窄脉冲产生电路的实现如图 2。图 2 中电路把从 clk 端输入的信号 2 分频, 4 分频, ..., 2^n 分频, 然后把这些分频后的信号相与输出一个高电平窄脉冲信号。这个信号在图 1 中被用来复位 RS 触发器, 实现延迟延时电路的输入信号。下降沿信号 S_{HL} 经延时电路输出延迟后的信号 S_{delay} 的过程如图 3 所示。

本文给出的延时电路有较好的面积有效特性。该电路实现的延迟时间由式 $(2^n - 0.5) \cdot T$ 确定。其中, n 是图 2 窄脉冲产生电路中实现分频的 D 触发器的个数。T 是图 1 中环形振荡器输出的方波信号的周

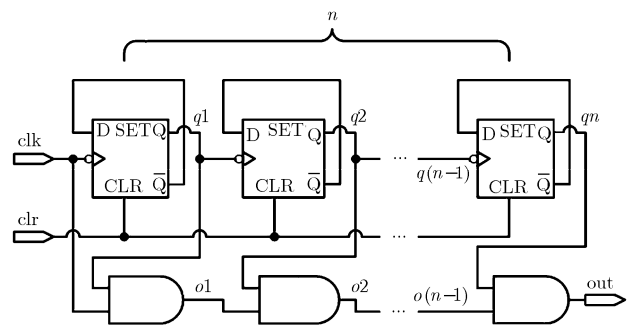


图 2 窄脉冲产生电路

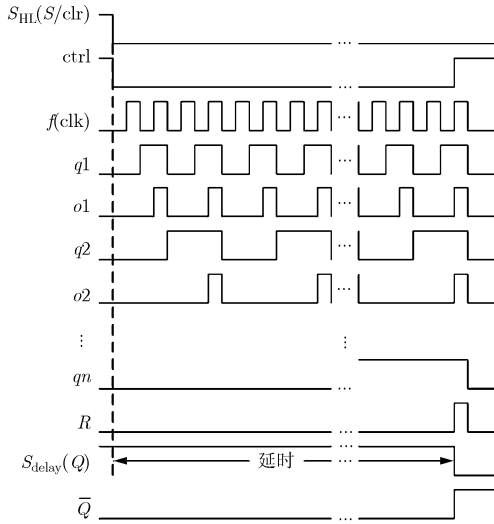


图 3 延时电路工作过程中各节点信号波形

期。该延时电路的面积和延时之间的函数关系可被表示为

$$A_1 = \alpha_1 \cdot \log_2(1/m \cdot D_1 + 0.5) + m + \alpha_2 \quad (1)$$

式(1)的推导过程略。其中, A_1 是延时电路需要的(以环形振荡器的延迟单元面积 A_{DC} 为单位的)版图面积, D_1 是延时电路产生的(以延迟单元延时 T_{DC} 为单位的)延时, α_1 和 α_2 是在确定延迟单元电路下依赖于工艺变化的参数, m 是组成环形振荡器的延迟单元的个数($m \geq 3$ 且是奇数)。RC 方法的面积和延时之间的函数关系可被表示为

$$A_2 = 1.32(\beta_1 \cdot \beta_2 / \gamma \cdot D_2)^{1/2} \quad (2)$$

式(2)的推导过程略。其中, A_2 是 RC 方法需要的(以 A_{DC} 为单位的)版图面积, D_2 是 RC 方法实现的(以 T_{DC} 为单位的)延时, γ , β_1 和 β_2 是在确定延迟单元电路下依赖于工艺变化的参数。

在本文第 4 节基于 SMIC 0.18 μm 混合信号工艺的延时电路的设计中, $A_{DC} = 260 \mu\text{m}^2$, $T_{DC} \approx 9.52 \text{ ns}$, $\alpha_1 \approx 2.21$, $\alpha_2 \approx 2.15$, $\beta_1 \approx 0.15 \times 10^{-1}$, $\beta_2 \approx 0.38 \times 10^{-2}$, $\gamma \approx 0.11 \times 10^{-3}$ 。图 4 中是 RC 方法所需面积和本文给出的延时电路所需面积随实现延时变化的关系。当实现的延时从 0.8 ms 延长到 200 ms 时, 延时电路所需面积增加的部分少于 50%。式(1)是一个以 2 为底的对数函数。式(2)是一个平方根函数。从上面可以看出, 当产生延时是毫秒级时, 延时电路所需面积对延时变化不敏感; 而 RC 方法所需面积是实现延时的平方根的线性函数。因此, 当实现的延时 $D \cdot T_{DC}$ (T_{DC} 在深亚微米工艺中一般是纳秒级的)在毫秒级范围变化时, RC 方法所需面积远远大于延时电路所需面积。

本文给出的延时电路在实现一定延时时有最优

的 m 和 n 的取值。此时, 所需面积最小。延时电路的面积 A_{total} 可表示成(推导略):

$$A_{\text{total}} = (n \cdot \alpha_1 + m + \alpha_2) A_{DC} \quad (3)$$

在约束条件为实现确定延时

$$D_{\text{total}} = (2^n - 0.5) \cdot m \cdot T_{DC} \quad (4)$$

的情况下, 可求得延时电路的面积 A_{total} 最小的 m 和 n 值。例如, 后面第 4 节基于 SMIC 0.18 μm 工艺, 针对延迟上电复位信号详述了实现延迟时间约为 0.8 ms 的延时电路, 版图面积约为 $172 \mu\text{m} \times 75 \mu\text{m}$ ($12900 \mu\text{m}^2$), m 和 n 的取值分别是 21 和 12, 但最优值是 5 和 14, 面积约为 $9903.4 \mu\text{m}^2$; 给出了实现延迟时间约为 52 ms(前端仿真的)延时电路, 版图面积约为 $172 \mu\text{m} \times 95 \mu\text{m}$ ($16340 \mu\text{m}^2$), m 和 n 的取值分别是 21 和 18, 但产生延时约为 50 ms 的最优值是 5 和 20, 面积约为 $13351 \mu\text{m}^2$ 。另外, 产生延时约为 200 ms 的最优值是 5 和 22, 面积约为 $14500.2 \mu\text{m}^2$ 。

通过以上的介绍, 可以看出本文给出的面积有效的延时电路能在实现一个毫秒左右到二百个毫秒延时的情况下节省硅面积。实现的电路占用的面积只是芯片面积很小的一部分。在产生的延时从 0.8 ms 延长到 200 ms 时, 所需面积增加的部分少于 50%。

3.2 带检测电源 Brown-Out 发生的上电复位信号产生电路

图 5 中是带滞回检测电源 Brown-Out 发生的上电复位信号产生电路。通过电源电压触发, 与电源上升和下降时间无关。在电源上电过程中, 图 5 电路的 POR 端输出随电源电压上升。当电源电压上升到一定电压时, POR 端输出的电压值掉到 0 V。在电源正常工作时, 若有 Brown-Out 发生, POR 端输出又从 0 V 跳到电源电压值并随电源电压变化; 当电源电压再次上升到一定电压时, POR 端输出的电压值又掉到 0 V。

在电源上电过程中, 电源电压上升到大于 PMOS 管阈值后, MP1 导通。MP1 和电阻 R1 间电压随电源上升超过一定电压后, 反向器 inv1 的输出变成 0 V。同时, 反向器 inv6 和 inv7 把管 MP2 和 MN1 关断。反向器 inv10 的输出变成电源电压, 管 MP1 被关断, MP2 和 MN1 组成的传输门的输出被推拉到电源电压, POR 端输出上电复位信号。当电源从正常工作电压降低于另一确定电压时, 反向器 inv8 的输出也下降低于反向器 inv9 的阈值使 inv9 的输出由 0 V 变成电源电压。管 MP3 关断,

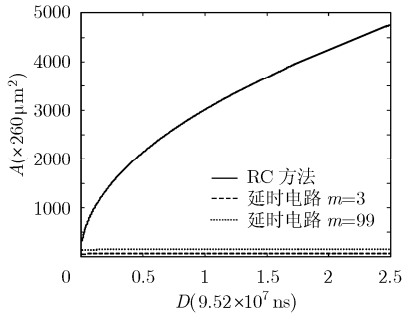


图 4 RC 方法所需面积和本文给出的延时电路所需面积随实现延时变化的关系

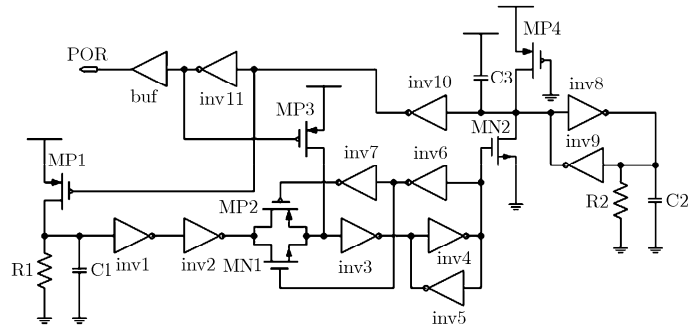


图 5 带滞回检测电源 Brown-Out 发生的上电复位信号产生电路

反向器 inv4 的输出变为 0 V。POR 端输出由 0 V 变成电源电压并随其变化^[5-8]。

4 延迟上电复位信号的延时电路的设计、仿真和测试结果

4.1 设计和仿真结果

此处 SMIC 0.18 μm 混合信号工艺下设计的包括延时电路的上电复位电路基于 HSPICE Level 49(BSIM3V3.2)模型的后端仿真结果如表 1。其中，m 和 n 值分别为 21 和 12。

表 1 延迟上电复位信号的延时电路在不同温度和工艺角下后端仿真的结果

温度(°C)	工艺角	延迟时间(ms)
0	Fast case	0.773
27	Typical case	0.884
100	Slow case	1.135

表 1 是电源电压上电时间为 1 ms 时，延时电路在不同温度和工艺角下仿真的结果。从该表中可以看到在不同温度和工艺角下，经该延时电路延迟输出的复位信号均能保证在随电源电压上升到 1.8 V 并保持几百个微秒以后再掉到 0 V，满足设计要求。另外，低温 Slow case 和高温 Fast case 相对于常温典型情况下的延迟时间偏差分别为 -12.6% 和 28.4%。而集成电路中的电阻和电容仅随工艺变化的偏差范围一般都在 ±20% 左右，例如 SMIC 0.18 μm 混合信号工艺中，高阻多晶硅电阻随工艺变化的偏差范围为 -22.3% 和 16.5%，MIM 电容随工艺变化的偏差范围为 ±20.6%。所以，采用 RC 实现延时的时间常数随工艺变化的偏差范围为 -47.5% 和 40.5%。

包括 0.884 ms 延时电路的上电复位(POR, Power-On Reset)电路的显微图如图 6。其中，上半部分是 0.884 ms 延时电路的版图，面积约为 172 μm

× 75 μm。若以常温工艺典型情况下实现的延迟时间 0.884 ms 计算，与 RC 方法相比实现相同的延时至少节省约 82.8% 的面积(RC 方法需要的面积至少为 75283 μm²，由前文关系式(2)算出)。下半部分是上电复位信号产生电路的版图。另外，实现延迟时间 54.5 ms 的延时电路的显微图也如图 6。其中，m 和 n 的取值分别为 21 和 18。电路所占面积约为 172 μm × 95 μm。与 RC 方法相比，实现相同的延时至少节省约 97% 的面积(RC 方法需要的面积至少为 591110 μm²)。

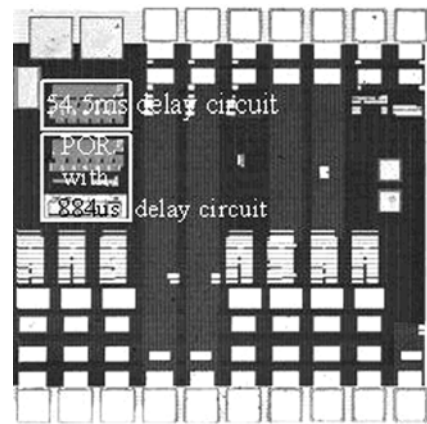


图 6 包括 0.884 ms 延时电路的上电复位电路和 54.5 ms 延时电路的芯片显微图

4.2 测试结果

图 7(a), 7(b), 7(c), 7(d) 中是上电复位信号产生电路和两个延时电路的测试结果。其中，(a) 中上面波形是上电时间为 1 ms 的电源电压，下面波形是上电复位信号产生电路输出的信号。当电源电压约为 0.5 V 时，它从 0 V 跳到 0.5 V，然后随着电源电压上升到 1.27 V 再掉到 0 V。图 7(b) 中上面波形是电源正常工作中出现 Brown-Out 的波形。Brown-Out 的下降时间为 10 μs，从 1.8 V 下降到 0.8 V，然后又上升到 1.8 V。下面是上电复位信号产生电路

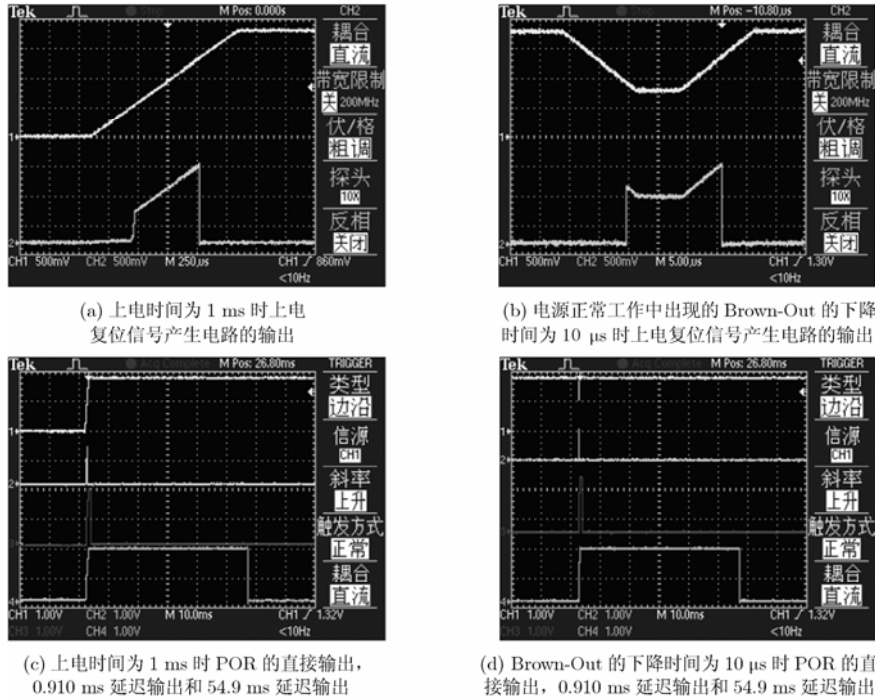


图 7 测试结果

输出的信号。电源电压从 1.8 V 下降到 0.98 V 时, 它从 0 V 跳到 0.98 V。然后, 随电源电压变化上升到 1.27 V 时又掉到 0 V。图 7(c)中第 1 个波形是上电时间为 1 ms 的电源电压。第 2 个波形是上电复位信号产生电路直接输出的信号。第 3 个波形是经延迟 0.910 ms 后输出的信号。第 4 个波形是经延迟 54.9 ms 后输出的信号。延时电路的延迟时间实测结果与仿真不同的原因除了是受环境温度和工艺角偏差影响外, 还有就是电源上升过程的实际情况并不是理想的斜坡, 而设计的延时电路的环形振荡器的周期是会随电源电压变化而变化的。图 7(d)中波形除了第 1 个是正常工作的电源出现下降时间为 10 μs 的 Brown-Out 的波形, 其余波形相应于图 7(c)中对应情况的信号。

文献[9]中利用在上电复位电路的芯片管脚接一个 1 μF 的片外电容, 测试结果实现延时 70 ms, 而且给出了设计的上电复位电路实现的延时 T_d 和片外电容 C 成比例增大的关系式 $T_d = V_{ref} \cdot C / I$ 。这里, 将本文给出的上电复位电路中实现毫秒级复位时间的延时电路与文献中已报道的上电复位电路采用的实现长复位时间的方法的比较列于表 2。

5 总结

本文在研究集成电路中一般采用的延时方法的基础上, 提出了一种面积有效的延时电路, 可以在最小化硅面积开销的情况下产生一个毫秒左右到二

表 2 与文献中已报道的上电复位电路采用的实现长复位时间的方法的比较

来源	工艺尺寸	方法	所需面积/片外电容值	实现延时 (ms)
文献[1]	0.25 μm	片内电容	约 115 μm × 345 μm 的 1/3	约 1
文献[9]	-	片外电容	1 μF	70
本文	0.18 μm	延时电路	172 μm × 75 μm 172 μm × 95 μm	0.910 54.9

百个毫秒的延时, 并且给出了基于 SMIC 0.18 μm 混合信号工艺设计的用于上电复位电路中的 0.910 ms 的延时电路和 54.9 ms 的延时电路。根据仿真和测试结果, 实现的电路可以产生毫秒级延时且节省芯片面积, 满足实际需求。该电路被集成在可编程逻辑器件中, 在芯片上电时复位可编程逻辑器件中的配置存储单元。

参考文献

[1] Takeo Yasuda, Masaaki Yamamoto, and Takafumi Nishi. A power-on reset pulse generator for low voltage applications[C]. IEEE International Symposium on Circuits and Systems, Sydney, May 6-9, 2001, 4: 598-601.

[2] Chen Kuo-Hsing and Lo Yu-Lung. A fast-lock DLL with power-on reset circuit[C]. Proc. International Symposium on Circuits and Systems, Vancouver, May 23-26, 2004, 4: 357-360.

- [3] McClintock C. Method and apparatus for creating a large delay in a pulse in a layout efficient manner[P]. US, No. 5606276, 1997.
- [4] Wadhwa S K, Siddhartha G K, and Gaurav A. Zero steady state current power-on-reset circuit with brown-out detector[C]. Proc. 19th International Conference on VLSI Design, Hyderabad, Jan. 3-7, 2006: 631-636.
- [5] Ker Ming-Dou, Yen Cheng-Cheng, and Shih Pi-Chia. On-chip transient detection circuit for system-level ESD protection in CMOS integrated circuits to meet electromagnetic compatibility regulation[J]. *IEEE Transactions on Electromagnetic Compatibility*, 2008, 50(1): 13-21.
- [6] Toru Tanzawa. A process- and temperature-tolerant power-on reset circuit with a flexible detection level higher than the bandgap voltage[C]. IEEE International Symposium on Circuits and Systems, Seattle, May 18-21, 2008: 2302-2305.
- [7] Yen Cheng-Cheng, Liao Chi-Sheng, and Ker Ming-Dou. New transient detection circuit for system-level ESD protection[C]. IEEE International Symposium on VLSI Design, Automation and Test, Hsinchu, April 23-25, 2008: 180-183.
- [8] Choi W B. Power-on reset circuit[P]. U S, No. 20080100351, 2008.
- [9] Lai Xin-quan, Yu Wei-xue, and Li Gang, *et al.* A low quiescent current and reset time adjustable power-on reset circuit[C]. 6th International Conference on ASIC, Shanghai, Oct. 2005, 2: 559-562.
- 屈小钢: 男, 1981 年生, 硕博连读生, 从事高速可编程逻辑芯片设计技术的研究.
- 杨海钢: 男, 1960 年生, 研究员, 中科院“百人计划”引进国外杰出人才, 主要研究方向为数模混合信号 SOC 和高速可编程逻辑芯片设计技术.