

基于 FPGA 的 CCSDS 图像数据压缩系统的设计*

陈 哲^{1†}, 涂国防¹, 张 灿^{1,2}, 陈德元¹

(1 中国科学院研究生院信息科学与工程学院, 北京 100049; 2 中国科学院研究生院信息安全国家重点实验室, 北京 100049)
(2010 年 4 月 15 日收稿; 2010 年 5 月 12 日收修改稿)

Chen Z, Tu G F, Zhang C, et al. Design of CCSDS image compression system based on FPGA [J]. Journal of the Graduate School of the Chinese Academy of Sciences, 2011, 28(1): 101-107.

摘 要 针对 CCSDS 图像数据压缩(IDC)标准,提出了一种基于 FPGA 的 CCSDS IDC 并行实现方案.该方案包括离散小波变换(DWT)、直流系数量化编码、位平面编码(BPE)、码字拼接等 4 个模块.位平面编码模块采用了并行扫描、并行编码的快速算法,以提高编码速度.仿真结果表明了本方案的可行性和有效性,处理时间比现有的 CCSDS IDC 串行编码改进方法减少了 13.6%,适用于空间通信的图像数据压缩编码.

关键词 CCSDS, 图像压缩编码, 并行编码, FPGA

中图分类号 TN403

随着人类对空间探索活动的日益频繁和星上图像采集设备分辨率的不断提高,空间图像的原始数据率大量增加,给数据传输和存储带来了困难.对太空仪器而言,不仅重量和功率有限制,而且空间通信网传输信道不稳定,速率低^[1].有限资源与大量遥感数据的需求之间的矛盾,对提高空间通信中的图像压缩效率和降低压缩算法的复杂度提出了更高的要求^[2].

国际上有多种图像压缩标准,最典型的如 JPEG 系列标准. JPEG2000 标准压缩比高,在静止图像压缩中有广泛的应用,但其复杂度高,在空间 IDC 的硬件实现上不具有优势^[3].空间数据系统咨询委员会(Consultative Committee for Space Data Systems, CCSDS),于 2005 年标准化了 CCSDS 图像压缩标准(IDC),该算法兼顾了压缩效率和算法复杂度,支持高速低功耗硬件实现,支持有损和无损压缩方案,支持码率控制,在空间图像处理中有良好的应用前景^[4].FPGA(field programmable gate array)作为专用集成电路的一种,具有速度快、通用性好、功耗低、集成度高等特点,相比 ASIC 开发更加灵活,是实现空间图像数据压缩的理想硬件平台^[5].国内外对空间图像数据压缩芯片进行了研究,取得了一定成果,但存在不足之处.如文献[4]推荐标准中 BPE 部分采用比特面从高到低逐层编码,制约了编码速率;文献[6]虽然实现了比特面并行扫描,但在单一位平面的映射编码部分依然采用各子层(stage)逐层串行编码,编码速率偏低.而根据协议,各子层相互独立,可实现并行编码从而提高编码速率.本文在总结前人工作的基础上,提出了一种基于 FPGA 的 CCSDS 图像数据压缩系统的实现方案,并对位平面编码模块进行了改进,采用了比特面并行扫描和层级并行编码,从而使得编码时间得到显著缩短,较比特面串行编码减少了 78.4%,较文献[6]减少了 13.5%.

第 1 节介绍了 CCSDS 图像数据压缩标准;第 2 节讨论了基于 FPGA 的 CCSDS 图像数据压缩系统各模块的设计方法,同时针对位平面编码对整个图像编码速率的重要影响,采用并行编码技术替代了串行

* 国家自然科学基金(61032006, 60773137, 60972067)资助

†E-mail: chenzhe07@mails.gucas.ac.cn

编码技术;第 3 节介绍了实验结果;最后给出结论.

1 CCSDS 图像压缩标准

CCSDS 图像数据压缩算法是一种基于小波的压缩算法,它由离散小波变换、直流系数量化编码和位平面编码 3 个部分组成. 首先原始图像经过离散小波变换实现频带分解,达到能量聚集和去相关性的目的^[7];其次分别对变换完成的小波系数中的直流系数进行量化编码,而直流量化残留系数和交流系数进行位平面编码;最后将编码码字进行拼接,形成输出码流. 下文将详细介绍编码过程.

1.1 离散小波变换

CCSDS 标准中有浮点和整数 2 种小波变换方法,浮点小波变换虽然有均方误差低的优点,但设计成本高,且不能实现无损压缩,而整数小波变换节省资源,运算量小,能够实现重构,适合于 FPGA 实现,本文采用整数小波变换.

采用提升算法^[8]的 97 整数小波变换如式(1),其中 D 为高通滤波值, C 为低通滤波值, x 为滤波器系数.

$$\begin{aligned}
 D_0 &= x_1 - \left\lfloor \frac{9}{16}(x_0 + x_2) - \frac{1}{16}(x_2 + x_4) + \frac{1}{2} \right\rfloor, \\
 D_j &= x_{2j+1} - \left\lfloor \frac{9}{16}(x_{2j} + x_{2j+2}) - \frac{1}{16}(x_{2j-2} + x_{2j+4}) + \frac{1}{2} \right\rfloor \quad \text{for } j = 1, \dots, N-3, \\
 D_{N-2} &= x_{2N-3} - \left\lfloor \frac{9}{16}(x_{2N-4} + x_{2N-2}) - \frac{1}{16}(x_{2N-6} + x_{2N-2}) + \frac{1}{2} \right\rfloor, \\
 D_{N-1} &= x_{2N-1} - \left\lfloor \frac{9}{16}(x_{2N-2} + x_{2N-2}) - \frac{1}{16}(x_{2N-4} + x_{2N-4}) + \frac{1}{2} \right\rfloor, \\
 C_0 &= x_0 - \left\lfloor -\frac{D_0}{2} + \frac{1}{2} \right\rfloor, C_j = x_{2j} - \left\lfloor -\frac{D_{j-1} + D_j}{4} + \frac{1}{2} \right\rfloor \quad \text{for } j = 1, \dots, N-1. \quad (1)
 \end{aligned}$$

标准中采用 3 级 2 维小波变换,一个 8×8 的数据块 (block) 经过变换被分成 1 个直流 (DC) 系数和 63 个交流 (AC) 系数. 同频带的系数形成树状关系^[9],每个 DC 系数对应 3 个二叉树, AC 系数又分为 3 个家族,每个家族包含 1 个父系数,4 个子系数和 16 个孙系数,如图 1 所示. 在小波变换结束后,8 bit/pixel 的原始图像数据位深将扩大到 12 bit^[2].

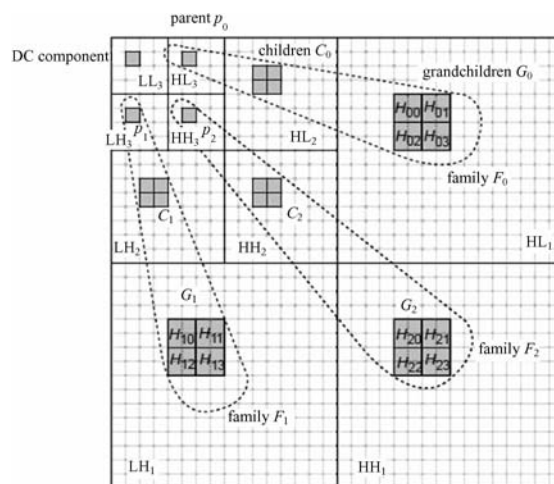


图 1 小波变换后图像

1.2 直流系数量化编码

直流系数量化编码采用 Rice 算法^[10],对 DC 系数和 AC 块位深进行熵编码. 输入数据经判断,若为

DC 值,先按公式(2)进行量化,再按公式(3)进行差分运算;若为 AC 块位深,则直接按式(3)进行差分运算,对差分值进行非负处理,并根据总码长最小原则,对不同编码项的码长进行遍历,选取最佳编码项进行熵编码。

$$c'_m = \lfloor c_m / 2^q \rfloor, \tag{2}$$

$$\delta'_m = c'_m - c'_{m-1}, \tag{3}$$

其中, q 表示量化因子, c_m 代表输入系数, c'_m 表示量化系数, δ'_m 表示差分值。

1.3 位平面编码

位平面编码与 EZW 算法^[9]类似,利用小波系数的“树”概念,以尽量小的系数去表示整个“树”结构,从而达到压缩目的。

位平面编码分为 2 个部分,状态扫描和 bit 面编码。对小波变换系数按照 bit 面从高到低的顺序进行扫描,按照公式(4)确定系数状态。以 -20 为例,符号位为 1,幅度值为 10100,若加权移位为 2,则索引值 $b > 4$ bit 面扫描时,系数状态为 0; $b = 4$ bit 面扫描时,AC 状态为 1; $4 < b < 1$ 的 bit 面扫描时,AC 状态为 0; $b \leq 1$ 的 bit 面扫描时,AC 状态为 -1。系数状态经过编码预处理单元,得到转义符号,包括父系数、子系数、孙系数的类型 (type)、符号 (sign) 和状态 (tran)。将转义符号送入缓存同时求取最佳编码项,映射编码单元从缓存中读取转义符号,并在最佳编码项下进行映射编码。

$$\begin{aligned}
 t_b(x) &= 0 \text{ if } |x| < 2^b, & (x \text{ is not due for selection for this bit plane}) \\
 t_b(x) &= 1 \text{ if } |x| = 2^b, & (x \text{ is due for selection at this bit plane}) \\
 t_b(x) &= 2 \text{ if } |x| > 2^b, & (x \text{ has already been selected at a previous bit plane}) \\
 t_b(x) &= -1 \text{ if } b < \text{bitshift}(\Gamma), & (x \text{ must be 0 at this bit plane due to subband scaling})
 \end{aligned}
 \tag{4}$$

(4) 式中, $t_b(x)$ 为系数在当前 bit 面的状态, b 为 bit 面索引, Γ 为系数加权值。

2 CCSDS 图像数据压缩系统各模块的设计

CCSDS 图像数据压缩系统包括 DWT 小波变换,直流系数编码,位平面编码和码字拼接 4 个模块,如图 2 所示。下面详细介绍各模块的功能。

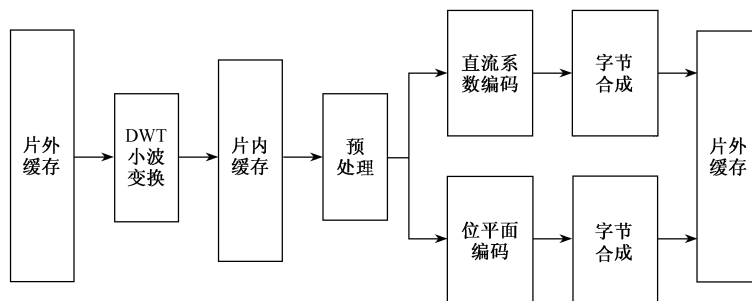


图 2 CCSDS 数据压缩系统框图

图 3 是小波变换模块的架构图,包含了一个多路选择 Mux 单元,一维小波变换,行/列缓存及控制单元。每一级小波变换包括一维行小波变换和一维列小波变换 2 部分。原始图像逐行通过 Mux 选择,进行小波变换,变换结果存入行缓存中;当所有行变换完之后,再逐列数据进行小波变换,变换结果存入列缓存。

直流系数编码模块从片内缓存中提取 DC 系数进行 Rice 编码。图 4 为直流系数编码模块架构图,编码器由多路选择 Mux 单元、差分变换单元、非负转换单元、缓存器、求取最佳编码单元和熵编码单元组成。

位平面编码模块由状态扫描单元和 bit 面编码单元组成。文献 [4] 中状态扫描单元按照 bit 面从高到低的顺序对 AC 系数进行扫描,这种 bit 面逐层扫描的方法极大地制约了编码效率,本文采用 N 个 bit

面并行扫描的方法, N 为 AC 与 DC 残余系数的最大位深. 如图 5 所示, 从缓存中读取 AC 系数, 各 bit 面同时进行扫描, 将得到的系数状态送入 bit 面编码单元.

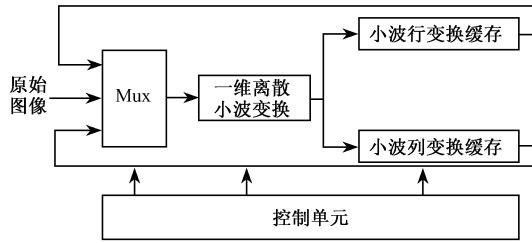


图 3 离散小波变换模块架构图

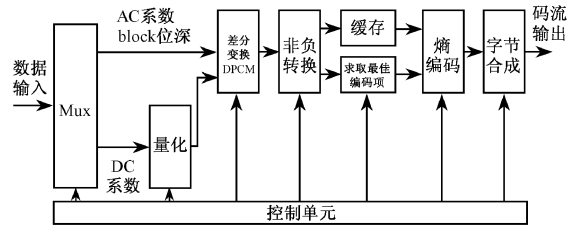


图 4 直流系数编码模块架构图

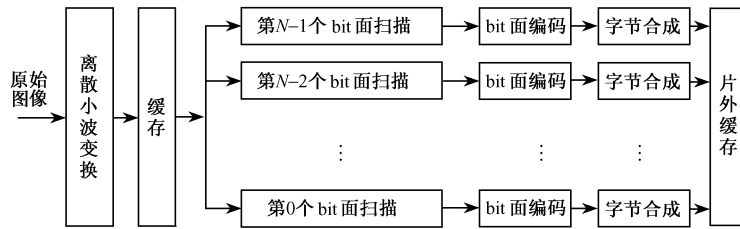


图 5 位平面扫描的并行结构图

bit 面编码单元包括编码预处理、求取最佳编码项和映射编码 3 个小单元. 在单个 bit 面中, 根据系数的所属子层的不同分为 5 个层级 (stage), 分别为 DC 系数层 (stage0), 父系数层 (stage1), 子系数层 (stage2), 孙系数层 (stage3), AC 精炼系数层 (stage4). 为保证对图像重建重要数据的优先输出, 编码重要性和优先度从 stage0→stage1→stage2→stage3→stage4 依次降低^[4]. 如图 6 所示, 当所有 block 的当前 stage 编码完成, 才能转向下一个 stage, 文献[6]采用了这种逐层串行编码方法. 在映射编码的过程中, 各个 stage 没有必然联系, 可采用并行结构, 各 stage 独立编码, 提高编码效率. 如图 7 所示, 求得最佳编码项后, 5 个 stage 同时从缓存读取数据进行映射编码. 编码预处理单元和求取最佳编码单元可采取流

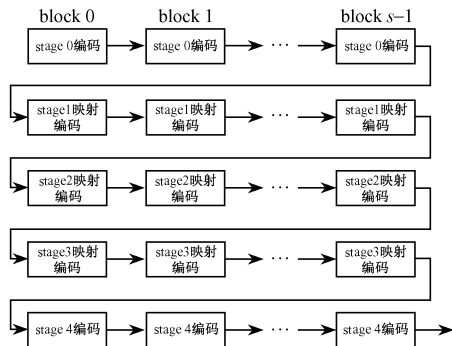


图 6 bit 面串行编码流程图

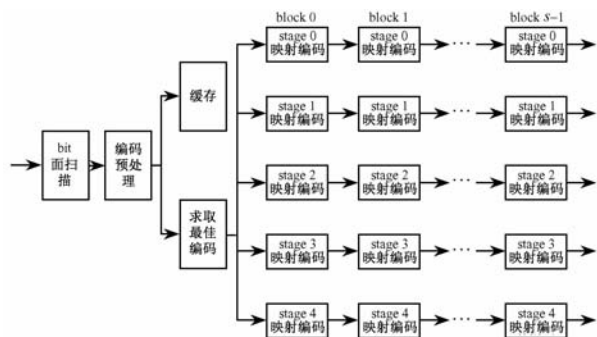


图 7 bit 面编码的并行结构图

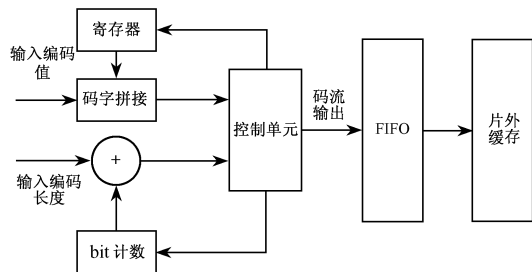


图 8 码字拼接模块结构图

水线操作.

码字拼接模块对直流系数编码模块和位平面模块的输出码流进行处理, 以完整的字节或者双字节形式存入片外缓存, 它由码字拼接单元, bit 计数单元和控制单元组成, 如图 8. 输入数据码值部分与寄存器残存 bit 拼接, 码长部分与 bit 计数相加, 经控制单元, 以字节形式存储于 FIFO, 具体阐述如下. 设输入码长为 r , 且 bit 计数为 p , 截取输入码值的低 r 位 bit, 与寄存器低 p 位 bit 进行码

字拼接. 如果 $r + p < 8$, 则将拼接的码字存入寄存器, 更新 $p = r + p$; 如果 $r + s \geq 8$, 则将拼接码字的高 8 位 bit 以字节形式存入 FIFO, 残余码字存入寄存器, 同时更新 $p = r + p - 8$. 当编码完成时, 不足 8 位的码流以 '0' 填补.

3 仿真与实验分析

本文利用了 Quartus5.0 平台, 搭建了如图 9 所示的实验环境, 采用了 512×512 大小, 8bit/pixel 的灰度图像作为测试图像. 图像数据由接口进入, 串并转换后, 存入输入缓存, 系统从缓存器读取数据处理, 并将编码结果存入输出缓存, 接口从输出缓存读取数据, 以 bit 流形式串行输出.

FPGA 外围采用串行接口, 分别作为数据接收通道和数据发送通道, 1 个大小为 4Mb 的 SRAM 资源, 其中 2Mb 作为片外输入缓存, 2Mb 作为片外输出缓存. FPGA 的资源消耗如表 1 所示, 较好地满足了空间仪器高速率、低功耗的要求.

表 1 FPGA 资源消耗表

芯片型号	cyclone II EP2C20F484C8
LE 利用率	42% (7981 逻辑单元)
片上内存利用率	57% (137472bit)
寄存器	1108
最高频率	61.73MHz
功耗	70.11mW

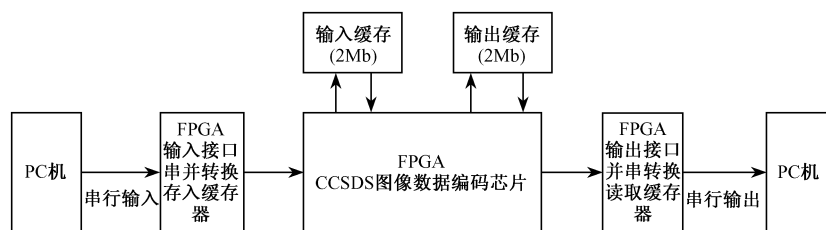


图 9 CCSDS 图像数据压缩系统实验环境图

为了验证本文采用的 CCSDS 算法较 JPEG2000 算法具有时间复杂度上的优势, 本文对测试图像进行无损压缩功能仿真. 由图 10 可见, 在无损压缩条件下, 本文采用的 CCSDS 算法在编码时钟周期上比 JPEG2000 基本方法^[11]减少了 70%, 比 JPEG2000 改良方法^[11]减少了 26%, 可见本文采用的 CCSDS 算法较 JPEG2000 算法降低了编码的时间复杂度.

CCSDS 基本方法在位平面编码模块采用了 bit 面逐层扫描, 系数层逐层编码的方法, 制约了编码速度, 而文献[6]虽然采用了 bit 面并行扫描, 但在编码部分依然采用串行逐层编码. 本文对位平面编码模块进行了改进, 采用 bit 面并行扫描和层级并行编码的方法. 为验证本文方法在时间复杂度上的优势, 本文在 8 倍的压缩比率下, 对测试图像进行有损压缩功能仿真. 比较各方案的编码性能, 如表 2 所示, 本文方法在信噪比方面略低于基本方法和文献[6]方法, 主要原因是并行编码时不足 8 位码流采用了补零操作. 但在编码时间方面, 本文方法优势明显, 由图 11 可见, 本文方法在编码时钟周期上比 CCSDS 基本方法减少了 78.4%, 比文献[6]CCSDS 改进方法减少了 13.5%. 在 40MHz 的时钟频率下, 测试图像编码时间小于 35ms, 满足 1 秒钟 24 帧图像的传输要求.

表 2 CCSDS 标准不同方法下 PSNR (dB) 比较 (512 × 512, 8bit/pixel 图像, 码率 1bit/pixel)

编码方法	图像火星表面	图像月球表面
位平面串行扫描, 串行编码	33.78dB	40.06dB
文献[6]位平面并行扫描, 串行编码	33.63dB	39.95dB
本文方法(位平面并行扫描, 并行编码)	33.54dB	39.82dB

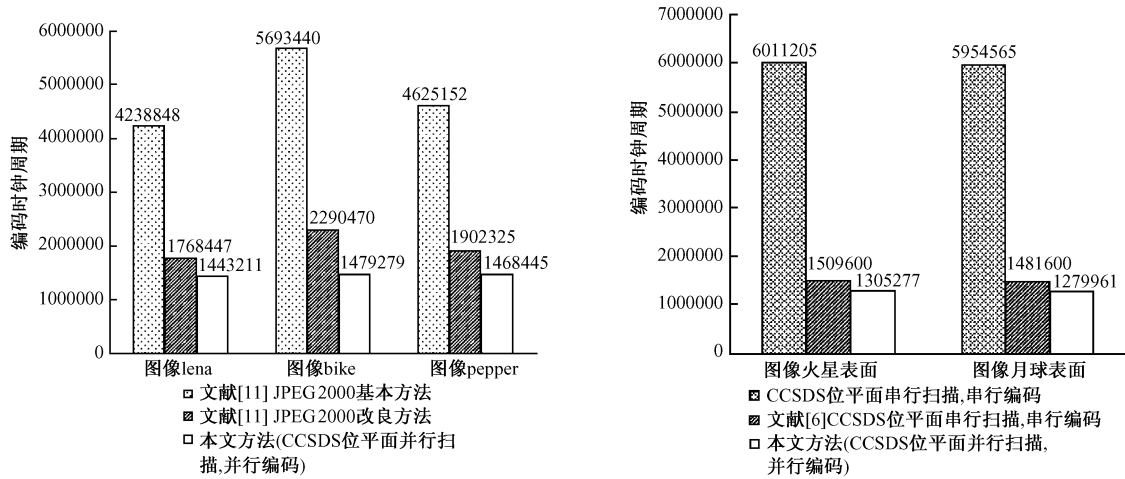


图 10 编码时钟周期比较 (JPEG2000 与 CCSDS)

图 11 编码时钟周期比较 (CCSDS 串行编码与并行编码)

4 结论

本文对 CCSDS 图像压缩标准进行了研究,并针对空间图像的特点,给出了 CCSDS 图像压缩系统中各个模块 FPGA 实现方案.为提高编码速度,本文在位平面编码模块采用 bit 面并行扫描和层次并行编码技术,实验表明,该方法降低了编码时间,更好地满足了空间图像压缩的要求.

参考文献

[1] Bhasin K, Hayden J. Developing architectures and technologies for an evolvable NASA space communication infrastructure[R]. NASA/TM,2004-213108.

[2] CCSDS 120.1-G-1. Image data compression recommended standard[S]. Green Book, 2007.

[3] Yeh P S, Armbruster P, Kiely A, et al. The new CCSDS image compression recommendation[C] // Proceedings of the IEEE Aerospace Conference. 2005 :4138- 4145.

[4] CCSDS 122.0-B-1. Image data compression recommended standard[S]. Blue Book, 2005.

[5] Lan K,Jonathan R. Measuring the gap between FPGAs and ASICs[J]. IEEE Transaction on Computer-aided Design of Integrated Circuits and Systems, 2007,26(2):203-215.

[6] Zhang X Q, Gu X D, Sun H X. Design and implementation of CCSDS-based onboard image compression unit using FPGA [J]. Semiconductor Optoelectronics,2009,30(6):935-939.
张学全,顾晓东,孙辉先. CCSDS 星载图像压缩模块的 FPGA 设计与实现[J]. 半导体光电,2009,30(6):935-939.

[7] Zhang J Y. Deep space communication image compression algorithms based on discrete wavelet transformation and application[D]. Harbin: Research Center on Communication, Harbin Institute of Technology, 2007 (in Chiense).
张佳岩. 基于小波变换的深空通信图像压缩算法及应用研究[D]. 哈尔滨:哈尔滨工业大学通信技术研究所,2007.

[8] Daubechies I, Sweldens W. Factoring wavelet transforms into lifting schemes[J]. Journal of Fourier Analysis and Application, 1998, 4(3): 245-267.

[9] Jerome M. Embedded image coding using zerotrees of wavelet Coefficient[J]. IEEE Transaction on Signal Processing, 1993,41(12): 3445-3462.

[10] Rice R F, Plaunt J R. Adaptive variable length coding for efficient compression of spacecraft television data[J]. IEEE Transmission on Communication Technology, 1971,19(1): 889- 897.

[11] Lian C J,Chen K F, Chen H H, et al. Analysis and architecture design of block-coding engine for EBCOT in JPEG2000 [J]. IEEE Transaction on Circuit and System for Video Techonoly, 2003,13(3):219-230.

Design of CCSDS image compression system based on FPGA

CHEN Zhe¹, TU Guo-Fang¹, ZHANG Can^{1,2}, CHEN De-Yuan¹

(1 School of Information Science and Engineering, Graduate University, Chinese Academy of Sciences, Beijing 100049, China;

2 State Key Laboratory of Information Security, Graduate University, Chinese Academy of Sciences, Beijing 100049, China)

Abstract We report the design and implementation of CCSDS image data compression (IDC) parallel scheme based on FPGA. This scheme includes four modules: discrete wavelet transform (DWT), direct coefficient quantified encoding, bit plane encoding (BPE), and code processing. In order to put on speed, we use the parallel scanning and parallel encoding in the BPE module. The experimental results show the feasibility and efficiency of this scheme, and compared to the modified method of CCSDS IDC serial encoding, the processing time has reduced by 13.6%. Our scheme is fit for image data compression in the space communication.

Key words CCSDS, image compression, bit plane encoding, FPGA