

# PROFIBUS-DP 主站网关设计及其关键技术

夏继强 梁超众 耿春明 陈学军

(北京航空航天大学 机械工程及自动化学院, 北京 100191) (中国四联集团仪器仪表集团有限公司, 重庆 400700)

**摘 要:** 针对标准 PROFIBUS-DP 从站产品难以集成到现有集散式控制系统的问题, 提出了网关解决方案. 在对现有网关实现方案进行比较后, 选用软核方案, 设计了具有热插拔功能且兼容两种实现方案的硬件平台. 采用模块化设计思想进行软件架构, 应用状态机法实现了“PROFIBUS-DP 通信”子功能. 从防错设计、纠错设计、故障恢复设计等方面对设计方案中软、硬件可靠性进行了详细分析. 针对硬件特性, 从调度策略的角度阐述了影响系统实时性的关键问题, 并对自主设计主站的难点问题-组态设计进行了说明. 该方案支持系统运行过程中动态地增加和删除从站, 修改从站配置参数. 分析并实验测试了网关的性能参数, 网关最高支持 3 Mbit/s 的通信波特率. 实验结果表明, 系统性能优越, 运行稳定.

**关 键 词:** 网关; 软核; 可靠性; 实时性; 模块化

**中图分类号:** TP 273<sup>+</sup>.5

**文献标识码:** A **文章编号:** 1001-5965(2011)08-0990-07

## Key technology on PROFIBUS-DP master gateway

Xia Jiqiang Liang Chaozhong Geng Chunming

(School of Mechanical Engineering and Automation, Beijing University of Aeronautics and Astronautics, Beijing 100191, China)

Chen Xuejun

(China Silian Instrument Group Co. Ltd, Chongqing 400700, China)

**Abstract:** To solve the problem that distribute control system is difficult to integrate standard PROFIBUS-DP slaves, gateway solution was proposed. After comparing several existing gateway solutions, soft core implementation was adopted. Hardware platform which was compatible with two solutions and supported hot plug operation was designed. Modular thought was applied to do software architecture designation. State-machine method was used to implement “PROFIBUS-DP communication” sub function. Solution reliability on both hardware and software was traversed from the view point of chip selection, fault-precaution, fault-rectify and failure-resume. Proper schedule strategy to enhance system’s real-time performance was expatiated according to hardware’s characteristics. Slave’s configuration method which is a difficult point when it comes to self-designed host was designed to support add and delete slave as well as edit slave configuration dynamically when system is running. Theoretical analysis and experimental test were done to identify gateway’s capability parameters. The gateway can support up to 3 Mbit/s communication baud rate. Experimental results show that system performance is excellent and stabilized.

**Key words:** gateway; soft core; reliability; real-time performance; modular

智能化、网络化和集成化是工业自动化技术的发展方向<sup>[1]</sup>, 当前多种工业现场总线产品共存的现状阻碍了工业控制系统的网络化集成. 通过

网关将具有标准总线接口的产品集成到现有控制系统, 是提高系统的性能并扩展其应用范围的有效途径. PROFIBUS-DP(以下简称 DP)主站网关

主要解决系统集成过程中众多标准 DP 从站产品的接入问题. 该网关作为具有独立功能的子系统, 通过原网络协议与控制系统进行通信; 作为 DP 主站, 通过标准 DP 协议实现对 DP 从站的控制.

作为典型的嵌入式系统, 可靠性和实时性是影响网关性能的重要指标. 嵌入式系统软件相关理论<sup>[2-7]</sup>的发展研究对高性能网关的设计提供了强有力的指导.

本文在完成功能分析的基础上, 设计了支持热插拔的 DP 主站网关硬件平台; 采用模块化设计思想, 从防错设计、纠错设计、故障恢复设计等方面对设计方案中软件可靠性进行了详细分析. 从调度策略的角度阐述了影响网关实时性的关键问题; 详细分析了网关的实时性能参数, 并搭建了测试系统平台对网关性能进行了测试, 测试结果与理论分析相符.

### 1 网关总体方案设计

当前工业通信用网关的设计主要有协议芯片、硬核、软核 3 种解决方案<sup>[8]</sup>. 对于 DP 主站功能的实现, 采用协议芯片解决方案以文献[9]为代表, 硬核方案以文献[10]为代表, 文献[11]采用了软核方案. 3 种解决方案中基于协议芯片方案的居多, 其具有较短的开发周期及较高的可靠性. 硬核解决方案北京航空航天大学正在进行开发中, 已经实现了 DP-V0 的单主站功能, 多主站功能的开发正在进行中. 软核实现方案由于需要解决外设速率问题还要解决 DP 通信与其它任务争用 CPU 等问题, 一般认为不适合于 DP 通信速率高于 500 kbit/s 的情况. 但是随着芯片的高速发展不仅出现了高速串行口专用芯片, 而且出现了集成高速串行口芯片的 ARM 处理器, 这为高性能软核解决方案的实现提供了很好的硬件平台. 本网关就是基于软核解决方案的一个很好的实例. 本网关需要完成 DP 主站和与控制系统通信 (以下简称“与用户通信”) 2 方面的功能.

DP 主站功能: 读取从站诊断信息; 配置从站参数; 检查从站通信接口; 读取从站输入数据并更新其输出数据; 从站状态机的维护.

与用户通信功能: 接收从用户发送的主站配置参数和从站配置参数、通信接口参数等信息; 向用户返回当前网关运行状态, 从站参数配置、通信接口检查结果等运行信息; 接收从站输出数据, 并向用户提供从站输入数据.

#### 1.1 网关硬件设计

当前可选的方案有 ARM 单芯片解决方案和

ARM + 外扩高速串行口 2 种. 单芯片实现方案可以选取 Cotex-M3 核的 ARM 芯片及对应的外围电路实现硬件平台; ARM 外扩高速串行口平台可以选取 ARM 芯片 + 外扩高速串行芯片的实现方式. 2 种解决方案的优缺点如表 1 所示.

表 1 网关硬件方案比较

解决方案	优点	缺点
单芯片解决方案	数据直接来自于系统 RAM, 减少了数据拷贝过程中的时间损耗	同时管理数据链路层的报文接收及报文处理挑战 CPU 的处理能力
ARM + 外扩高速串行口	充分利用集成芯片的智能数据收发功能, 将 CPU 从链路管理工作中解放出来便于其专注于报文处理	数据需在 CPU 和外围芯片之间传送, 增加了一环数据的传送时间损耗

本网关硬件方案实现过程为了保证硬件平台设计的成功性, 将 2 种解决方案结合起来, 同时为 2 种解决方案提供了硬件接口. 其总体结构如图 1 所示.

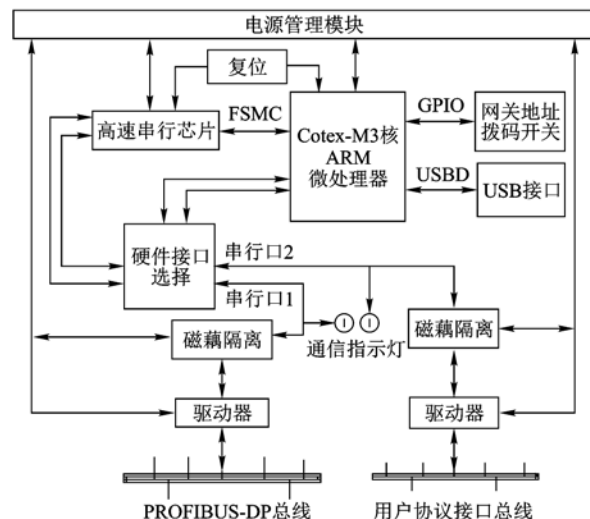


图 1 网关系统硬件结构图

按照功能划分可分为电源管理模块、中央管理模块、RS485 通信模块和硬件接口选择模块. 电源管理模块负责整套系统的电源供给, 系统的稳定运行与电源模块的抗干扰性能密切相关, 为了满足工业现场的需求此处设计的电源管理模块除了电压转换功能外, 还实现了热插拔的功能; 中央管理模块负责 DP 物理层以上协议栈的实现以及与用户通信协议栈的实现, 并负责完成 2 种协议数据映射关系的管理; RS485 通信模块完成 DP 通信中物理层的协议的实现; 硬件接口选择模块为了上述兼容性硬件接口选择而设计. 为了调试以及系统故障诊断方便, 此设计还在关键控制线、通信端口以及电源端口部分添加了 LED 灯来指示系统的运行状态; 并设计了 USB 接口以方便系

统扩展性方面的需求.

### 1.2 网关软件设计

为了提高网关的可靠性,网关软件采用模块化设计思想,将系统按照功能分解为2个子系统,分别完成DP网络通信和用户通信接口的功能.此外,系统在设计过程中引入了容错设计<sup>[12]</sup>思想.其中用户通信模块部分层次关系如图2所示.

用户通信模块从“帧接收模块”开始,此模块在判断用户帧接收完毕之后,将用户帧数据指针传递给“帧处理模块”,“帧处理模块”调用“帧校验模块”进行循环冗余校验码(CRC, Cyclic Redundancy Check)校验, CRC 校验不通过则调用“错误处理模块”,然后返回;否则,调用“网关消息路由模块”,根据用户帧的操作类型将消息指针传递给“参数设置处理模块”、“网络状态读取模块”或“从站指令处理模块”分别进行帧处理,其中“从站指令处理模块”还会调用“从站消息路由模块”将消息帧路由给从站处理相关的8个模块分别进行处理.用户帧处理完毕后,调用“回应帧处理模块”提供的接口来填充回应帧,填充完毕,通过“帧处理直接内存存取(DMA, Direct Memory Access)管理模块”管理回应帧的DMA发送功能,并在发送完成之后,重新开启用户帧的DMA接收功能.这样,一次用户帧处理完成,之后重新等待用户帧的到来.

DP网络通信模块的层次关系如图3所示.此模块在实现上主要通过维护3个状态机来实现.这3个状态机及其功能如下:

Slave\_Handler 状态机:此功能模块控制主-从通信.该状态机根据DP从站状态作出相应处理,有固定的处理次序(按照从站状态机的规定来执行),每次调用Slave\_Handler 状态机产生一个DDLM请求.本网关的实现中对Slave\_Handler 的状态机实现设计了所有从站共用的通用接口,传入当前操作从站的结构体指针,来产生对应从站的DDLM请求.

Scheduler 状态机:此功能模块规定调入相应的Slave\_Handler、网络上报文的顺序以及控制全局的状态转换.设计过程中采用100 μs (Min\_Slave\_Intervall 时基)的定时器完成监控,初始化DDLM并复位Slave\_Handler 状态机的部分独立成Scheduler\_Handler\_Pre 模块,此模块还负责完成从站数据结构内指针及配置信息、状态信息标志等的初始化功能.

Service\_Handler 状态机:此功能块进行本地管理和控制,本设计中和从站相关的功能除Slave\_Handler 状态机和Scheduler 状态机实现的功能外全部由此实现.除此之外,还完成与用户通信模块之间的交互,完成2个协议栈之间参数及数据的传递.

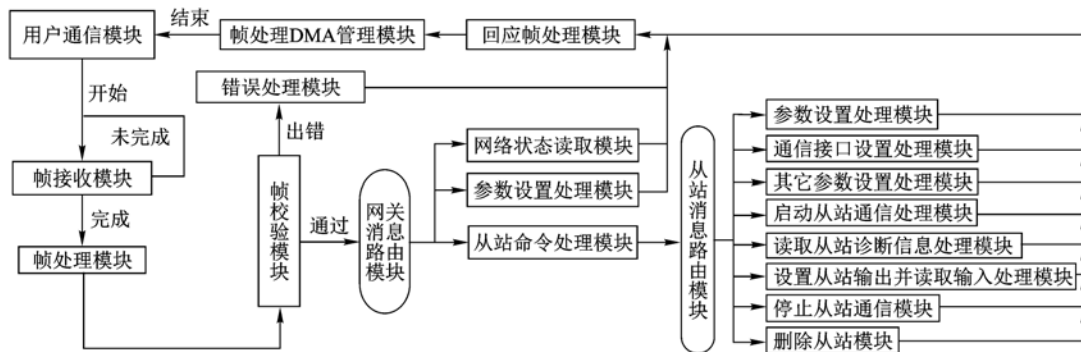


图2 用户通信模块结构图

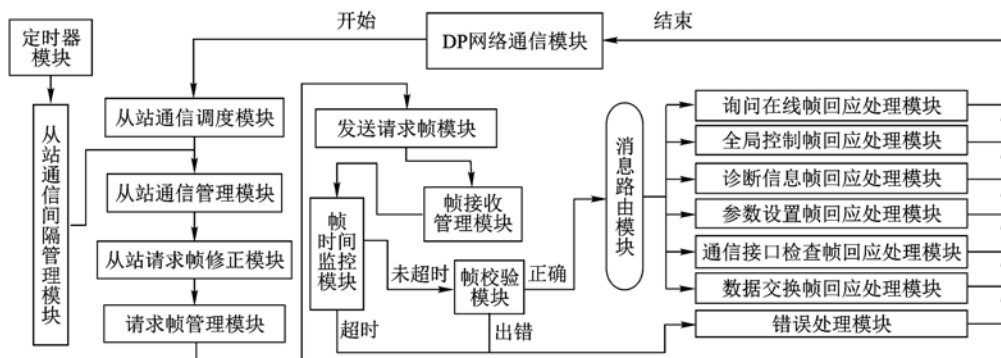


图3 DP通信模块结构

DP 网络通信模块和用户通信接口模块是 2 个独立的模块,他们共享硬件相关的函数库和从站相关数据结构. 这 2 个模块还互为生产者和消费者的关系,用户通信模块为 DP 网络通信模块提供从站相关的组态(设备描述文件(GSD, General Station Data)文件相关)信息和从站输出数据;DP 网络通信模块为用户通信模块提供从站输入数据及从站运行状态相关信息.

## 2 网关关键技术分析

工业信用网关在运行过程中需要保证其可靠性和实时性. 可靠性体现在网关长期可靠工作以及出错后自动恢复 2 方面. 实时性体现在保证要传输的数据及时地传到对应的目的端口. 针对本网关还需要设计灵活的系统组态功能,以完成系统在运行过程中动态添加新的 DP 从站的目的.

### 2.1 硬件可靠性

CPU 选型过程中除了考虑到硬件方案的通用性(如将 2 种硬件平台解决方案集成到一起)外,还从尽量排除系统可能受到干扰的角度考虑进行系统设计. 普遍认为,工业控制系统的可靠性和其自身的复杂程度是成反比的. 本网关选用的 STM32F103x 系列的 CPU 频率最高可达 72 MHz, 可达到 1.25Dhrystone MIPS/MHz, 即其指令执行频率可达 90 MIPS (Million Instruction Per Second), 而且其通用输入/输出(GPIO, General Purpose Input Output), USART, USB, AD/DA 等外设功能都可以通过指令控制独立地开启或关闭,这样只需要开启所需要的功能,关闭其它不需要的功能,不仅降低了系统功耗,而且降低了系统复杂度,从源头上将系统可能受到的干扰降到最低.

外部设备的选型过程除了考虑能满足的性能要求前提下,尽量选用符合国家标准要求的通用芯片,质量稳定性好,对于系统可靠性和应用后的维护工作都非常有利. 外部电路除电源转换模块外,还需要隔离芯片和 485 总线电平转换芯片,隔离芯片选择的是磁耦隔离芯片,满足功能的前提下,在印刷电路板(PCB, Printed Circuit Board)上所占面积更小,瞬态共模抑制能力更强,最大传输延迟 < 50 ns, 脉宽失真 < 3 ns, 对于 DP 网络采用 3 Mbit/s 波特率设置时,网络波形失真率 < 1%, 完全满足要求. 485 电平转换芯片选用的芯片工作电压 3.0 ~ 3.6 V, 支持“压摆率”限制,从而降低电磁干扰.

### 2.2 软件可靠性

嵌入式系统中除了可靠的硬件平台外,还必须配备良好的软件才能够达到稳定运行的目标. 因此,软件的稳定性和抗干扰性是衡量系统可靠性的重要指标. 本网关在软件实现中所采取的保证可靠性措施主要有防错设计、纠错设计、故障恢复设计等.

防错设计:主要体现在系统程序自检技术<sup>[13]</sup>及数据封装方面. 系统软件设计过程中采用分层结构,底层跟硬件操作相关的层及跟通信模块相关的层,这些层次之间通过层间接口进行通信,层间接口在设计过程中对输入的参数全部进行有效性检查(包括指针有效性、数值有效性、逻辑有效性检查等). 在数据封装方面,对于用户通信和 DP 通信采用不同的功能模块,私有数据供模块内部调用,并提供模块间访问接口实现相关数据的共享,这样便可以防止出现模块间数据重名以及编程过程中误修改产生的问题.

纠错设计:网关通信过程中不管是和用户的通信还是 DP 网络的通信,采用的都是半双工的 RS485 通信. 最基本的要求是分配好开启接收和发送控制线的时间问题,开启的时间晚了,从站回应帧接收不完整;反之,则会导致主站请求帧发送不完整. 因此,对此控制引脚的管理是很重要的一环,系统在发送和接收过程中设置了专门的定时器来完成发送数据的监控,防止因为软件故障而导致控制信号的丢失.

故障恢复设计:采用看门狗技术. 系统软件在运行过程中开启硬件看门狗,软件必须在一定的时间内“喂狗”,否则就会导致看门狗对系统的复位. 这样防止了因程序跑飞而导致无法恢复的错误. 软件中还加入了对网关核心外设-串口及 DMA 传输错误的检测,一旦检测到硬件出问题后,对硬件进行重新初始化操作,以保证网关出现硬件故障后自动恢复的功能.

### 2.3 网关实时性设计

对于网关系统来说除了要保证其可靠工作外,还要保证系统的实时响应能力. 实时能力主要体现在 2 个方面:DP 网络通信响应能力和用户通信响应能力. 但这 2 个通信模块的响应能力是相互矛盾的,因为它们会竞争 CPU 的使用权,因此如何在这对矛盾体寻求一个平衡点至关重要.

STM32F103 系列的 CPU 有一个缺点:USART 没有 FIFO(First Input First Output),但是可以靠 DMA 传输来弥补这一缺点,而采用 DMA 必须设定一个缓冲区大小,设置好以后有 3 种中断可用

传输完成中断、传输错误中断、半数传输完成中断.而在用户通信模块中,不能预料用户命令帧的大小,因此在设计缓冲区的时候必须设计一个最大的缓冲区,这样就不能通过硬件的标志位来得到用户命令帧传输结束的信号,只能通过软件查询的方式来判断数据帧是否接收完毕. DP 通信模块和用户通信模块对 CPU 占用可以有图 4 所示的顺序调度和并行调度 2 种策略可用,2 种调度策略的优缺点见表 2.

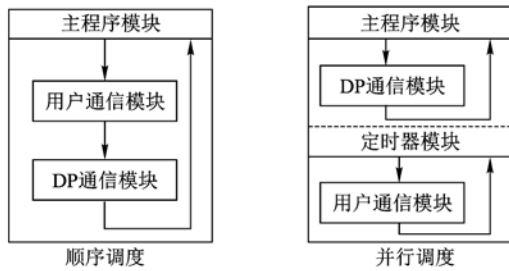


图 4 模块调度策略示意图

表 2 模块调度策略优缺点

调度策略	优点	缺点
顺序调度	实现简单,不易出错;顺序占有 CPU	模块通信具有不确定的通信延时;CPU 利用率低
并行调度	模块具有最坏通信延迟;CPU 利用率高	实现复杂,容易出错;竞争 CPU 使用

这 2 种调度策略中顺序调度在网关两端所连接系统均处于低速时候效果尤其不好,因为 2 个通信模块在调度过程中都会占用较长时间的 CPU,导致实时性能变差.而并行调度模块由于争用 CPU,相对来说提高了 CPU 的利用率,具有较好的实时性.软件的实现上采用了“并行调度”的策略.

通过分析此网络中 DP 通信实时性要求较高,因此在并行调度过程的主程序模块中不停地调用 DP 通信模块,而定时模块中调用用户通信模块.

除了模块调度策略上考虑提高系统实时性外,本网关在设计过程中还大量采用函数指针及一次性内存拷贝等技术<sup>[8]</sup>来提高系统处理信息的能力,也使系统具有良好的可扩展性能.

### 2.4 组态设计

每个 DP 从站都有对应的 GSD 文件对其参数和性能进行描述,系统组态便是从 GSD 文件中提取通信配置参数及通信接口检查过程中需要的数据,从而为与从站通信提供正确信息.本网关可以从用户通信接口接收控制系统发送的从站描述及配置参数,据此对相应从站进行组态,达到 DP 网络动态组态的目的.

网关实现中将 GSD 文件对应的参数设置信息、通信接口信息以及其它信息发送给网关.网关在接收到上述参数配置命令之后填充好从站对应的数据结构,在收到开启主站的命令后,网关开对应从站的 Slave\_Handler 状态机,并加入 Scheduler 功能模块的调度序列中,这样站就开始与组态从站进行通信了.

组态命令的格式如图 5 所示,各字段含义及长度信息如表 3 所示.

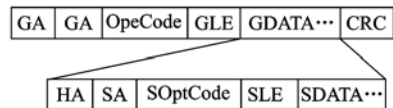


图 5 从站组态命令格式

表 3 从站组态信息字段含义及长度表

符号	意义	长度/Byte
GA	网关地址	1
OpeCode	网关操作码	1
GLE	网关部分数据长度	2
GDATA	网关部分数据域	GLE
HA	网关在 DP 网络中的地址	1
SA	目标 DP 从站的地址	1
SOptCode	DP 从站组态操作码	1
SLE	组态信息数据长度	1
SDATA	组态信息数据域	SLE
CRC	CRC 校验和	2

SOptCode 的定义如图 6 所示,对应位置 1 表示该帧为对应指令帧.

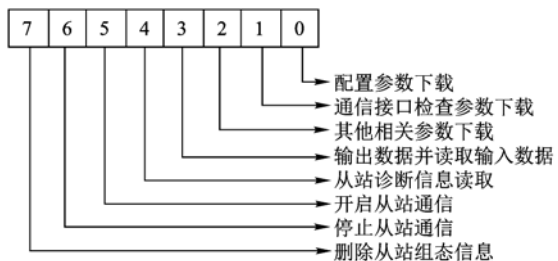


图 6 从站操作码位信息

## 3 网关性能分析与测试

主站网关的性能主要体现在其对所连接的 2 个网络之间数据转换的速度以及对 2 个网络中数据请求方响应的快慢.

在对本网关进行性能测试时,搭建了如图 7 所示的测试平台,该平台中以 PC 机作为用户通信接口,通过用户通信模块硬件端口进行连接,并与网关进行用户通信;主站网关下连接了 ET200S 标准从站和 MM420 变频器从站以及自主研发的 DP 从站与其通过 DP 协议进行通信.软件方面在需要测试的代码段前后开启定时器,记录关键代

码段的运行时间来记录其性能参数。

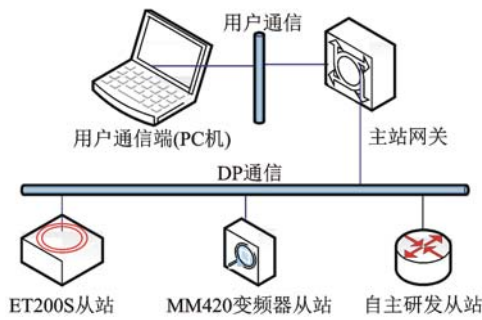


图 7 主站网关测试平台示意图

经过测试, DP 通信系统波特率满足 DP 协议中该规定的从 9.6 kbit/s ~ 3 Mbit/s 范围内的所有波特率。

由于网关在通信策略上选择了图 4 中的并行调度策略, 并且系统方案中所选用的 CPU 支持硬件上中断嵌套, 即使系统正在进行中断处理也可以被其它更高优先级的中断打断。在优先级方面, 软件上保证 DP 通信方面的中断优先级最高, 其可以中断其它所有正在进行的操作。DP 通信中断处理时间为 DP 通信模块中从网关请求帧 DMA 传输结束到开启控制线接收从站回应帧之间的时间, 即为系统所允许的 DP 从站最快的响应时间  $t_{\text{sys-sdr}}$ 。

经测试得:  $t_{\text{sys-sdr}} = 0.6 \mu\text{s}$ 。

DP 标准中对于  $T_{\text{sdr}}$  (从站对请求的响应时间) 的推荐值如表 4 所示。

表 4 不同总线速率下  $T_{\text{sdr}}$  的推荐值

波特率/(kbit · s <sup>-1</sup> )	min( $T_{\text{sdr}}/T_{\text{bit}}$ )	max( $T_{\text{sdr}}/T_{\text{bit}}$ )
9.6	11	60
19.2	11	60
31.25	11	60
93.75	11	60
187.5	11	60
500	11	100
1500	11	150
3000	11	250

注:  $T_{\text{bit}}$  为传输 1 bit 所需的时间。

DP 网络波特率在 3 Mbit/s 时的通信对网关性能要求最为严格。此时,  $\min T_{\text{sdr}} = \frac{11 \times 1}{3} \approx 3.7 (\mu\text{s})$ 。由此可见,  $t_{\text{sys-sdr}} < \min T_{\text{sdr}}$ , 即网关系统满足 DP 通信最苛刻时候的条件。

网关用户通信模块响应时间  $t_{\text{usr-res}}$  的最坏的情况为: 本次查询帧还未结束传输, 本次查询刚刚结束, 用户请求帧便传输完成, 下次查询时还未启动回应帧的数据发送则被 DP 通信模块请求帧发送完成的中断打断, 在完成 DP 中断响应后, 回到

此处继续执行之前被打断数据帧的处理。因此有:

$$\max t_{\text{usr-res}} = t_{\text{sys-sdr}} + T_{\text{usr-com}} + \max t_{\text{usr-com}}$$

其中,  $T_{\text{usr-com}}$  (定时扫描用户通信模块的周期) 在系统软件设计时候定为 5 ms。经过上述测试系统的测试得用户通信模块所用的最长时间  $\max t_{\text{usr-com}}$  为 1.32 ms。

根据上面的分析及系统测试, 可得系统对用户通信请求的最坏响应时间约为 6.33 ms, 最好响应时间为 1.32 ms。因此, 系统平均响应时间为 3.82 ms。示波器观察用户通信请求帧和网关回应帧的波形图如图 8 所示。从图中可以看出, 平均响应时间在 3.4 ms 左右, 与理论分析相符。

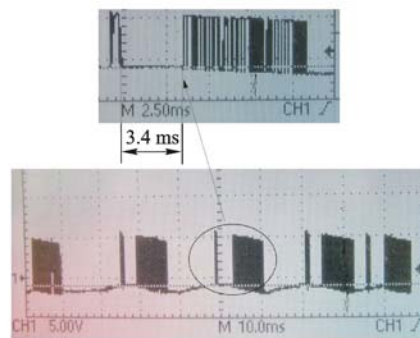


图 8 网关的用户命令响应波形图

## 4 结束语

本文对 DP 主站通信用网关的单芯片软核设计方案进行了阐述。针对本网关, 在硬件设计上, 采用电源管理模块实现网关的热插拔功能; 采用磁耦隔离代替传统的光耦隔离, 提高了系统的硬件可靠性; 软件方面, 从模块化设计、防错设计、纠错设计、故障恢复设计方面考虑, 采用指针路由技术以及合理的中断应用及模块调度策略来保证系统的实时性和可靠性; 并分析且通过实验测试得到了其性能参数及最坏响应时间。不仅为下一步实现主-主通信及设计上位机高性能监控及通信系统提供了基础, 也为其它工业通信用网关的设计提供了参考。

## 参考文献 (References)

- [1] Chen Zaiping, Yao Xiaowei, Yin Xunlei. Research of schemes on integration of fieldbus system[C]//IECON Proceedings (Industrial Electronics Conference). Piscataway, NJ: IEEE, 2005: 416-420
- [2] Su Yushen, Huang Chinyu, Chen Yishin, et al. An artificial neural-network-based approach to software reliability assessment [C]//IEEE Region 10 Annual International Conference, Proceedings/TENCON. Piscataway, NJ: IEEE, 2005: 1-6
- [3] Zhang Xiaonan, Liu Anxin, Gao Yaming, et al. The prediction model of software reliability based on the modular[C]//Internat-

- tional Forum on Information Technology and Applications. Piscataway, NJ: IEEE, 2009: 315 - 318
- [4] Lee Wangbong, Jung Boo Geum, Baik Jongmoon. Early reliability prediction: an approach to software reliability assessment in open software adoption stage [C]//Proceedings-The 2nd IEEE International Conference on Secure System Integration and Reliability Improvement, SSIRI 2008. Piscataway, NJ: IEEE, 2008: 226 - 227
- [5] Teng Xiaolin, Pham Hoang. A new methodology for predicting software reliability in the random field environments [J]. IEEE Transactions on Reliability, 2006, 55(3): 458 - 468
- [6] Bo Yang, Xiang Li. A study on software reliability prediction based on support vector machines [C]//2007 IEEE International Conference on Industrial Engineering and Engineering Management. Piscataway, NJ: IEEE, 2007: 1176 - 1180
- [7] 黄宁, 陈未如. 基于架构风格的软件可靠性评估 [J]. 计算机系统应用, 2009, 18(5): 198  
Huang Ning, Chen Weiru. Software reliability evaluation based on architectural styles [J]. Computer Systems Applications, 2009, 18(5): 198 (in Chinese)
- [8] 夏继强, 梁超众, 邢春香. 工业通信网关设计及其关键技术研究 [J]. 电子技术应用, 2010, 36(2): 118 - 125  
Xia Jiqiang, Liang Chaozhong, Xing Chunxiang. Design of PROFIBUS-DP intelligent gateway [J]. Application of Electronic Technique, 2010, 36(2): 118 - 125 (in Chinese)
- [9] 方彦军, 胥军. 集成以太网接口的 PROFIBUS 现场总线智能主站的开发 [J]. 仪表技术与传感器, 2005(8): 37 - 38  
Fang Yanjun, Xu Jun. Development on PROFIBUS intelligent master integrated with ethernet interface [J]. Instrument Tech-
- nique and Sensor, 2005(8): 37 - 38 (in Chinese)
- [10] 胡伟平. 基于 FPGA 和 ARM 的 PROFIBUS-DP 主站平台 [D]. 北京: 北京航空航天大学机械设计及自动化学院, 2009  
Hu Weiping. PROFIBUS-DP master station platform based on FPGA and ARM [D]. Beijing: School of Mechanical Engineering and Automation, Beijing University of Aeronautics and Astronautics, 2009 (in Chinese)
- [11] 吕跃刚, 王晏晏, 徐大平. PROFIBUS-DP 主站通信卡的研发 [J]. 计算机信息, 2006, 22(11-1): 79 - 82  
Lü Yuegang, Wang Yanyan, Xu Daping. Research and development of the PROFIBUS-DP card based on WinCE. net [J]. Microcomputer Information, 2006, 22(11-1): 79 - 82 (in Chinese)
- [12] 陈德金. 军用实时软件失效机理及可靠性提高途径初探 [J]. 系统工程与电子技术, 2000, 22(4): 91 - 93  
Chen Dejin. A basic analyzation of the fault mechanism and the improvement of the reliability for military real-time softwares [J]. System Engineering and Electronics, 2000, 22(4): 91 - 93 (in Chinese)
- [13] 曲辉, 葛丽娟, 张海军. 提高嵌入式系统可靠性软件抗干扰措施 [J]. 内蒙古农业大学学报: 自然科学版, 2009, 30(1): 229 - 232  
Qu Hui, Ge Lijuan, Zhang Haijun. Software anti-interference measurement of enhancing the reliability of embedded system [J]. Journal of Inner Mongolia Agricultural University, 2009, 30(1): 229 - 232 (in Chinese)

(编辑: 文丽芳)

(上接第 967 页)

## 参考文献 (References)

- [1] Bernat G, Burns A, Llamosi A. Weakly hard real-time systems [J]. IEEE Transactions on Computers, 2001, 50(4): 308 - 321
- [2] Hamdaoui M, Ramanathan P. A dynamic priority assignment technique for streams with  $(m, k)$ -firm deadlines [J]. IEEE Transactions on Computers, 1995, 44(12): 1443 - 1451
- [3] Koren G, Shasha D. Skip-over: algorithms and complexity for overloaded systems that allow skips [C]//Real-Time Systems Symposium. Pisa: IEEE, 1995: 110 - 117
- [4] Ramanathan P. Overload management in real-time control applications using  $(m, k)$ -firm guarantee [J]. IEEE Transactions on Parallel And Distributed Systems, 1999, 10(6): 549 - 559
- [5] Quan G, Hu X. Enhanced fixed-priority scheduling with  $(m, k)$ -firm guarantee [C]//Real-Time Systems Symposium. Orlando: IEEE, 2000: 79 - 88
- [6] Kim K H, Kim J. An energy-efficient FEC scheme for weakly hard real-time communications in wireless networks [C]//Embedded and Real-Time Computing Systems and Applications. Sydney: IEEE, 2006: 415 - 419
- [7] Willig A. Scheduling multiple streams with  $(m, k)$ -firm deadlines having different importance over markovian Channels [C]//Emerging Technologies and Factory Automation. Catania: IEEE, 2005: 79 - 85
- [8] Semprebom T, Montez C, Moraes R. Distributed DBP: a  $(m, k)$ -firm based distributed approach for QoS provision in IEEE 802.15.4 networks [C]//Emerging Technologies & Factory Automation. Mallorca: IEEE, 2009: 1 - 8
- [9] Gilbert E N. Capacity of a burst-noise channel [J]. Bell System Technical Journal, 1960, 39(8): 1253 - 1265
- [10] Niu Linwei, Quan gang. Energy minimization for real-time systems with  $(m, k)$ -guarantee [J]. IEEE Transactions on Very Large Scale Integration Systems, 2006, 14(7): 717 - 729
- [11] Zheng Q, Shin K G. On the ability of establishing real-time channels in point-to-point packet-switched networks [J]. IEEE Transactions on Communication, 1994, 42(234): 1096 - 1105
- [12] Shakkottai S, Srikant R. Scheduling real-time traffic with deadlines over a wireless channel [J]. Wireless Networks, 2002, 8: 13 - 26

(编辑: 娄嘉)