

# 新型高速低功耗 CMOS 动态比较器的特性分析

吴笑峰<sup>1,2</sup>, 刘红侠<sup>1</sup>, 石立春<sup>1</sup>, 李迪<sup>1</sup>, 胡仕刚<sup>1</sup>

- (1. 西安电子科技大学 微电子学院 宽禁带半导体材料与器件教育部重点实验室, 陕西 西安, 710071;  
2. 湖南科技大学 信息与电气工程学院, 湖南 湘潭, 411201)

**摘要:** 为了降低 sigma-delta 模数转换器功耗, 针对应用于 sigma-delta 模数转换器环境的 UMC 0.18  $\mu\text{m}$  工艺, 提出 1 种由参考电压产生电路、预放大器、锁存器以及用作输出采样器的动态锁存器组成的新型高速低功耗的 CMOS 预放大锁存比较器。该比较器中输出采样器由传输门和 2 个反相器组成, 可在较大程度上减少该比较器的功耗。电路采用标准 UMC 0.18  $\mu\text{m}$  工艺进行 HSPICE 模拟。研究结果表明: 该比较器在 1.8 V 电源电压下, 分辨率为 8 位, 在 40 MHz 的工作频率下, 功耗仅为 24.4  $\mu\text{W}$ , 约为同类比较器功耗的 1/3。

**关键词:** 预放大锁存比较器; sigma-delta ADC; 输出采样器; CMOS 工艺

中图分类号: TN432

文献标识码: A

文章编号: 1672-7207(2009)05-1354-06

## Characteristic analysis of a new high-speed and low-power CMOS dynamic comparator

WU Xiao-feng<sup>1,2</sup>, LIU Hong-xia<sup>1</sup>, SHI Li-chun<sup>1</sup>, LI Di<sup>1</sup>, HU Shi-gang<sup>1</sup>

- (1. Key Laboratory for Wide Band-Gap Semiconductor Materials and Devices of Ministry of Education, School of Microelectronics, Xidian University, Xi'an 710071, China;  
2. School of Information and Electrical Engineering, Hunan University of Science and Technology, Xiangtan 411201, China)

**Abstract:** To reduce power dissipation of a sigma-delta analog-to-digital converter, a new high-speed and low-power dissipation CMOS preamplifier-latch comparator, which is suitable for use in a sigma-delta analog-to-digital converter, was presented in CMOS 0.18  $\mu\text{m}$  technology. The comparator consists of a reference voltage generation circuit, a preamplifier and a latch stage followed by a dynamic latch that operates as an output sampler. The output sampler circuit consists of a full transmission gate(TG) and two inverters. The use of this sampling stage results in the reduction in the power dissipation of the high-resolution comparator. Hspice simulations of the proposed circuit in a UMC 0.18  $\mu\text{m}$  standard CMOS technology operating at supply voltage of 1.8 V was made. The results show that the resolution is 8 bit and the power dissipation is only 24.4  $\mu\text{W}$  at 40 MHz. The power dissipation is about 1/3 of that of the similar comparators.

**Key words:** preamplifier-latch comparator; sigma-delta ADC; output sampler; CMOS process

比较器是模拟集成电路设计中的 1 个基本模块, 被广泛应用于模/数<sup>[1]</sup>(A/D)和数/模(D/A)转换器中。在大多数情况下, 比较器采用正反馈来提高结果的收敛

速度。1 种基本的比较器由 2 个反相器构成门锁型, 即 1 个反相器的输出端接另 1 个反相器的输入端而形成交叉耦合反相器<sup>[2-4]</sup>。在复位期间, 门锁比较器进入

收稿日期: 2008-12-17; 修回日期: 2009-03-23

基金项目: 国家自然科学基金资助项目(60206006); 教育部新世纪优秀人才计划项目(NCET-05-0851); 教育部科技创新工程重大项目培育资金资助项目(708083); 西安应用材料创新基金资助项目(XA-AM-200701)

通信作者: 吴笑峰(1974-), 男, 湖南涟源人, 讲师, 博士研究生, 从事高速高精度模数转换器设计的研究; 电话: 15829738218; E-mail: willow\_wxf@hotmail.com

亚稳态。当复位结束时, 比较器的门锁节点被触发成 2 个稳态(电源电压或者零电压)中的 1 个, 由此输出端输出相应的逻辑值<sup>[5-7]</sup>。传统比较器由几级(前置)放大器和锁存器组成<sup>[8-10]</sup>。在这种传统结构中, 当处于再生过程时, 最后一级锁存器中交叉连接的反相器构成正反馈, 并在比较器的输出端产生轨对轨电压。在该过程中, 通过 2 个交叉连接的反相器从电源电压  $V_{DD}$  到地形成了 1 条低阻抗通路。因此, 最后一级锁存级的功耗很大。本文作者提出的比较器的主要组成部分有: 参考电压产生电路, 预放大器和锁存器。该比较器通过使用输出采样器作为最后的锁存器来减少功耗, 同时, 维持高速性能。1 个传输门(TG)和 2 个反相缓冲器用于实现输出采样电路。预放大器能提高放大器的分辨率, 并能减少整个系统的失调。

### 1 比较器电路的结构分析与设计

在 ADC 中, 通常在比较器前加 1 个前置放大器, 这些前置放大器能提高放大器的分辨率, 并且能减少整个系统的失调。但基于前置放大器的比较器其主要缺点是恒定静态功耗较高。而在 A/D 转换器中, 总功耗中的大部分主要源于需要直流偏置电流的模拟电路部分所需要的静态功耗, 1 种有效的方法是使用动态比较器<sup>[11-13]</sup>, 这样, 静态功耗就会减少。在 A/D 转换器中, 为了满足分辨率、转换率、输入电压范围、功耗和面积等技术指标, 需进行比较器设计。为研发高速、低功耗比较器, 本文作者提出 1 种新颖的动态预放大-锁存比较器结构, 其主电路如图 1~3 所示。主

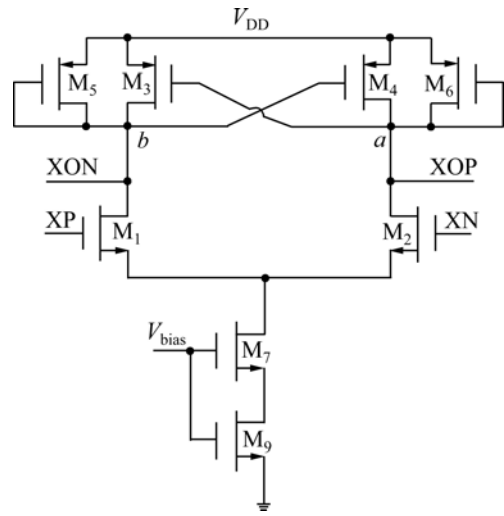


图 2 预放大器电路

Fig.2 Preamplifier circuit

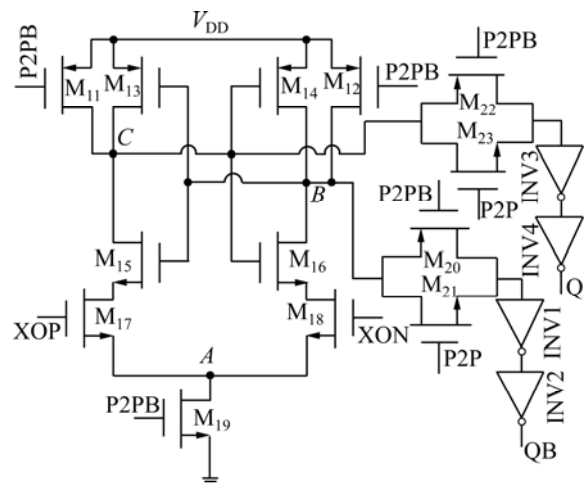


图 3 锁存器结构

Fig.3 Latch architecture

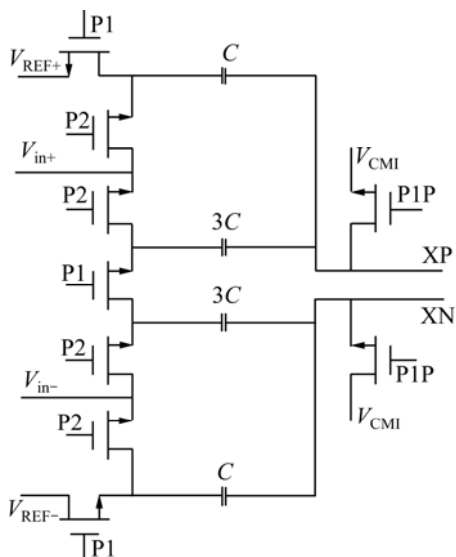


图 1 参考电压产生电路

Fig.1 Reference voltage generation circuit

电路包括: 参考电压产生电路、预放大器、锁存器。

图 1 所示为参考电压产生电路, 这是 1 个典型的开关电容参考电压产生电路, 可以根据电容的比值调节参考电压。其工作原理是: 当 P1 为高电平时,  $V_{REF+}$  给电容  $C$  充电,  $C$  上的电荷为  $(V_{REF+} - V_{CMI}) \cdot C$ 。其中, 时钟控制信号 P1P 的上升沿与 P1 的上升沿平齐, 而其下降沿则在 P1 的下降沿之前, 以实现底板采样, 消除由于开关的电荷注入带来的非线性; 当 P2 为高电平时, 原来电容  $C$  在 P1 时充电的电荷在  $C$  和  $3C$  之间发生转移, 根据电荷守恒, 有:

$$(V_{REF+} - V_{CMI}) \times C = V_C \times 4C \quad (1)$$

此时, 电容  $C$  和  $3C$  上的电压为:

$$V_C = \frac{(V_{REF+} - V_{CMI})}{4} \quad (2)$$

且电容负极板的电势高于其正极板的电势。此时，输出电压为：

$$V_{XP} = V_{in+} - \frac{(V_{REF+} - V_{CMI})}{4} \quad (3)$$

同理，

$$V_{XN} = V_{in-} - \frac{(V_{REF-} - V_{CMI})}{4} \quad (4)$$

差分输出电压为：

$$V_{XP} - V_{XN} = V_{in} - \frac{V_{REF}}{4} \quad (5)$$

若将此差分信号作为比较器的输入信号，则此时比较器的阈值电压为  $V_{REF}/4$ 。

若将  $V_{REF+}$  与  $V_{REF-}$  互相交换，则可得：

$$V_{XP} - V_{XN} = V_{in} + \frac{V_{REF}}{4} \quad (6)$$

显然，此时比较器的阈值为  $-V_{REF}/4$ 。

如果图 1 中的所有电容均为  $C$ ，则根据上面的分析可以得到比较器的阈值电压为  $V_{REF}/2$ 。同样，只要交换  $V_{REF+}$  与  $V_{REF-}$  的位置即可获得阈值电压  $-V_{REF}/2$ 。

图 2 所示为增益自举预放大器电路，图 4 所示为其小信号等效电路，其电压增益<sup>[14]</sup>的分析过程如下。

对图 4 中的  $a$  和  $b$  2 点列节点方程：

$$(g_{M6} + SC_a) = v_{XN}g_{M2} - g_{M4}v_b \quad (7)$$

$$(g_{M5} + SC_b) = v_{XP}g_{M1} - g_{M3}v_a \quad (8)$$

$$v_{XN} = -v_{XP} = \frac{1}{2}v_I \quad (9)$$

由于电路对称， $g_{M2}=g_{M1}$ ， $g_{M5}=g_{M6}$ ， $g_{M3}=g_{M4}$ ， $C_a=C_b$ ，解此联立方程组，可得预运放的增益为：

$$\frac{v_a - v_b}{v_I}(S) = \frac{g_{M1}}{g_{M5} - g_{M3} + SC_a} = \frac{g_{M1}}{g_{M5}} \times \frac{1}{1 - \frac{g_{M3}}{g_{M5}} + \frac{SC_a}{g_{M5}}} \quad (10)$$

其直流增益为：

$$\frac{v_a - v_b}{v_I}(S)|_{S=0} = \frac{g_{M1}}{g_{M5} - g_{M3} + SC_a} = \frac{g_{M1}}{g_{M5}} \times \frac{1}{1 - \frac{g_{M3}}{g_{M5}}} \quad (11)$$

由于  $M_3$ ， $M_4$ ， $M_5$  和  $M_6$  都处于饱和态，其过驱电压相等，只要调整  $M_3$ ， $M_4$ ， $M_5$  和  $M_6$  的宽长比，便可调整  $g_{M3}$  与  $g_{M5}$  之比。例如，若  $g_{M3}$  与  $g_{M5}$  之比为 3:4，则采用增益自举电路后，预运放的增益提升了 4 倍。

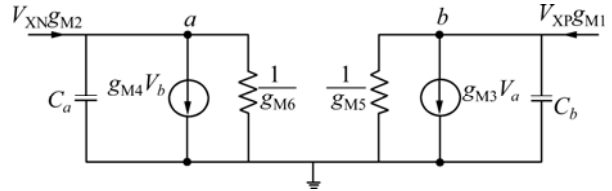


图 4 预放大器的小信号等效电路

Fig.4 Preamplifier small signal equivalent circuit

图 3 中， $M_{11} \sim M_{19}$  构成锁存器， $M_{20}$  和  $M_{21}$  ( $M_{22}$  和  $M_{23}$ ) 构成 1 个传输门； $INV1 \sim INV4$  为 4 个反相缓冲器。1 个完整的传输门(TG)和 2 个反相缓冲器组成输出采样电路<sup>[15]</sup>，即  $M_{20}$  和  $M_{21}$  以及  $INV1$  和  $INV2$  为输出采样电路， $M_{22}$  和  $M_{23}$  以及  $INV3$  和  $INV4$  为输出采样电路。CMOS 锁存器电路的组成为：2 个 NMOS 差分输入对  $M_{17} \sim M_{18}$ ，反相器  $M_{13} \sim M_{15}$  和  $M_{14} \sim M_{16}$  构成正反馈， $M_{11} \sim M_{12}$  为预充电管， $M_{19}$  提供偏置电流。电容  $C_A$  表示节点 A 的寄生电容， $C_L$  表示输出节点 B 和 C 的寄生电容。锁存器电路的动态工作分成复位阶段和再生阶段 2 个时间段。

a. 复位阶段。当 P2PB 信号电压较低时，比较器处于复位阶段。此时， $M_{11} \sim M_{12}$  导通， $M_{19}$  截止，在电源电压和信号地之间没有电流回路，预充电 MOS 管  $M_{11} \sim M_{12}$  将  $v_B$  和  $v_C$  拉到电源电压  $V_{DD}$ ， $v_B$  和  $v_C$  被拉到电源电压  $V_{DD}$  后，迫使  $M_{17}$  和  $M_{18}$  的漏极电压也接近于  $V_{DD}$ 。

b. 再生阶段。当 P2PB 信号电压较高时，比较器进入再生阶段。在再生阶段， $M_{19}$  导通， $M_{11} \sim M_{12}$  截止，输出节点  $v_C$  通过晶体管  $M_{15}$ ， $M_{17}$  和  $M_{19}$  放电，输出节点  $v_B$  通过晶体管  $M_{16}$ ， $M_{21}$  和  $M_{22}$  放电。输出节点放电速度依赖于输入电压，如当  $v_{XOP} > v_{XON}$  时， $v_C$  放电快。假设  $M_{13}$  和  $M_{14}$  有相同的阈值电压，节点  $v_C$  达到  $M_{14}$  的阈值电压要比  $v_B$  达到  $M_{13}$  的阈值电压要早，由于正反馈，锁存结构  $M_{13}$ ， $M_{14}$ ， $M_{15}$ ， $M_{16}$  把  $v_C$  拉至 0，把  $v_B$  拉至电源电压  $V_{DD}$ 。在此过程中，输出节点的放电时间与锁存器电路的再生时间之和的表达式为<sup>[15]</sup>：

$$t_1 = \frac{2C_L V_{TN}}{I_0} + \frac{C_L}{g_{mL}} \ln \left[ \frac{I_0 (V_{DD} - V_{TN} - V_{TP})}{2V_{TN} g_{M17} v_{IN}} \right] \quad (12)$$

式中： $V_{TP}$  是  $M_{13}$  和  $M_{14}$  的阈值电压； $V_{TN}$  是  $M_{15}$  和  $M_{16}$  的阈值电压； $I_0$  为通过  $M_{19}$  的电流； $g_{M17}=g_{M18}$  为

$M_{17}$  和  $M_{18}$  的跨导;  $g_{mL}$  为锁存器的有效跨导;  $v_{IN}$  是输入电压差分值  $v_{XOP}-v_{XON}$ 。

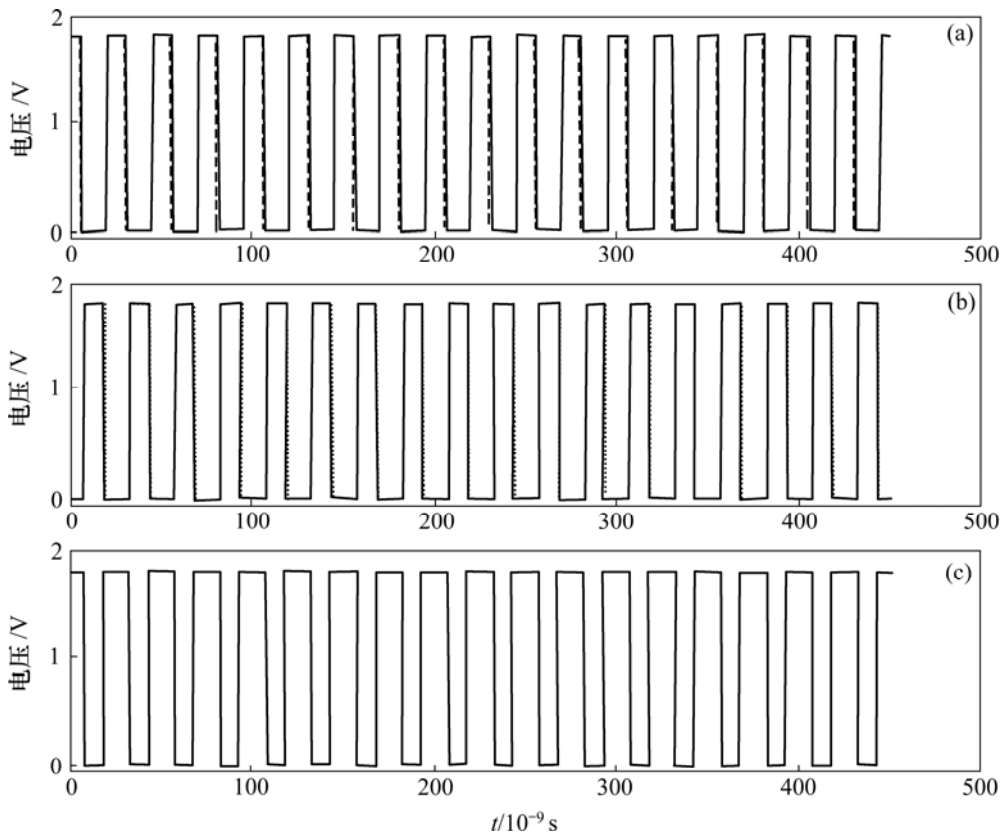
## 2 结果分析与讨论

在 UMC 混合/射频  $0.18 \mu\text{m}$  1P6M P 衬底双阱 CMOS 工艺条件下, 对所提出的预运放-锁存比较器采用 HSPICE 仿真, 仿真条件如下: 时钟信号频率为 40 MHz; 电源电压为 1.8 V; 温度为 125 ; 工艺角模型为 SS(slow NMOS+slow PMOS); 预运放输入共模电压  $V_{\text{CMI}}$  为 0.9 V; 预运放尾电流源电流为 15  $\mu\text{A}$ ; 比较器输入差分电压为 0.215 mV; 比较器输出端电容负载为 0.1 pF。

图 5 所示为控制比较器工作的各相时钟波形。图 6 所示为比较器在所有最坏输入条件下瞬态仿真波形。其中,  $v(\text{P1})$  为节点 P1(见图 1) 的电压, 其余类推。可以看出, 当差分输入电压从+(或)-1.8 V 跳变到+(或)-0.215 mV, 或者从+(或)-0.215 mV 跳变到+(或)-1.8 V 时, 比较器都能输出正确的比较结果。这表明所提出的比较器在上述仿真条件下的差分输入范围为  $-1.8\sim 1.8 \text{ V}$ , 能分辨的最小差分电压为 0.215 mV。

图 7 所示为比较器的电源电流及其平均值。可以看出, 供给比较器的电源电流在 18 个时钟周期内的平均值为 13.546  $\mu\text{A}$ , 因此, 比较器的功耗仅为 24.4  $\mu\text{W}$ 。图 8 所示为经过 HSPICE 100 次 Monte Carlo 仿真后用 MATLAB 作出的比较器失调电压分布。经计算, 失调电压的均值为 2.04 mV, 方差为 20.64  $\mu\text{V}$ , 最大值为 12 mV, 最小值为  $-10 \text{ mV}$ 。因此, 该比较器输入失调电压为 22 mV。又由于所提出的比较器的输入范围为  $-1.8\sim 1.8 \text{ V}$ , 所以, 比较器在上述仿真条件下的分辨率达到 8 位。图 9 所示为一宽带低失真 sigma-delta ADC 中的 4 位 flash ADC 版图(该 flash ADC 包含 16 个所设计的比较器), 该 sigma-delta ADC 中的调制器部分采用 2-2 级联前馈 sigma-delta 调制器, 其第 1 级中的量化器为 1 位, 第 2 级的量化器为 4 位。

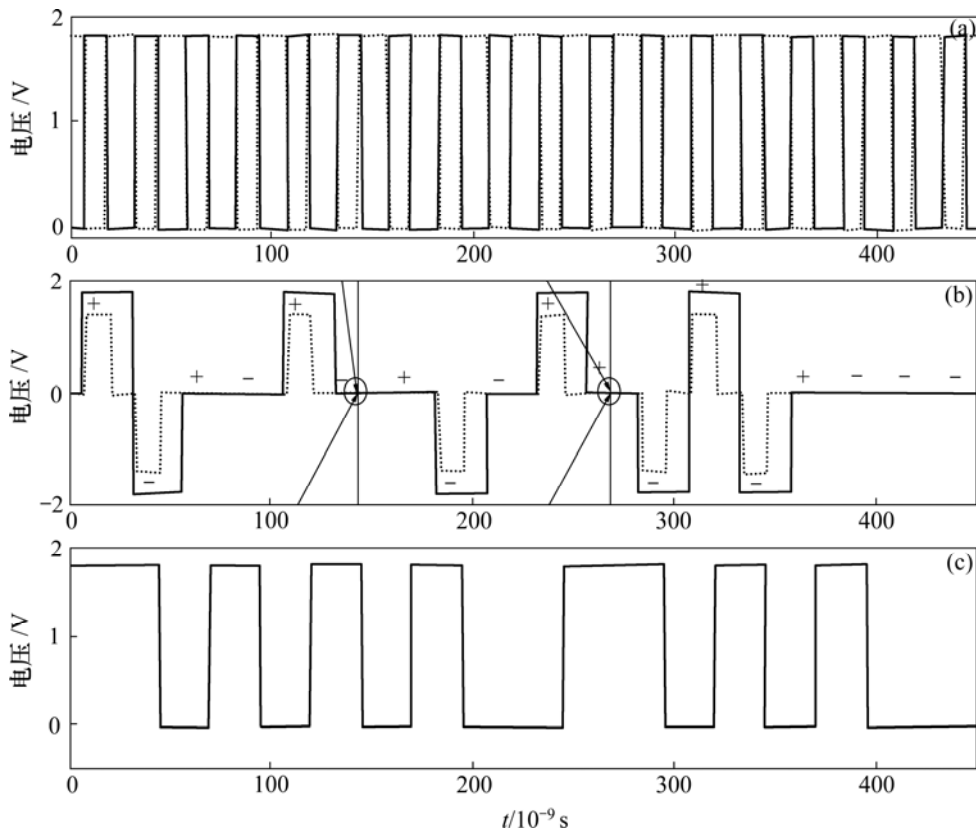
表 1 所示为比较器性能指标仿真比较结果。可以看出, 本文设计的比较器在失调电压、工作频率以及功耗等方面均优于文献[11-13]中所设计的比较器。这种比较器低功耗、高速的特性使得其特别适合于多位宽带 sigma-delta ADC 如 IEEE802.11b 的应用中。如在 sigma-delta ADC 中使用  $N$  位量化器, 所需比较器的个数为  $2^N$ , 那么, 量化器的功耗随  $N$  呈幂级数增加, 因此, 低功耗比较器的使用具有极大的优势, 因为它为



(a)  $v(\text{P1})$ (实线),  $v(\text{P1P})$ (虚线); (b)  $v(\text{P2})$ (虚线),  $v(\text{P2P})$ (实线); (c)  $v(\text{P2PB})$

图 5 比较器工作的各相时钟波形

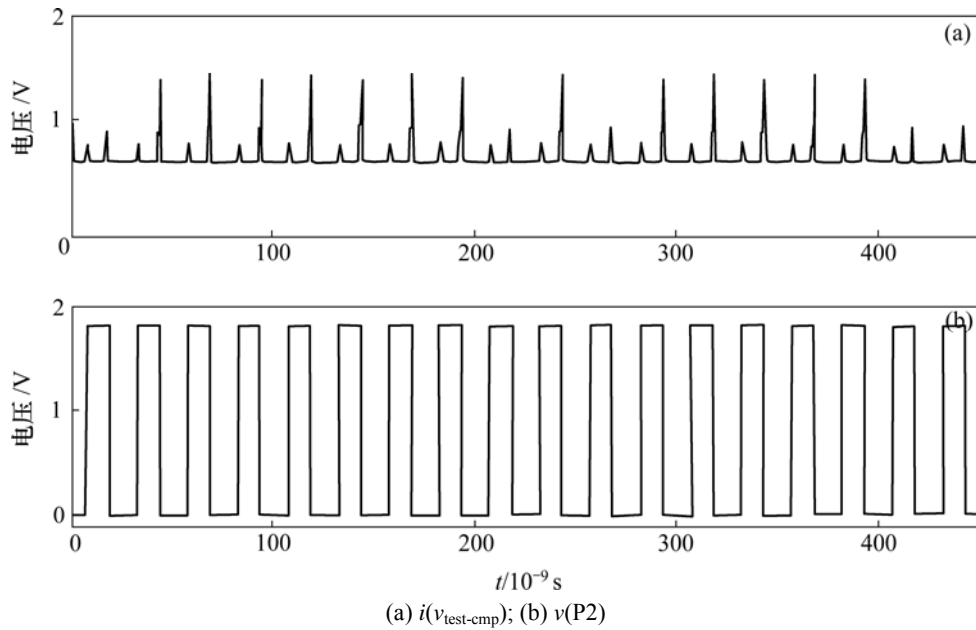
Fig.5 All clock waveforms of comparator



(a)  $v(P2)$ (实线),  $v(P2PB)$ (虚线); (b)  $v(V_{IN+} - V_{IN-})$ (实线),  $v(XP) - v(XN)$ (虚线); (c)  $v(Q)$

图 6 比较器在各种最坏情况下的瞬态仿真结果

Fig.6 Simulated transient waveforms of comparator during all worst-case comparisons



(a)  $i(v_{test-cmp})$ ; (b)  $v(P2)$

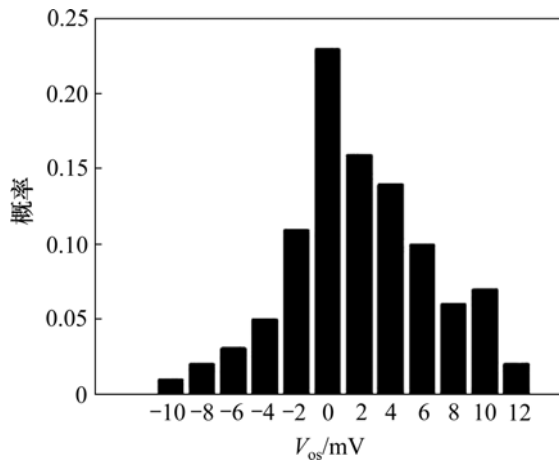
图 7 18 个时钟周期时比较器的电源电流及其平均值

Fig.7 Supply current of comparator and its average value at 18 clock periods

sigma-deltaADC 其余模拟电路模块的设计提供了更大的功耗设计余度。

从表 1 可以看出, 与传统的比较器相比, 本文所提出的动态比较器精度为 8 位, 输入失调电压为 22

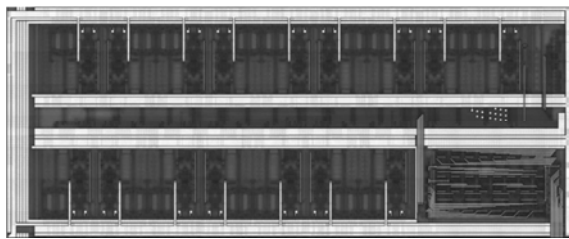
mV, 最高工作频率为 40 MHz, 功耗仅为 24.4  $\mu$ W, 约为同类比较器功耗的 1/3。



均值为 2.04 mV; 方差为 20.64  $\mu$ V

图 8 比较器的失调电压分布

Fig.8 Histogram of comparator's offset voltage



该 flash ADC 包含 16 个文中设计的比较器

图 9 sigma-delta ADC 中的 4 位 flash ADC 版图

Fig.9 Die photo of 4-bit flash ADC in sigma-delta ADC

表 1 比较器性能指标仿真结果比较

Table 1 Summary of simulated comparator's performance

比较器类型	CMOS 工艺特征尺寸/ $\mu$ m	功耗/ $\mu$ W	输入失调电压/mV	工作频率/MHz
比较器 <sup>[11]</sup>	0.6	91	30	25
比较器 <sup>[12]</sup>	1.2	67	28	25
比较器 <sup>[13]</sup>	0.35	69	33	25
本文比较器	0.18	24.4	22	40

### 3 结 论

a. 针对 0.18  $\mu$ m 工艺应用于 sigma-delta 模数转换器环境, 提出了由参考电压产生电路、预放大器、锁存器以及用作输出采样器的动态锁存器组成的新型高速低功耗 CMOS 预放大锁存比较器, 与传统的比较器相比, 该比较器无需前置放大器和输入失调抵消电路, 从而在很大程度上降低了比较器的功耗。

b. 对所提出的比较器于单电源电压 1.8 V 环境中

工作, 采用 UMC 混合/射频 0.18  $\mu$ m1P6MP 衬底双阱 CMOS 工艺对其进行设计实现, 比较器精度为 8 位, 输入失调电压为 22 mV, 最高工作频率为 40 MHz, 功耗仅为 24.4  $\mu$ W, 约为同类比较器功耗的 1/3。

### 参考文献:

- [1] 凌玉华. 高速高精度模/数转换的微机动态轨道衡[J]. 中南工业大学学报: 自然科学版, 1999, 30(6): 623-625.  
LING Yu-hua. A microcomputerizer dynamic railway scale with high-speed and high-glass accuracy A/D conversion[J]. Journal of Central South University of Technology: Natural Science, 1999, 30(6): 623-625.
- [2] Veendrick H J M. The behavior of flip-flops used as synchronizers and prediction of their failure Rate[J]. IEEE J Solid-State Circuits, 1980, 15(2): 169-176.
- [3] Boni A, Chiorboli G, Morandi C. Dynamic characterisation of high-speed latching comparators[J]. IEEE Electron Lett, 2000, 36(5): 402-404.
- [4] Sumanen L, Waltari M, Hakkarainen V, et al. CMOS dynamic comparators for pipeline A/D converters[J]. IEEE Int Symp on Circuit and Systems, 2002, 5: 157-160.
- [5] Goll B, Zimmermann H. A low-power 2-Gsample/s comparator in 120 nm CMOS technology[C]// Proceedings of ESSCIRC. Grenoble, France, 2005: 507-511.
- [6] Uyttenhove K, Steyaert M S J. A 1.8 V 6-Bit 1.3 GHz flash ADC in 0.25 m CMOS[J]. IEEE J Solid-State Circuits, 2003, 38(7): 1115-1122.
- [7] Wong K L J, Yang C K K. Offset compensation in comparators with minimum input-referred supply noise[J]. IEEE J Solid-State Circuits, 2004, 39(5): 837-840.
- [8] Abidi C. A 6b 1.3Gsample/s A/D converter in 0.35  $\mu$ m CMOS[J]. IEEE J Solid-State Circuits, 2001, 36: 1847-1858.
- [9] Dalton M. A 500-MSample/s, 6-b nyquist-rate ADC for disk drive read-channel application[J]. IEEE J Solid-State Circuits, 1999, 34: 912-920.
- [10] Sheikhaei S, Mirabbasi S, Ivanov A. A 0.35  $\mu$ m CMOS comparator circuit for high-speed ADC applications[C]//IEEE Int Symp Circ and Syst. 2005: 6134-6137.
- [11] Abo A M, Gray P R. A 1.5-V, 10-bit, 14.3-MS/s CMOS pipeline analog-to-digital converter[J]. IEEE J Solid-State Circuits, 1999, 34(5): 599-606.
- [12] Song W-Chul. A 10-b 20-Msample/s low-power CMOS ADC[J]. IEEE J Solid-State Circuits, 1995, 30(5): 514-521.
- [13] Amaral P, Goes J. An improved low-voltage low-power CMOS comparator to be used in high-speed pipelined ADCs[C]//IEEE Int Symp Circ and Syst. 2002: 141-144.
- [14] Razavi B. Design of analog CMOS integrated circuits[M]. New York: McGraw-Hill, 2001.
- [15] Yin G M, Eynde F Opt, Sansen W. A High-Speed CMOS Comparator with 8-b Resolution[J]. IEEE J Solid-State Circuits, 1992, 27(2): 208-211.